**NOME DO GRUPO / INTEGRANTES:**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**1 – OBJETIVO:**

Aplicar a metodologia de projeto para desenvolver projetos de codificadores/decodificadores, mostrando o funcionamento através da montagem e teste.

**2 – INTRODUÇÃO TEÓRICA:**

Os circuitos combinacionais estão presentes em toda a eletrônica digital. São circuitos cujas saídas dependem exclusivamente das entradas, ou seja, haverá saídas enquanto houver sinais nas entradas. Retirando os sinais das entradas, desaparecem as respostas nas saídas.

O método de projeto consiste na representação das especificações lógicas através da tabela verdade, que mostra todos os estados possíveis das funções booleanas que descrevam o sistema combinacional. Essas funções podem ser extraídas da tabela verdade e devem ser simplificadas ou minimizadas por meio dos mapas de Karnaugh.

Após o processo de minimização, o circuito pode ser montado e testado em bancada para verificação do seu funcionamento.

**3 – MATERIAIS E EQUIPAMENTOS:**

Kit de circuitos lógicos com fonte, chaves, LED e *protoboard*;

Circuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32;

Fios para interconexão (*jumpers*).

**4 – PROCEDIMENTOS PRÉ-LABORATÓRIO:**

Projetar os circuitos lógicos mínimos que implementem as soluções dos problemas abaixo.

**ORIENTAÇÕES PARA CADA PROJETO ABAIXO, 1 E 2, A CONSTAREM NO RELATÓRIO:**

**A –** Construir as tabelas verdade para representar as relações entrada e saída;

**B –** Construiros mapas de Karnaugh;

**C –** Derivar as expressões lógicas minimizadas (lógica de dois níveis AND-OR na forma canônica de SoP) que retratam as soluções dos problemas;

|  |  |
| --- | --- |
| Gray | BCD |
| **G3 G2 G1 G0** | **B3 B2 B1 B0** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

**5 – PROCEDIMENTOS EXPERIMENTAIS:**

**5.1 – PROJETO 1:**

Projetar um conversor do código de Gray (Entrada) para o código BCD (*Binary Coded Decimal*) (Saída).

**ORIENTAÇÕES PARA O PROJETO 1 A CONSTAREM NO RELATÓRIO:**

**D –** Montar e testar os circuitos mínimos **somente para as saídas B2 e B1**, atribuindo valores possíveis para as entradas e monitorando as saídas;

**E –** Verificar se os valores testados correspondem aos resultados esperados nos projetos;

**F –** Fotografar, de forma panorâmica, o circuito montado;

**G –** Fotografar os resultados (*Level Generator + Level Detector*) dos testes relacionados a **8 linhas quaisquer (para as saídas B2 e B1)** da Tabela Verdade. Não esqueçam de identificar nas fotos as variáveis de entrada, G3, G2, G1 e G0, no *Level* *Generator* do Kit, e as variáveis de saídas, B2 e B1, no *Level* *Detector* do Kit.

**5.2 – PROJETO 2:**

Projetar um decodificador para controle um display de 7 segmentos e que deverá receber um número de 3 bits e fornecer saídas necessárias para a visualização de letras, conforme a figura abaixo. Considere a existência de valores de entrada irrelevantes.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| *Display* 🡪 |  |  |  |  |  | *Saídas irrelevantes* | a  b  c  d  f  e  g |
| Entrada do decodificador 🡪  (em decimal) | 0 | 1 | 2 | 3 | 4 | *Demais entradas*  *(5 a 7)* |

Considerar o bit mais significativo (MSB) e **,** o menos significativo (LSB).

**ORIENTAÇÕES PARA O PROJETO 2 A CONSTAREM NO RELATÓRIO:**

**D –** Montar e testar os circuitos mínimos **somente para os segmentos (saídas) “a” / “e”**, atribuindo valores possíveis para as entradas e monitorando as saídas;

**E –** Verificar se os valores testados correspondem aos resultados esperados nos projetos;

**F –** Fotografar, de forma panorâmica, o circuito montado;

**G –** Fotografar os resultados (*Level Generator + Level Detector*) dos testes relacionados **às** **5 linhas da Vabela Verdade, correspondentes às letras A, E, I, O, U**. Não esqueçam de identificar nas fotos as variáveis de entrada no *Level* *Generator* do Kit, e as variáveis de saídas (somente segmentos “a” / “e”) no *Level* *Detector* do Kit.

**6 – CONCLUSÕES:**