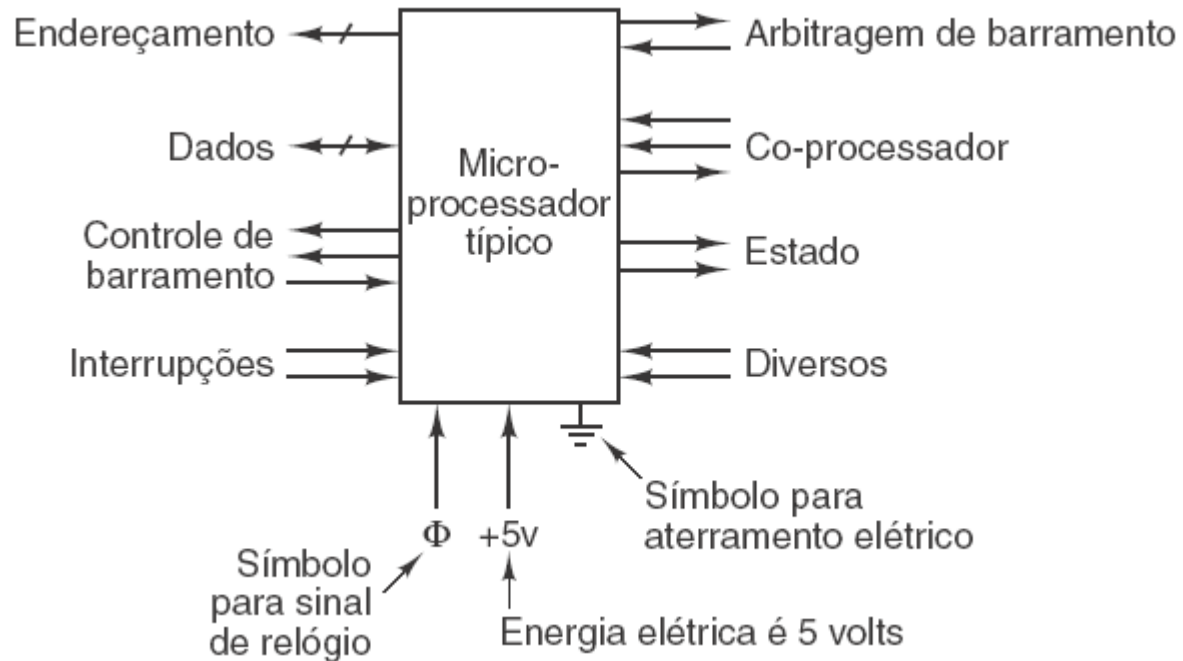
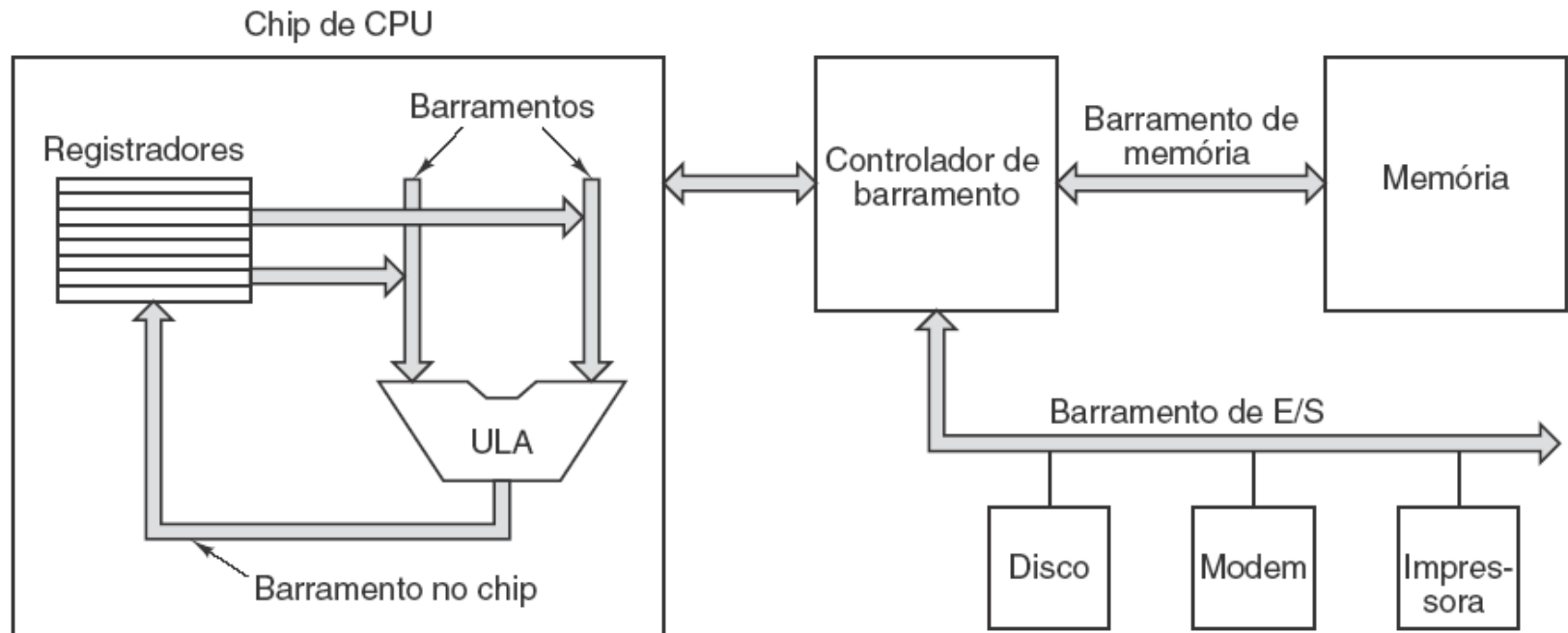


Chips de CPU



Pinagem lógica de uma CPU genérica. As setas indicam sinais de entrada e sinais de saída. Os segmentos de reta diagonal indicam que são utilizados vários pinos. Há um número que indica quantos são os pinos para uma CPU específica.

Barramentos de computador (1)



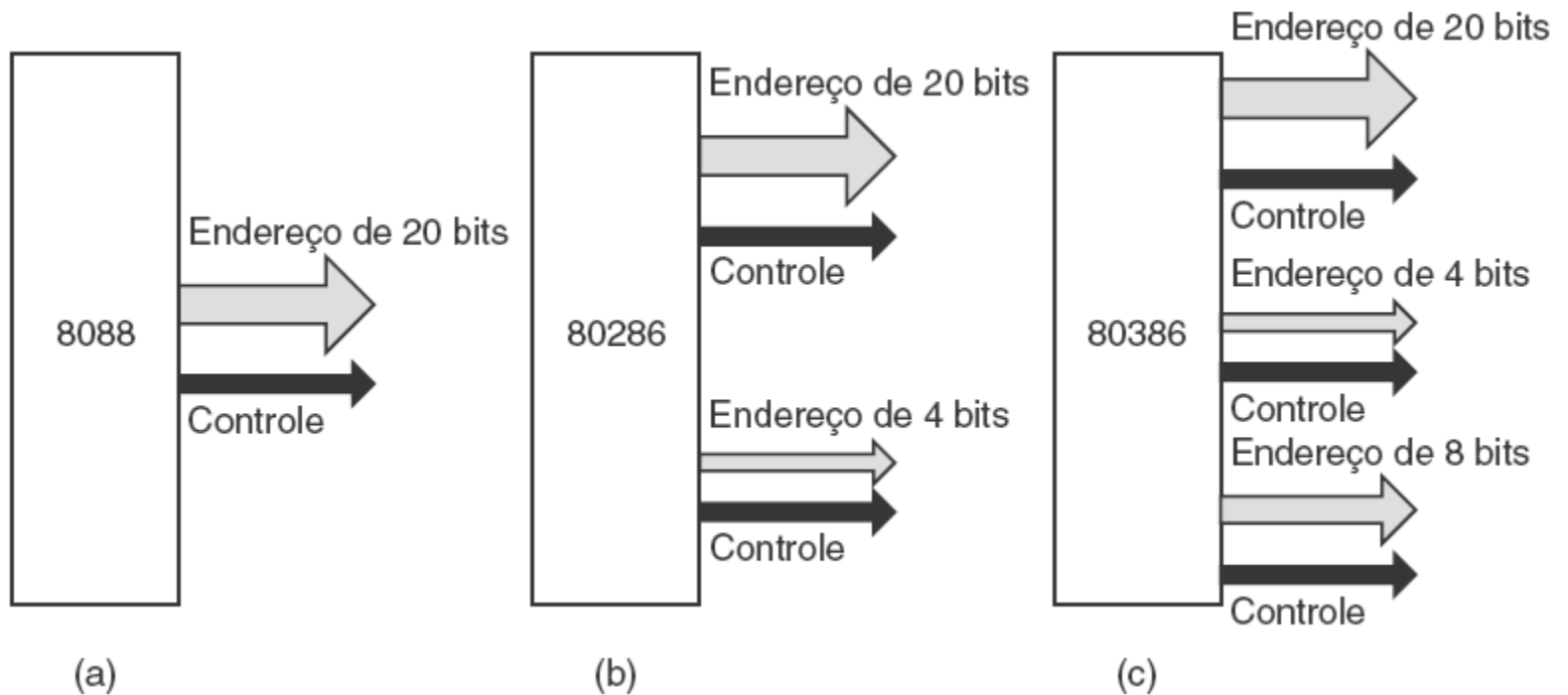
Sistema de computador com vários barramentos.

Barramentos de computador (2)

Mestre	Escravo	Exemplo
CPU	Memória	Buscar instruções e dados
CPU	Dispositivo de E/S	Iniciar transferência de dados
CPU	Co-processador	CPU que passa instruções para o co-processador
E/S	Memória	DMA (acesso direto à memória)
Co-processador	CPU	Co-processador que busca operandos na CPU

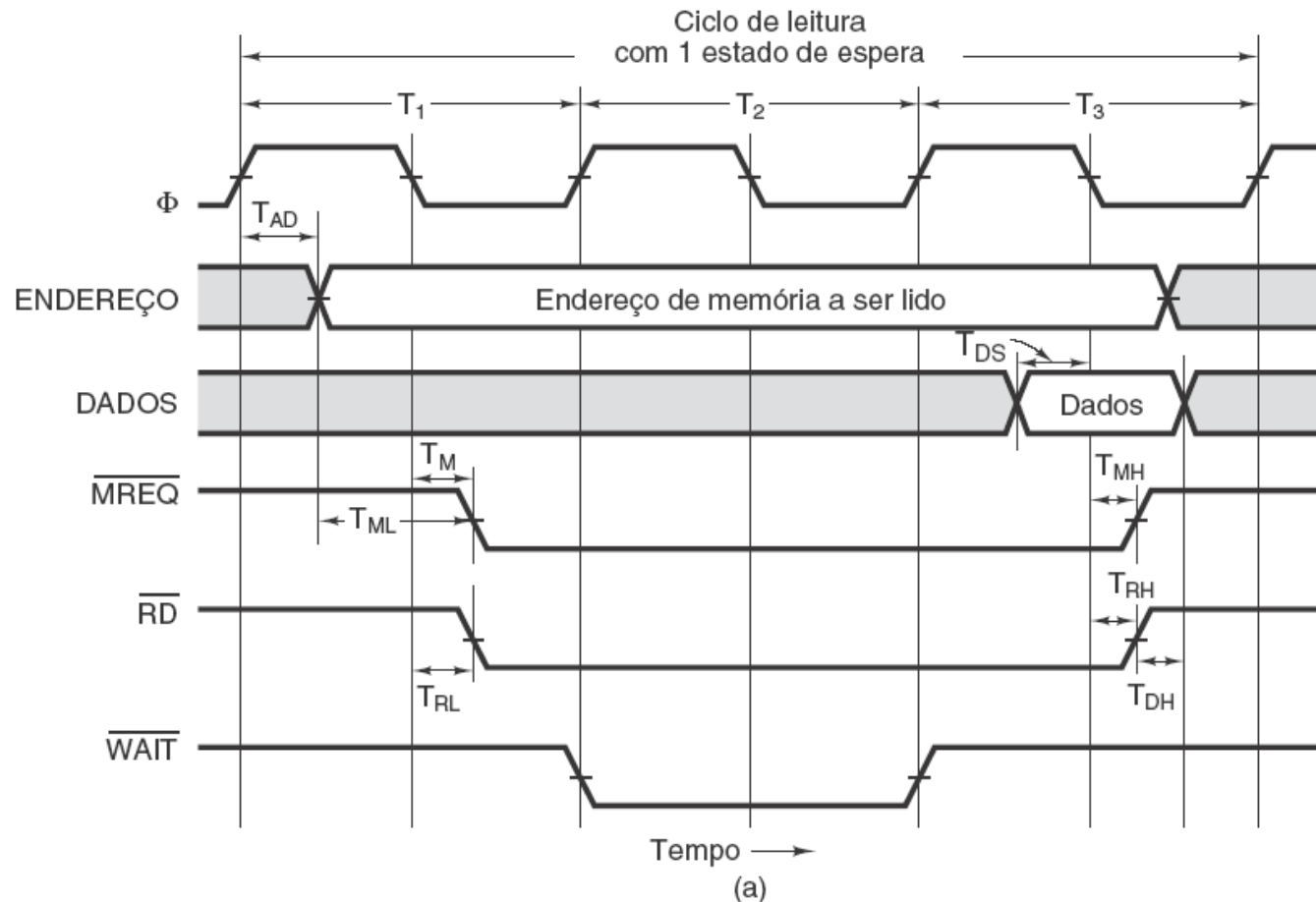
Exemplos de mestres e escravos de barramentos.

Largura do barramento



Crescimento de um barramento de endereço ao longo do tempo.

Relógio do barramento (1)



Temporização de leitura em um barramento síncrono.

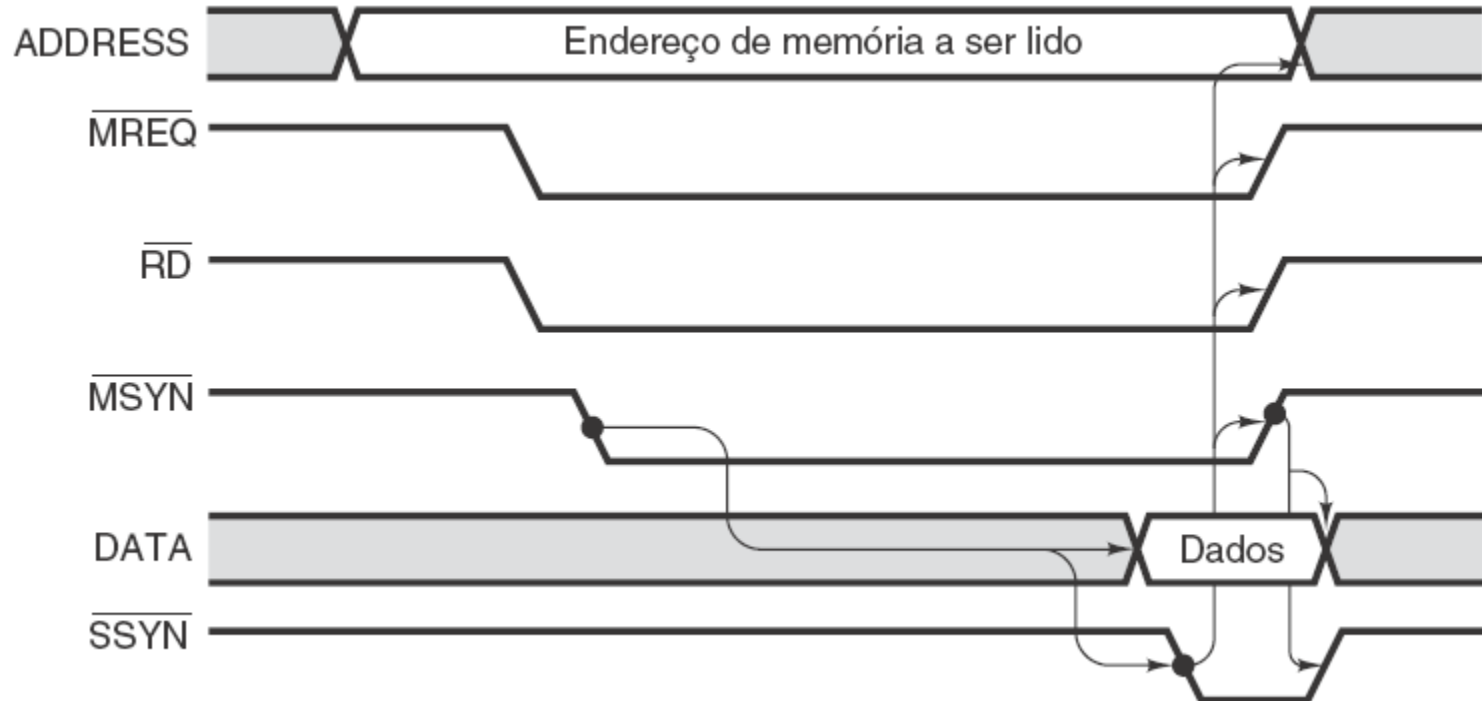
Relógio do barramento (2)

Símbolo	Parâmetro	Mín.	Máx.	Unidade
T_{AD}	Atraso de saída do endereço		4	nsec
T_{ML}	Endereço estável antes de \overline{MREQ}	2		nsec
T_M	Atraso de \overline{MREQ} desde a borda descendente de Φ em T1		3	nsec
T_{RL}	Atraso de RD desde a borda descendente de Φ em T1		3	nsec
T_{DS}	Tempo de ajuste dos dados antes da borda descendente de Φ	2		nsec
T_{MH}	Atraso de \overline{MREQ} desde a borda descendente de Φ em T3		3	nsec
T_{RH}	Atraso de \overline{RD} desde a borda descendente de Φ em T3		3	nsec
T_{DH}	Tempo de sustentação dos dados desde a negação de \overline{RD}	0		nsec

(b)

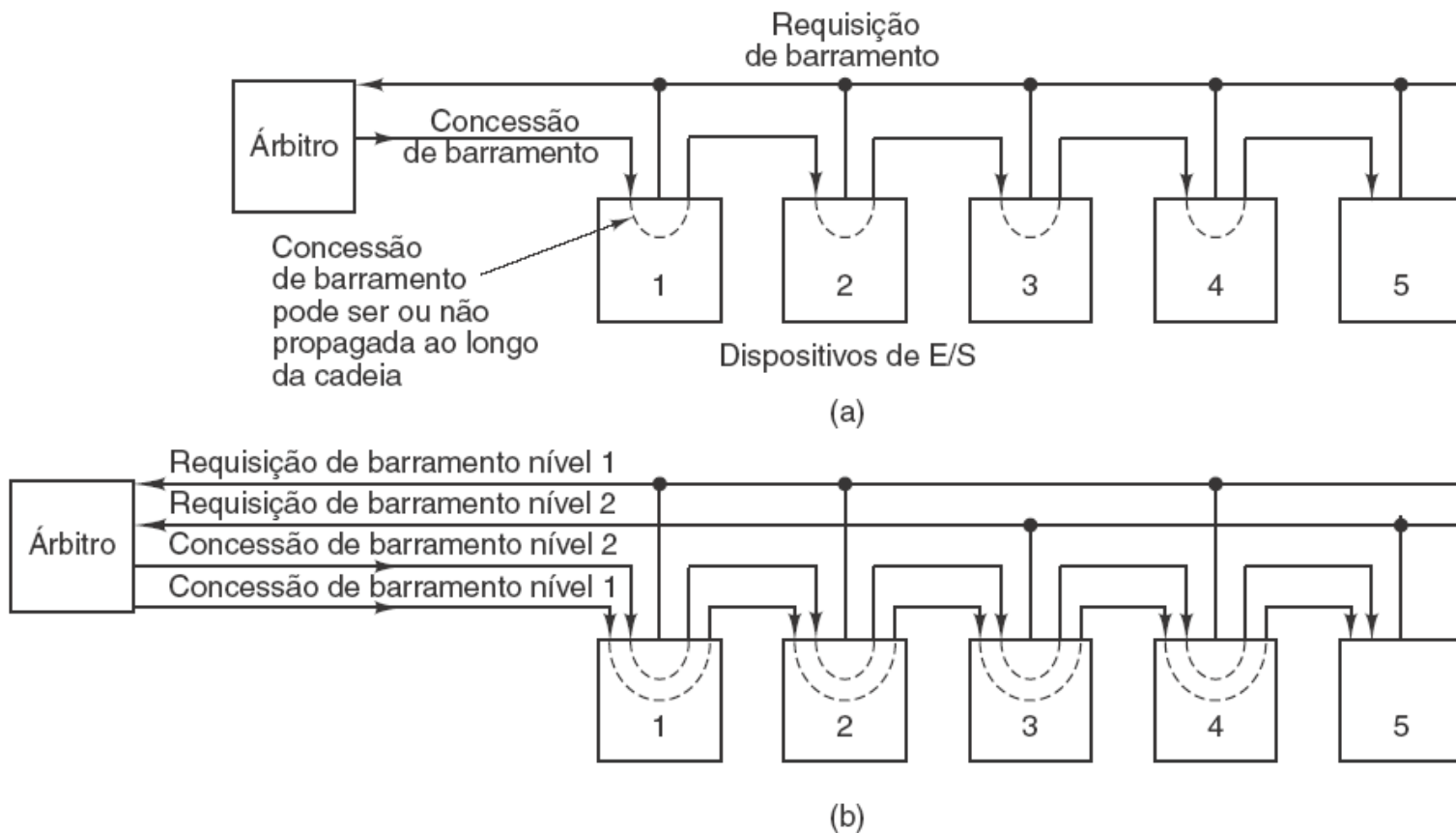
Especificação de alguns tempos críticos.

Barramentos assíncronos



Operação de um barramento assíncrono.

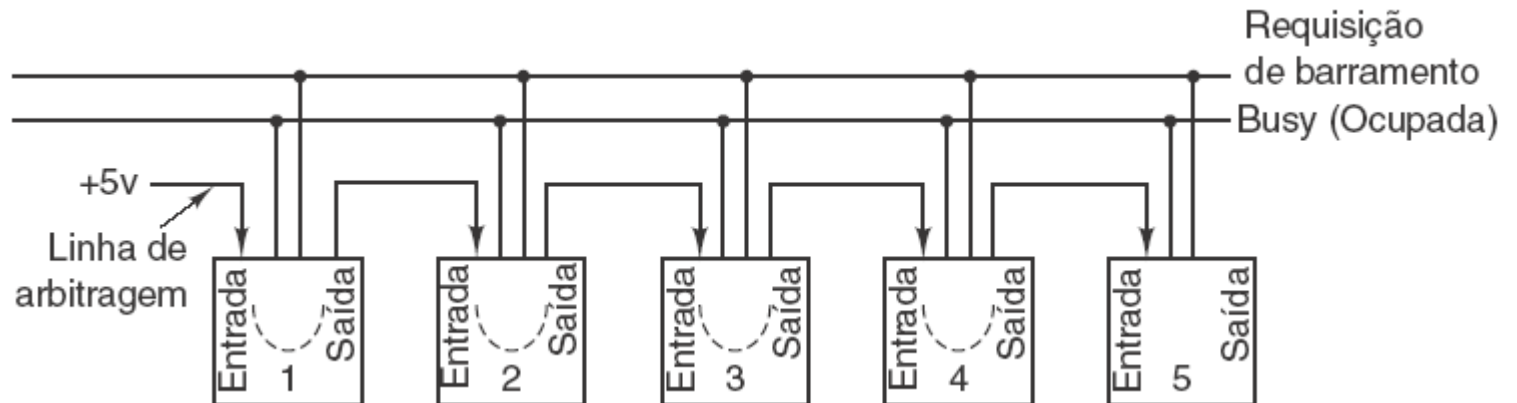
Arbitragem de barramento (1)



(a) Árbitro de barramento centralizado de um nível usando encadeamento em série (daisy chaining).

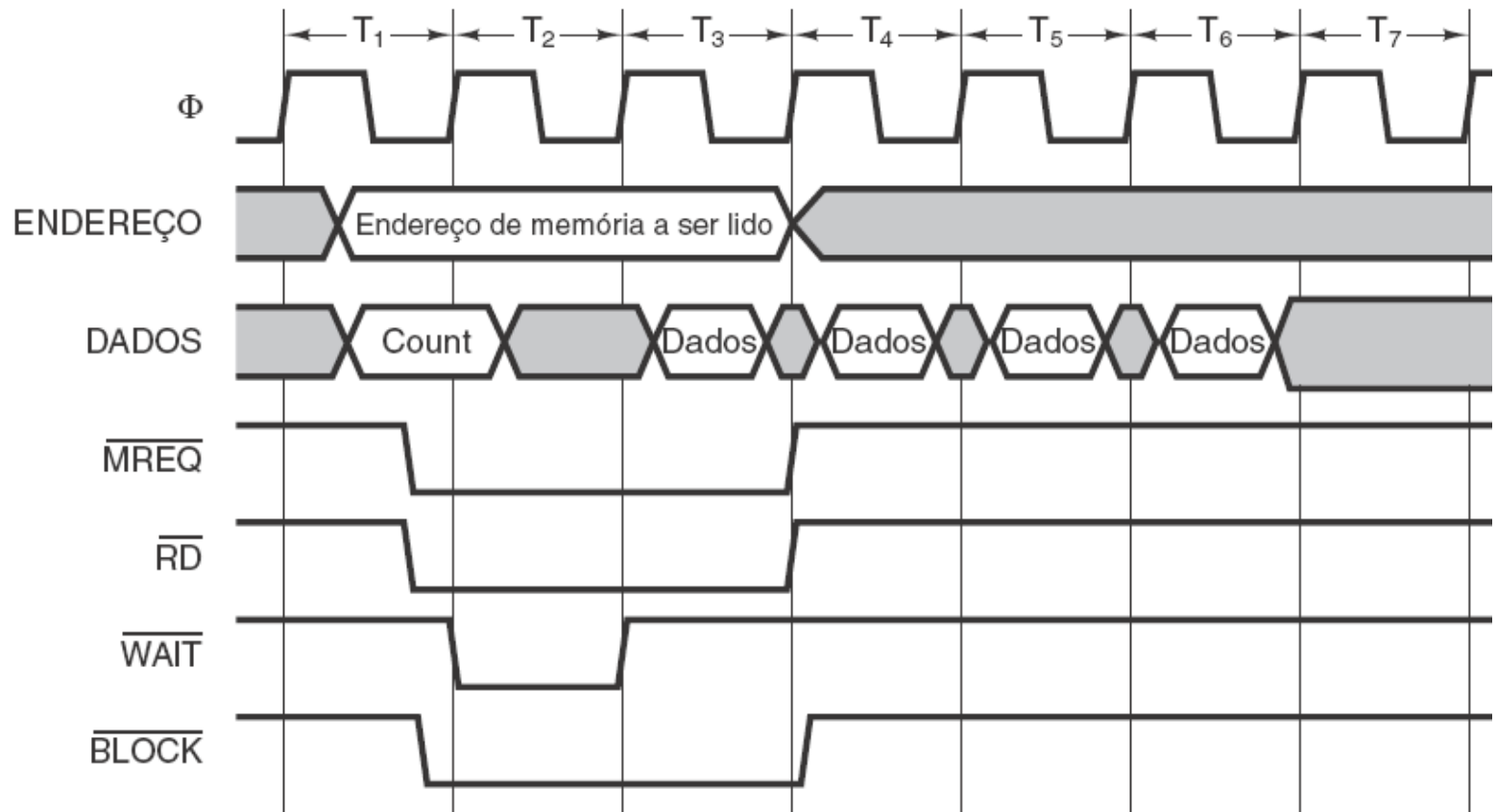
(b) O mesmo árbitro usando dois níveis.

Arbitragem de barramento (2)



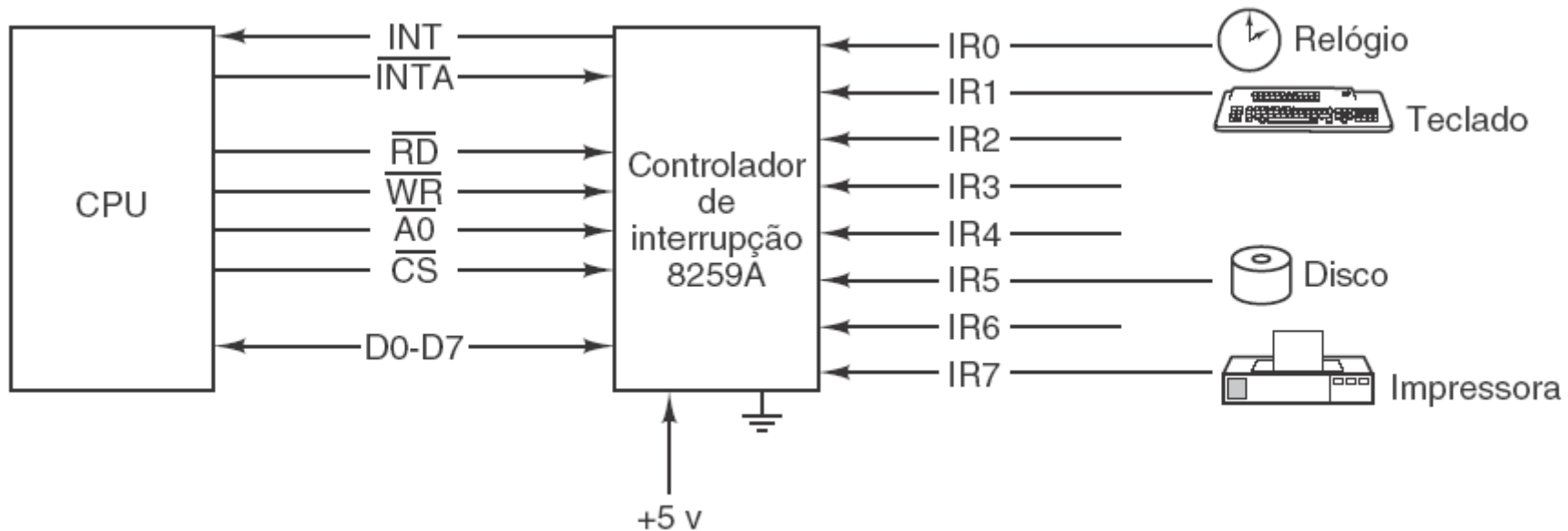
Arbitragem de barramento descentralizada.

Operações de barramento (1)



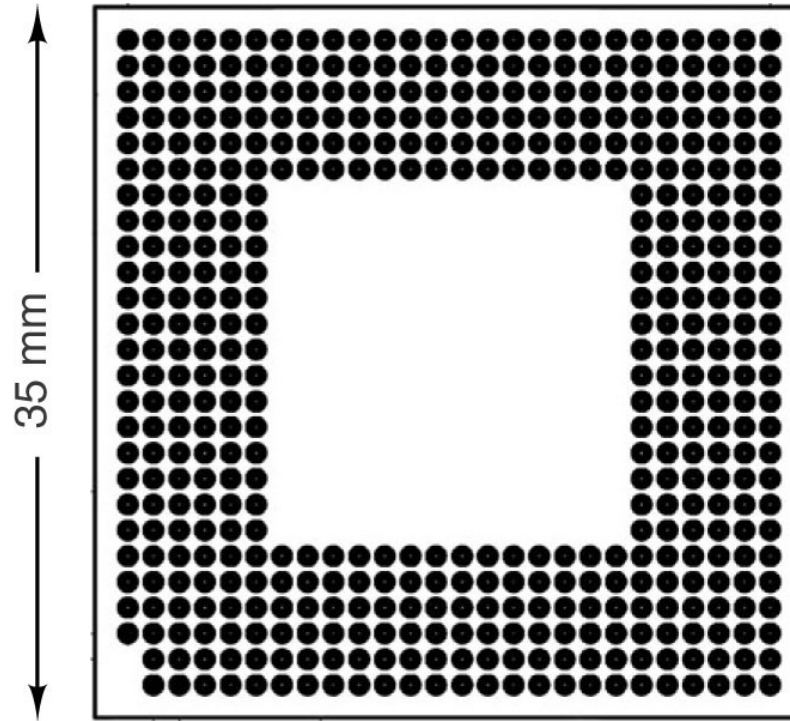
Transferência de bloco.

Operações de barramento (2)



Utilização do controlador de interrupção 8259A.

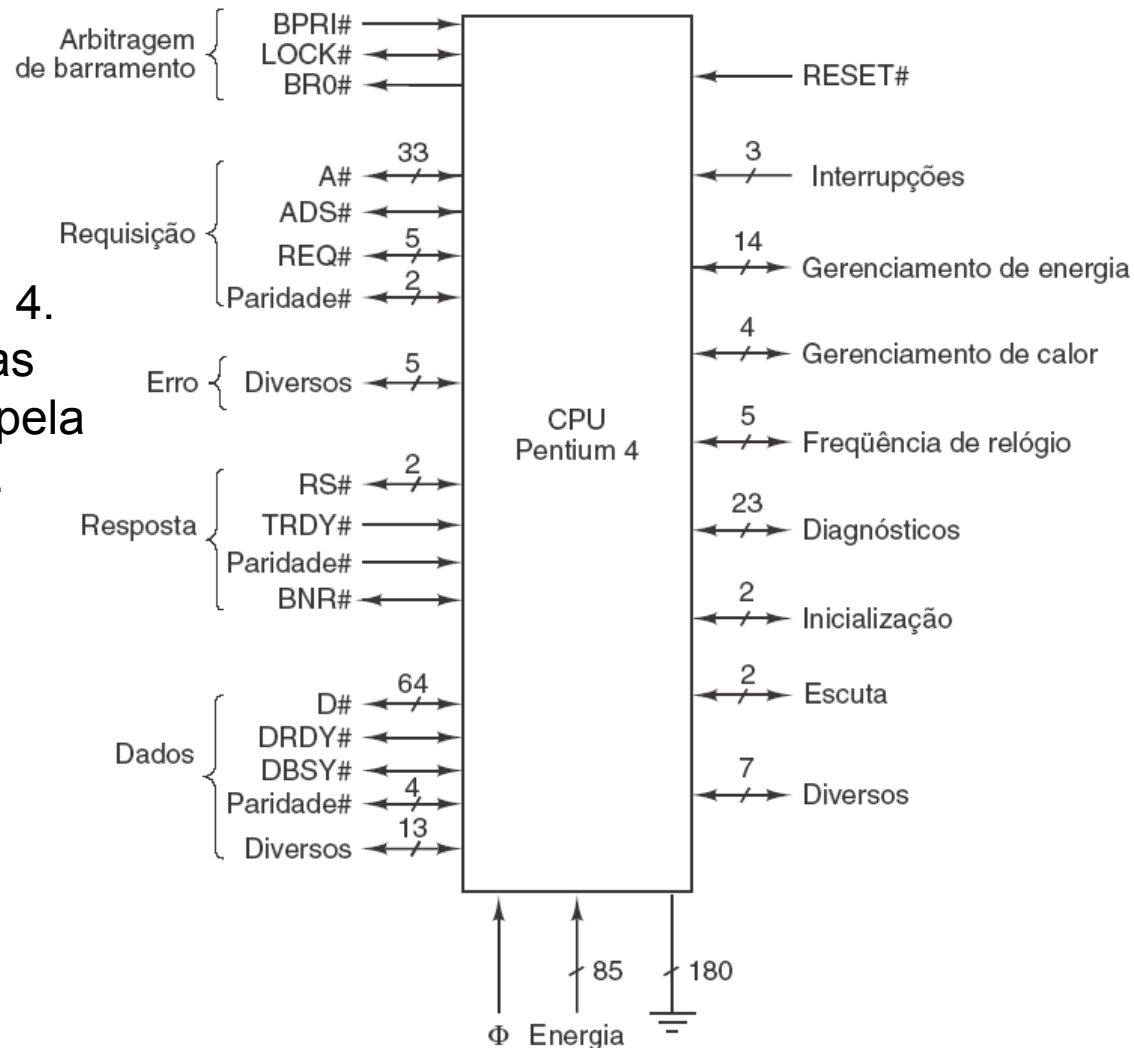
O Pentium 4



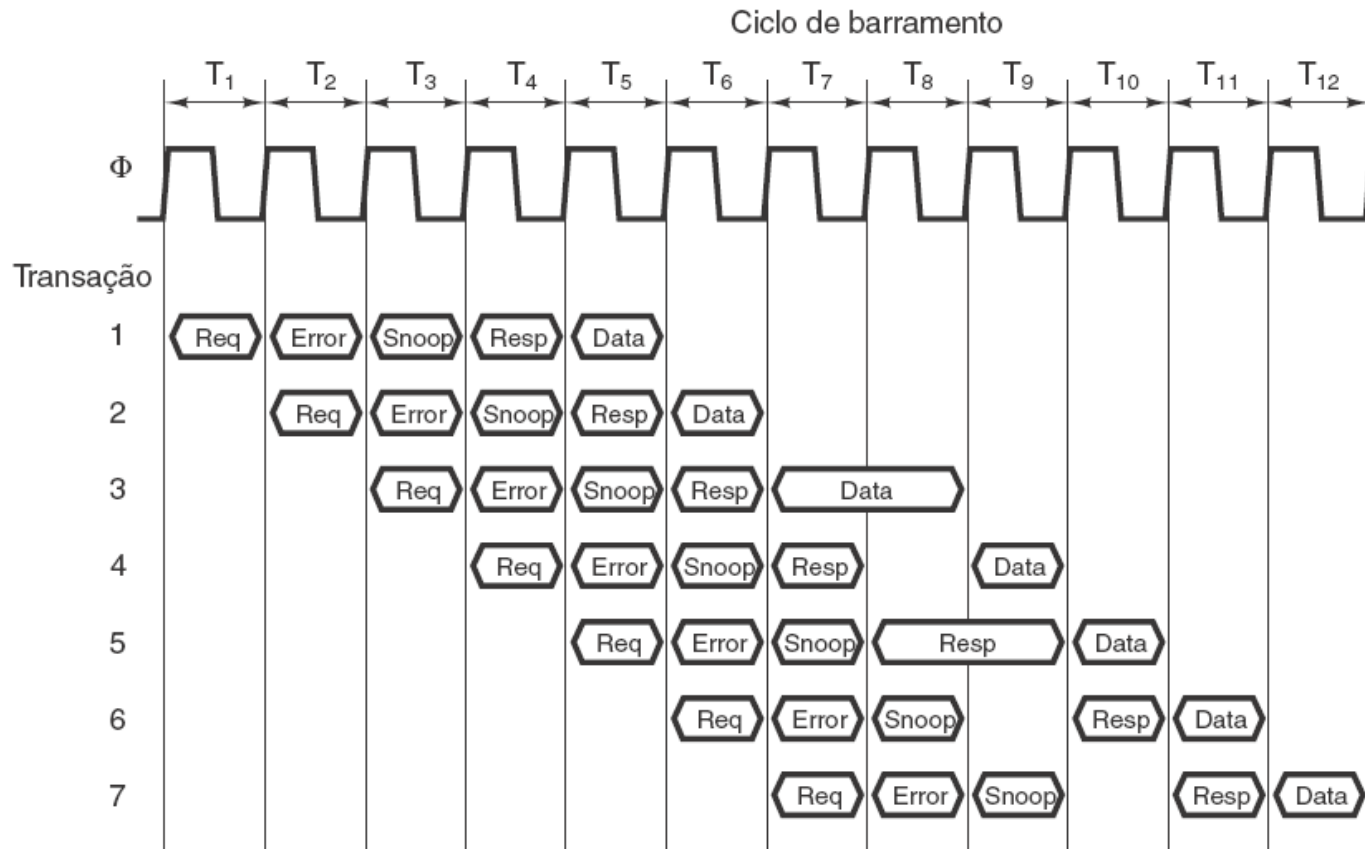
Pinagem física do Pentium 4.

Pinagem lógica do Pentium 4

Pinagem lógica do Pentium 4.
Nomes em letras maiúsculas
são nomes oficiais usados pela
Intel para sinais individuais.
Nomes em maiúsculas e
minúsculas são grupos de
sinais relacionados ou
descrições de sinais.

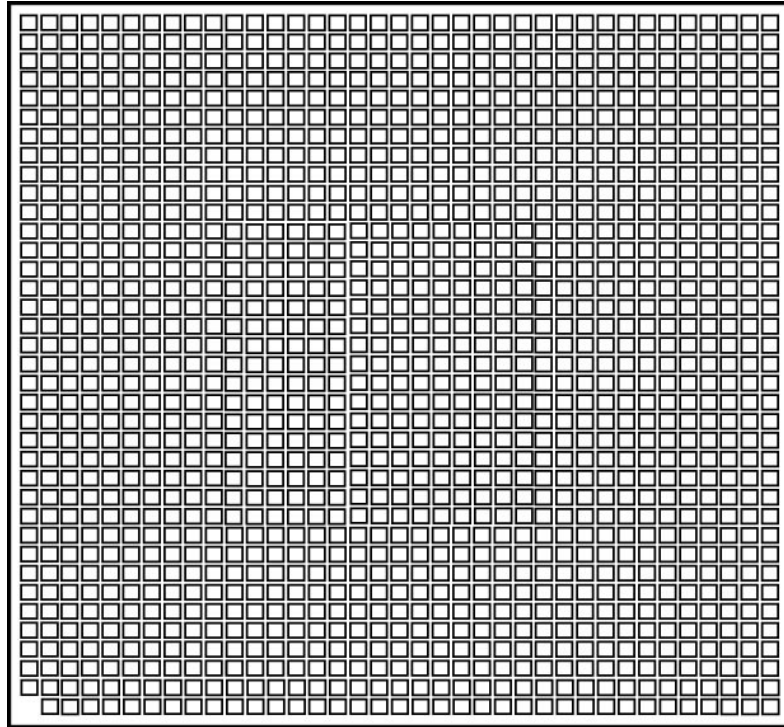


Paralelismo no barramento de memória do Pentium 4



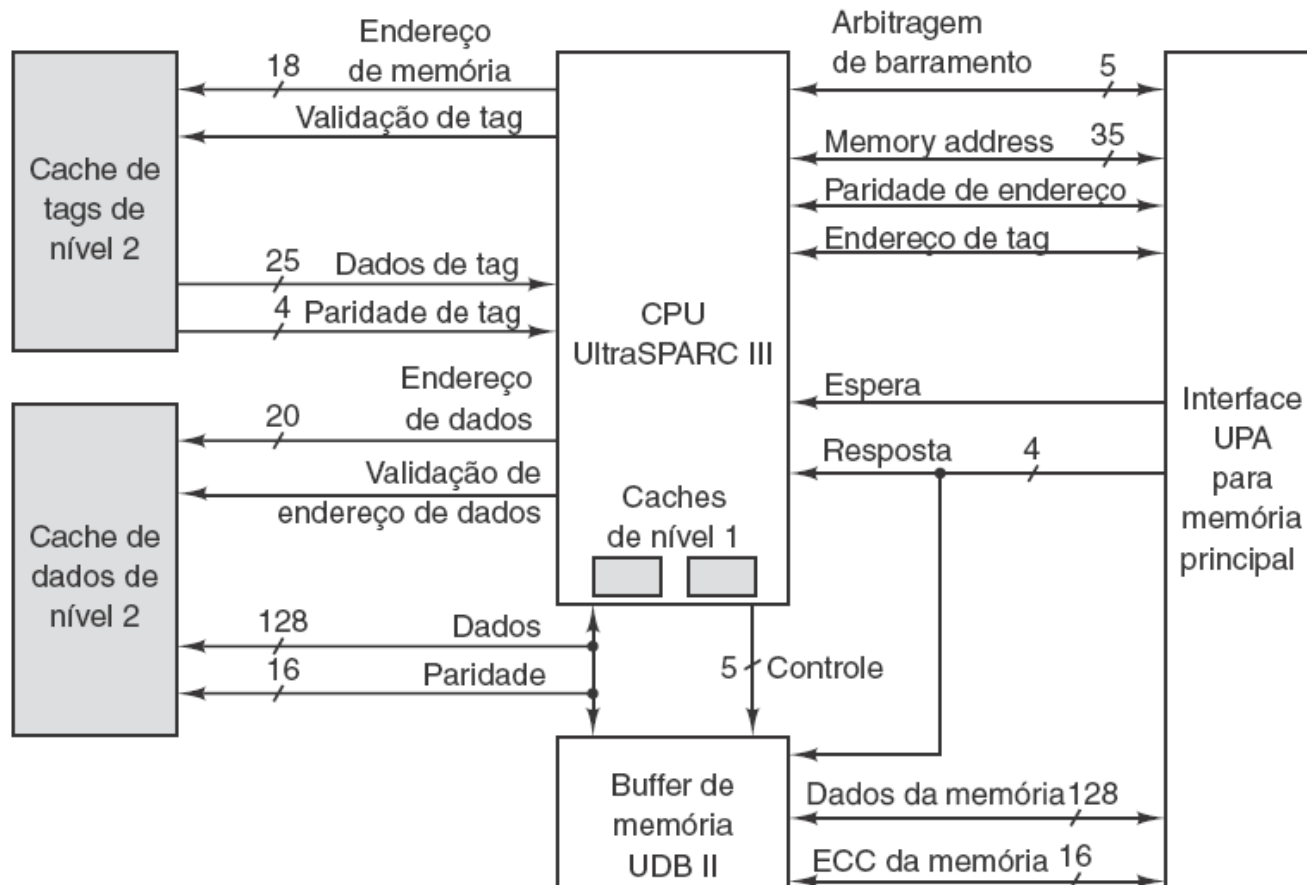
Requisições com paralelismo no barramento de memória do Pentium 4.

O UltraSPARC III (1)



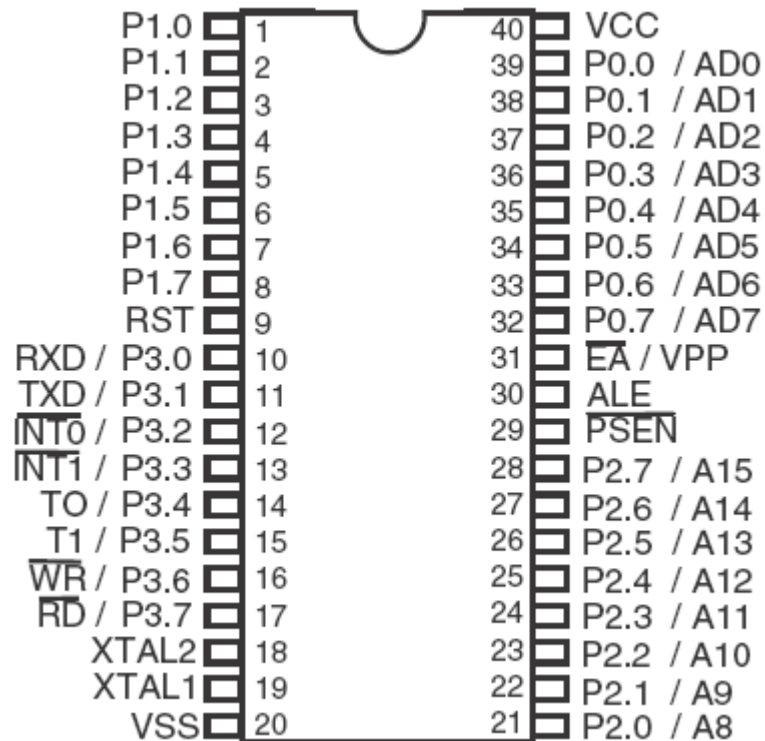
Chip de CPU UltraSPARC III.

O UltraSPARC III (2)



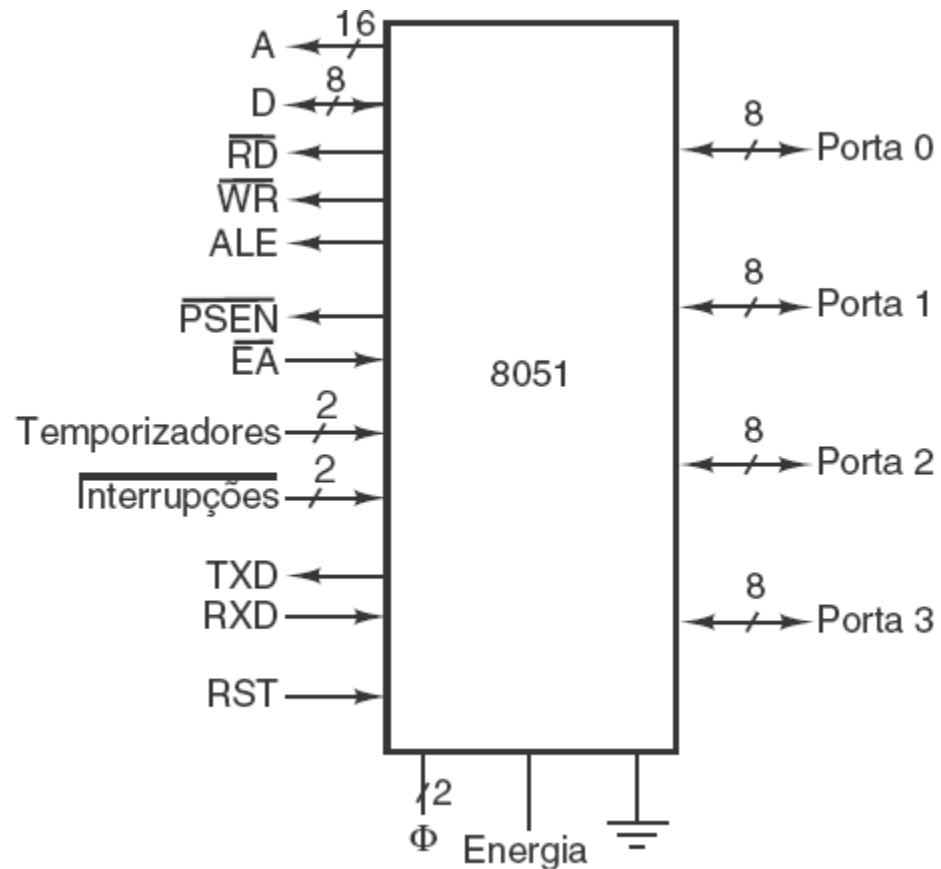
Principais características do núcleo de um sistema UltraSPARC III.

O 8051 (1)



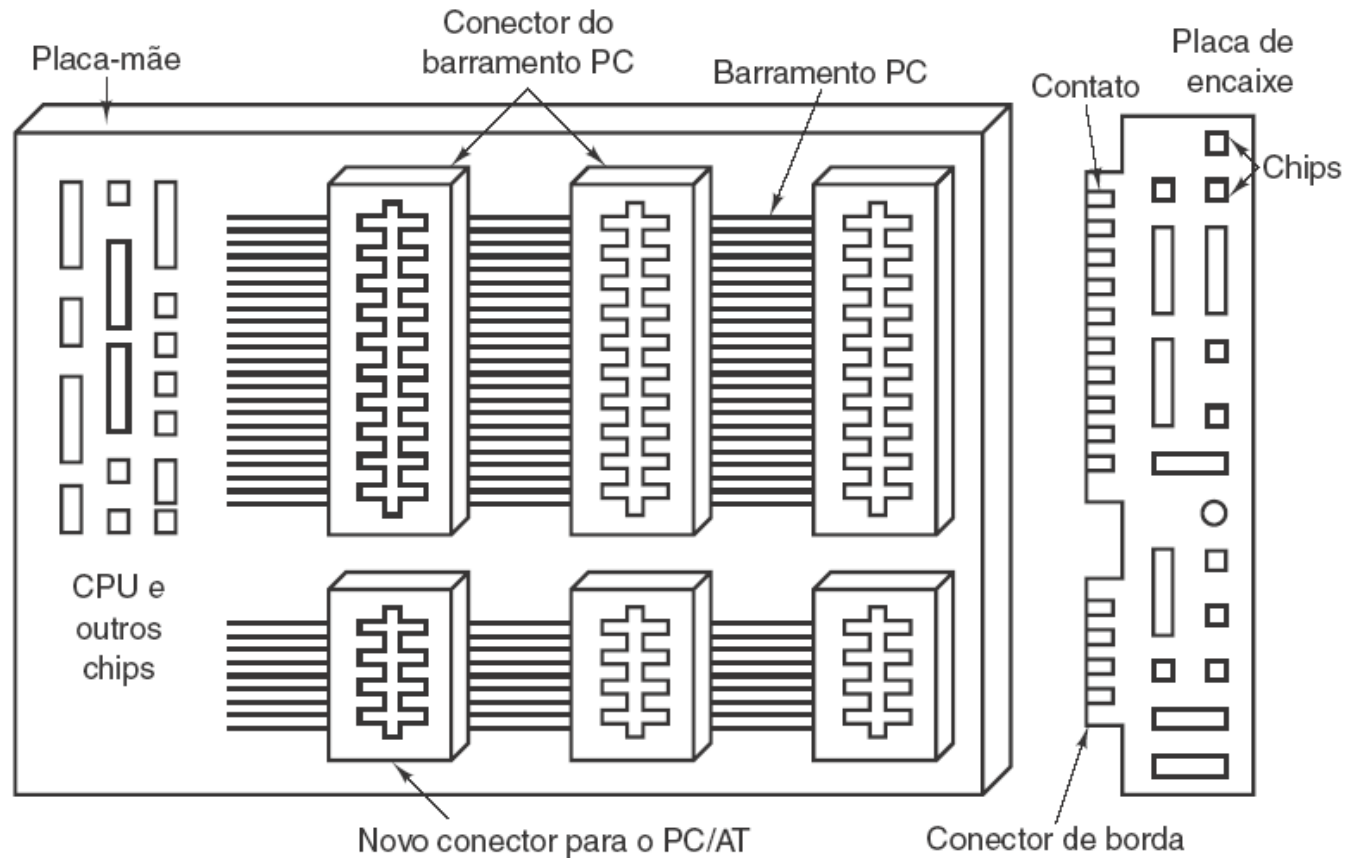
Pinagem física do 8051.

O 8051 (2)



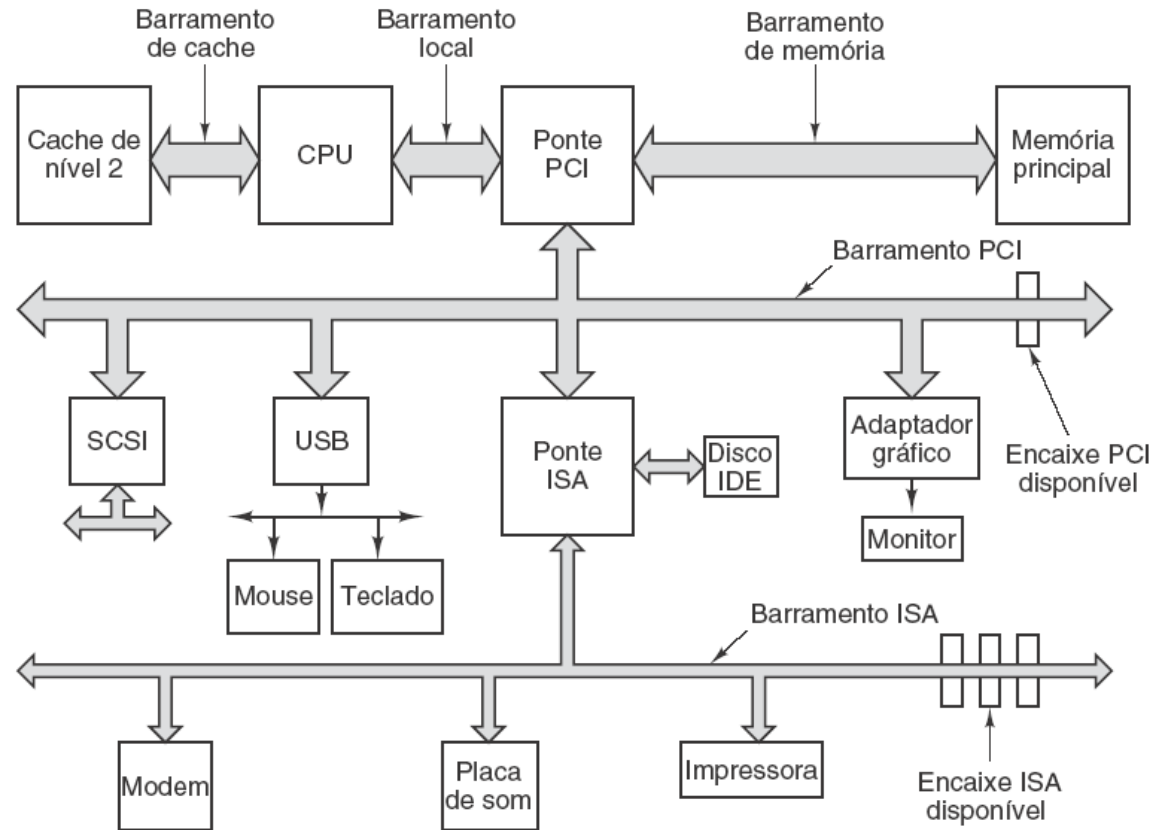
Pinagem lógica do 8051.

O barramento ISA



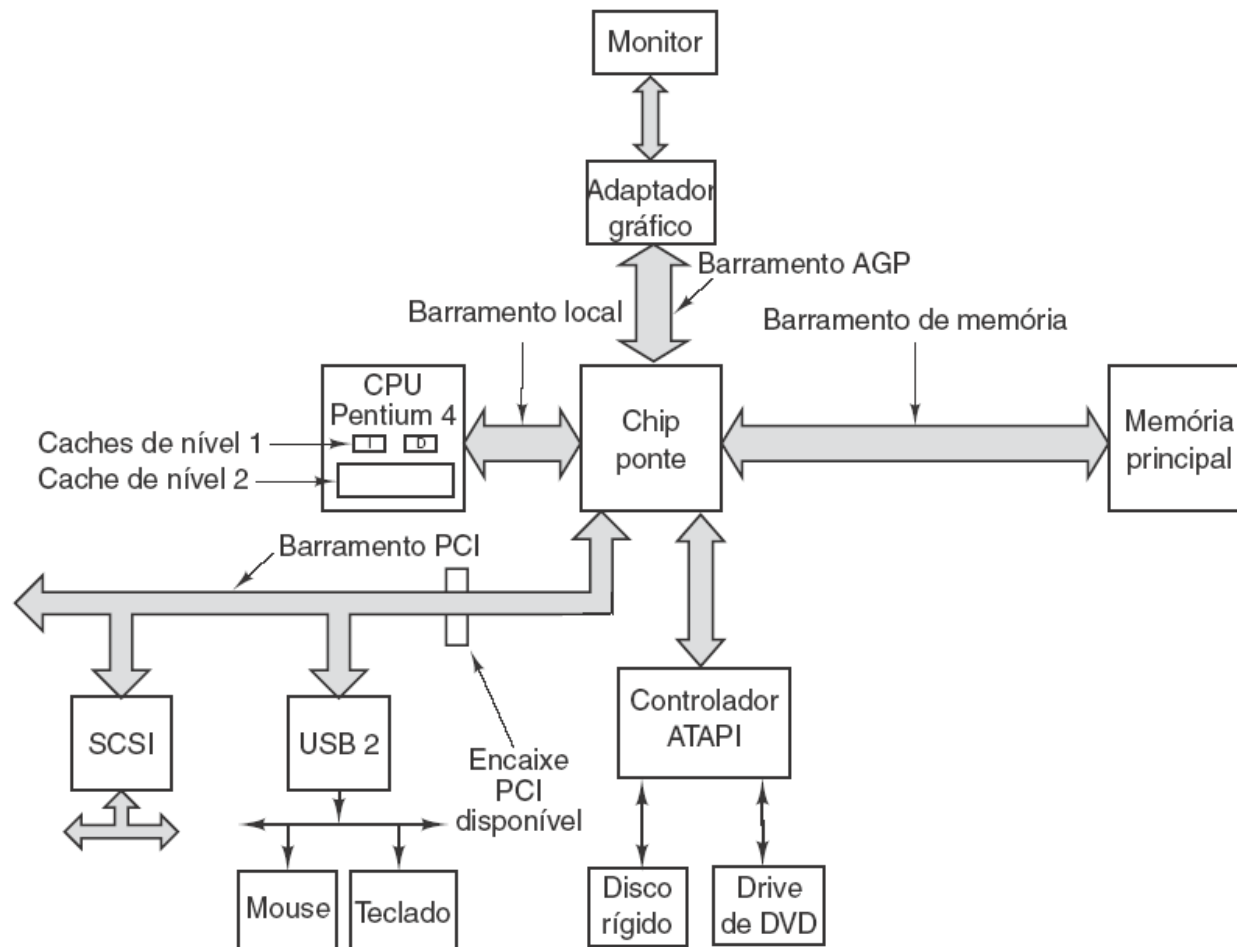
O barramento PC/AT tem dois componentes:
a parte do PC original e a parte nova.

O barramento PCI (1)



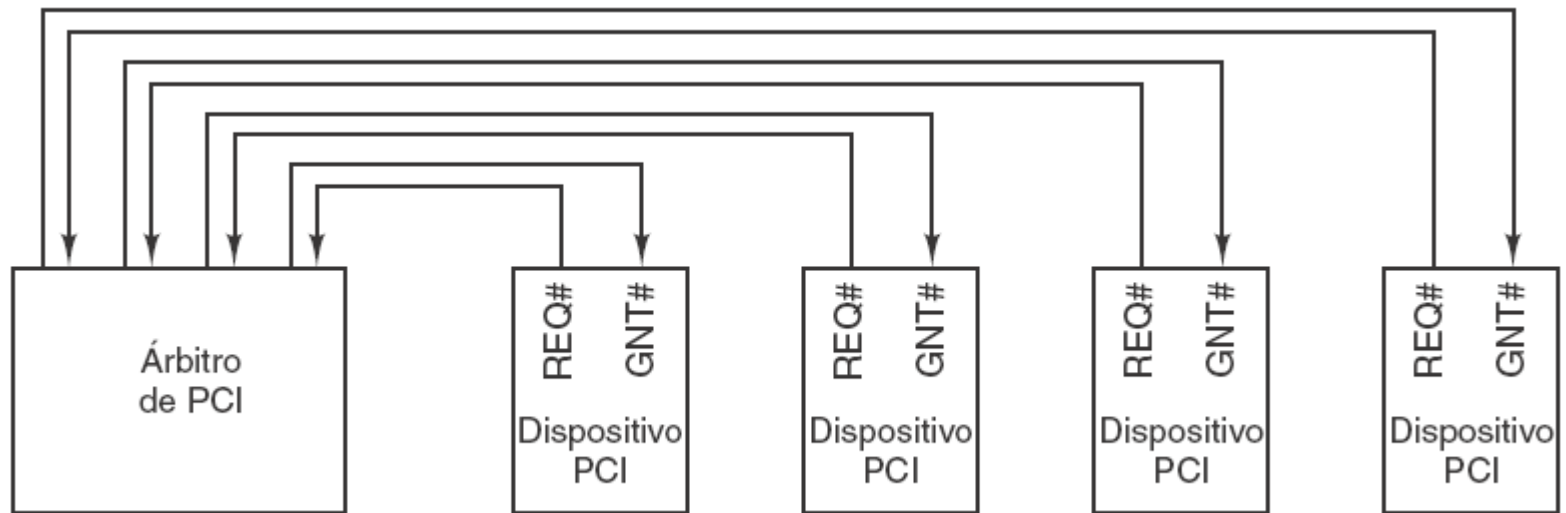
Arquitetura de um dos primeiros sistemas Pentium. Os barramentos representados por linhas mais largas têm mais largura de banda do que os representados por linhas mais finas, mas a figura não está em escala.

O barramento PCI (2)



A estrutura do barramento de um Pentium 4 moderno.

Arbitragem de barramento PCI



O barramento PCI usa um árbitro de barramento centralizado.

Sinais do barramento PCI (1)

Sinal	Linhas	Mestre	Escravo	Descrição
CLK	1			Relógio (33 MHz ou 66 MHz)
AD	32	×	×	Linhas de endereço e de dados multiplexadas
PAR	1	×		Bit de paridade de endereço ou dados
C/BE	4	×		Comando de barramento/mapa de bits para bytes habilitados
FRAME#	1	×		Indica que AD e C/BE estão ativadas
IRDY#	1	×		Leitura: mestre aceitará; escrita: dados presentes
IDSEL	1	×		Seleciona espaço de configuração em vez de memória
DEVSEL#	1		×	Escravo decodificou seu endereço e está na escuta
TRDY#	1		×	Leitura: dados presentes; escrita: escravo aceitará
STOP#	1		×	Escravo quer interromper a transação imediatamente
PERR#	1			Erro de paridade de dados detectado pelo receptor
SERR#	1			Erro de paridade de endereço ou erro de sistema detectado
REQ#	1			Arbitragem de barramento: requisição de propriedade de barramento
GNT#	1			Arbitragem de barramento: concessão de propriedade de barramento
RST#	1			Restaura o sistema e todos os dispositivos

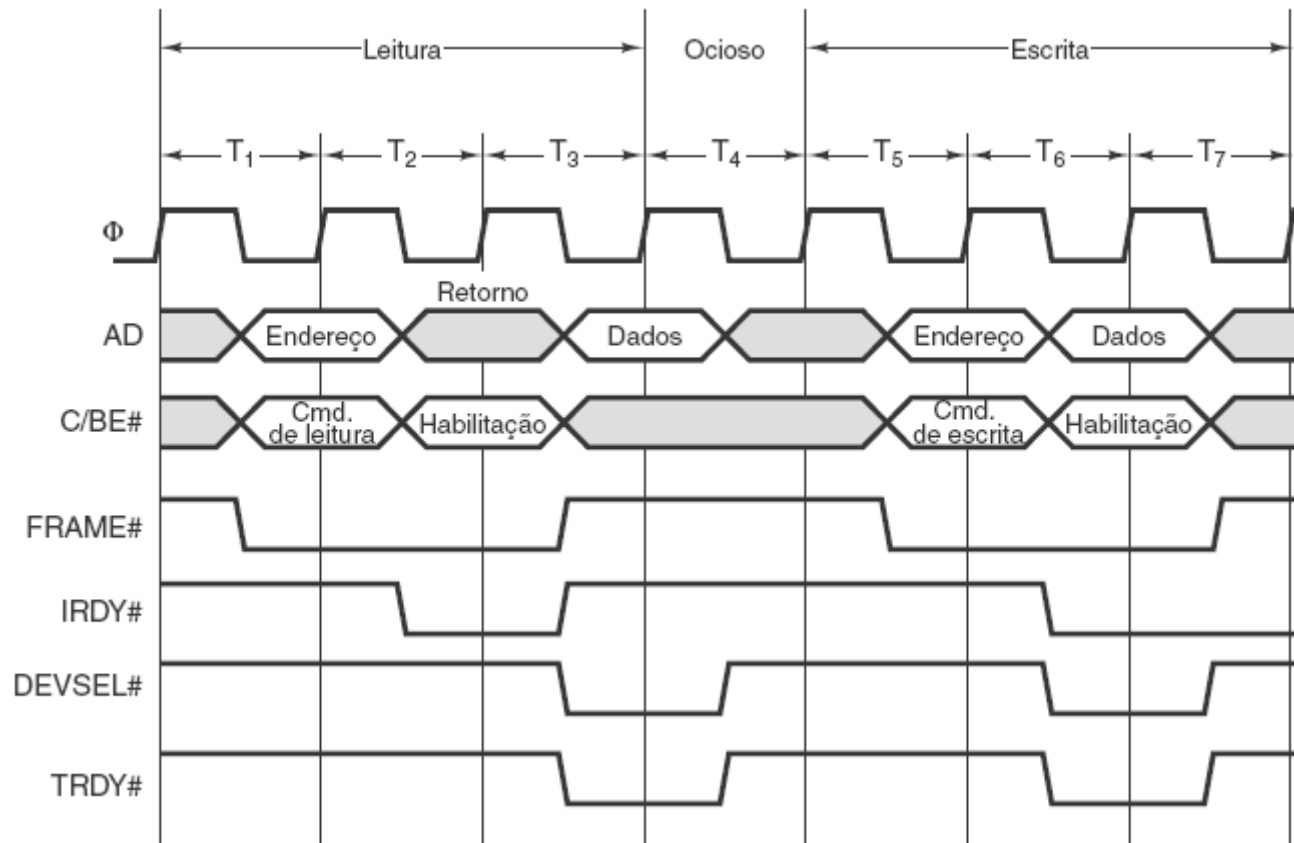
Sinais obrigatórios do barramento PCI.

Sinais do barramento PCI (2)

Sinal	Linhas	Mestre	Escravo	Descrição
REQ64#	1	×		Requisição para realizar transação de 64 bits
ACK64#	1		×	Permissão concedida para uma transação de 64 bits
AD	32			32 bits adicionais de endereço ou dados
PAR64	1	×		Paridade para os 32 bits extras de endereço/dados
C/BE#	4	×		4 bits adicionais para habilitações de bytes
LOCK	1	×		Trava o barramento para permitir múltiplas transações
SBO#	1	×		Presença de dados em uma cache remota (para um multiprocessador)
SDONE	1			Escuta realizada (para um multiprocessador)
INTx	4			Requisição de uma interrupção
JTAG	5			Sinais de testes IEEE 1149.1 JTAG
M66EN	1			Ligado à energia ou ao terra (66 MHz ou 33 MHz)

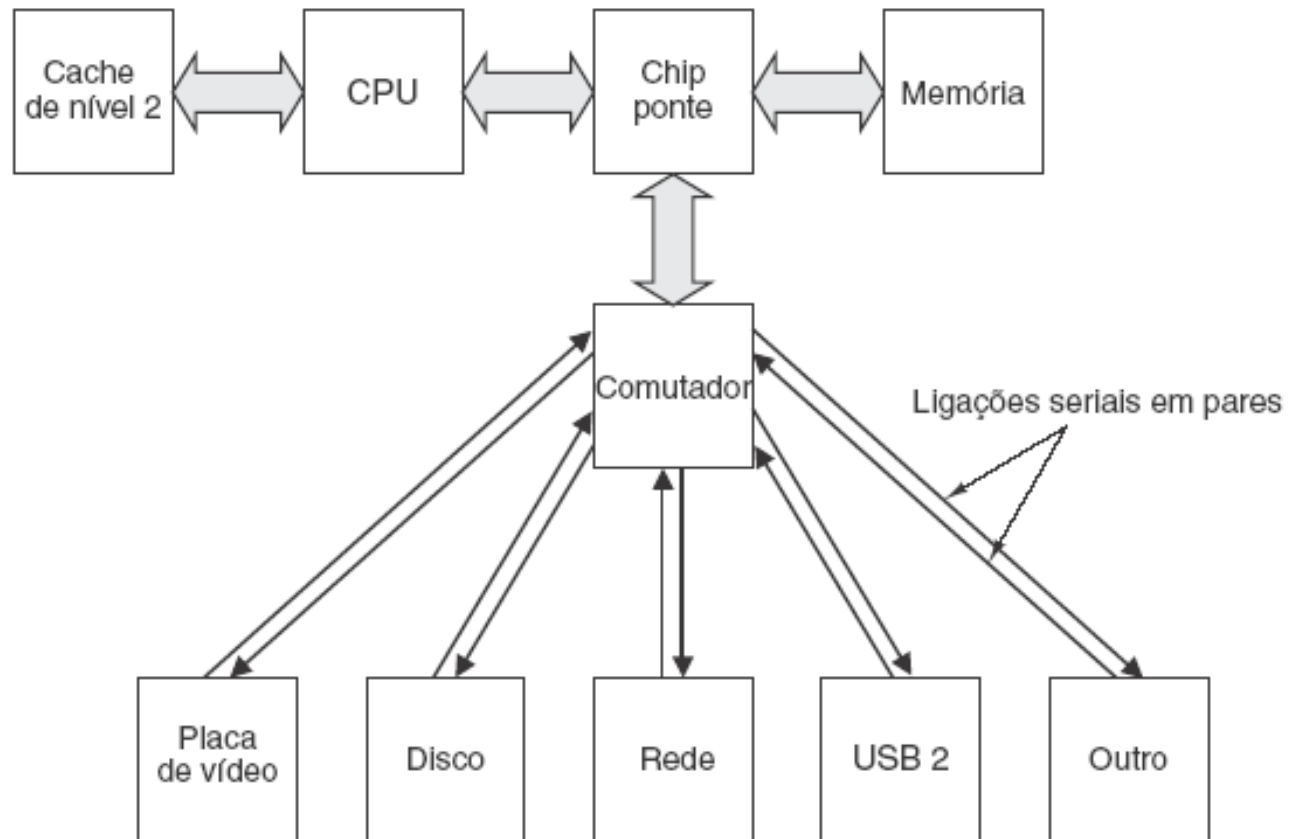
Sinais opcionais do barramento PCI.

Transações no barramento PCI



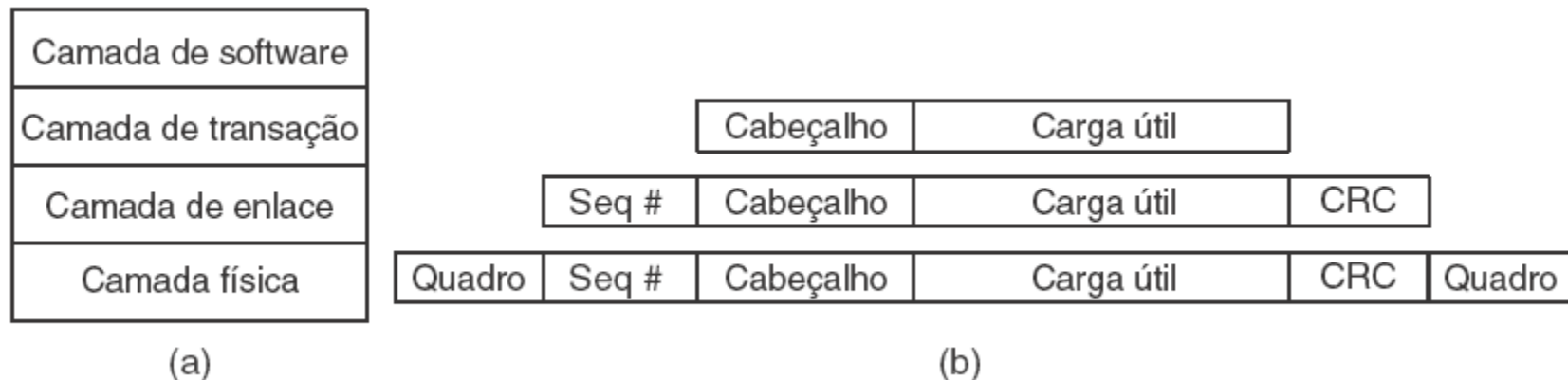
Exemplos de transações no barramento PCI de 32 bits. Os três primeiros ciclos são usados para uma operação de leitura, em seguida um ciclo ocioso e depois três ciclos para uma operação de escrita.

PCI Express



Sistema PCI Express.

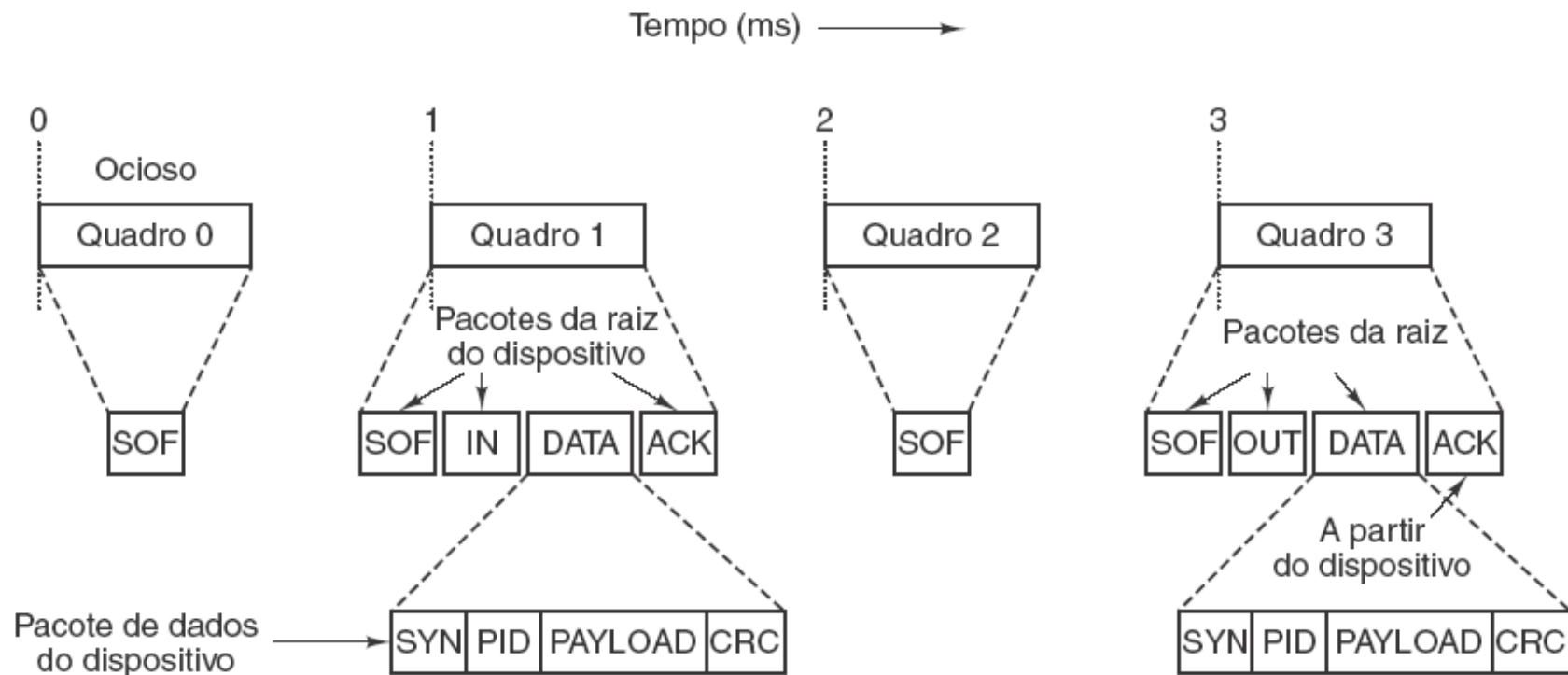
Pilha de protocolos do PCI Express



(a) Pilha de protocolos do PCI Express.

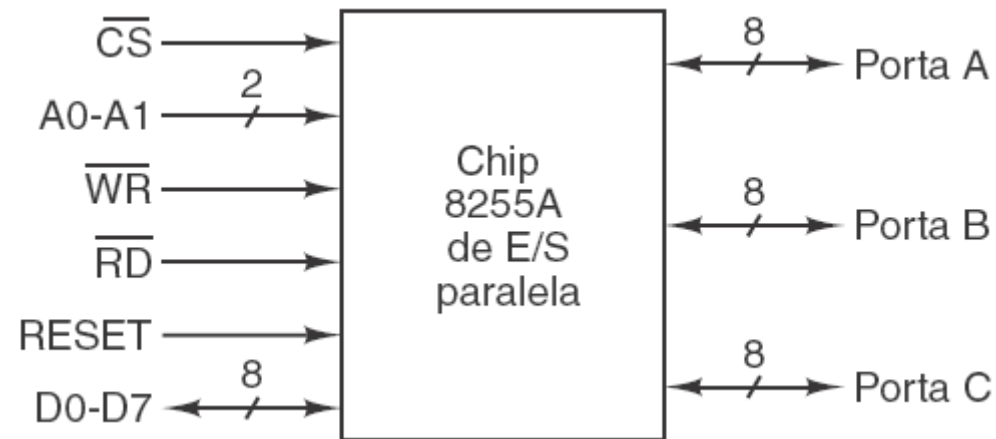
(b) Formato de um pacote.

Barramento Serial Universal



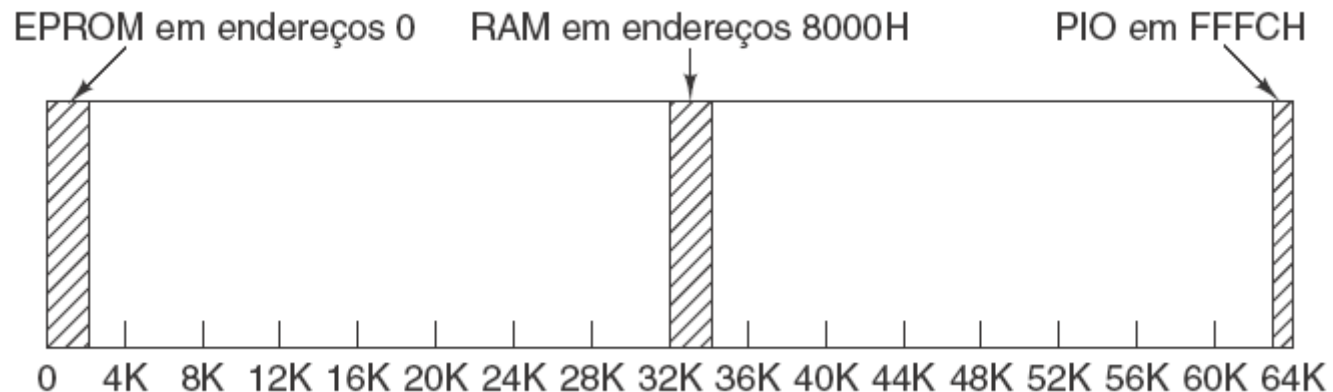
Hub-raiz USB envia quadros a cada 1,00 ms.

Chips de E/S



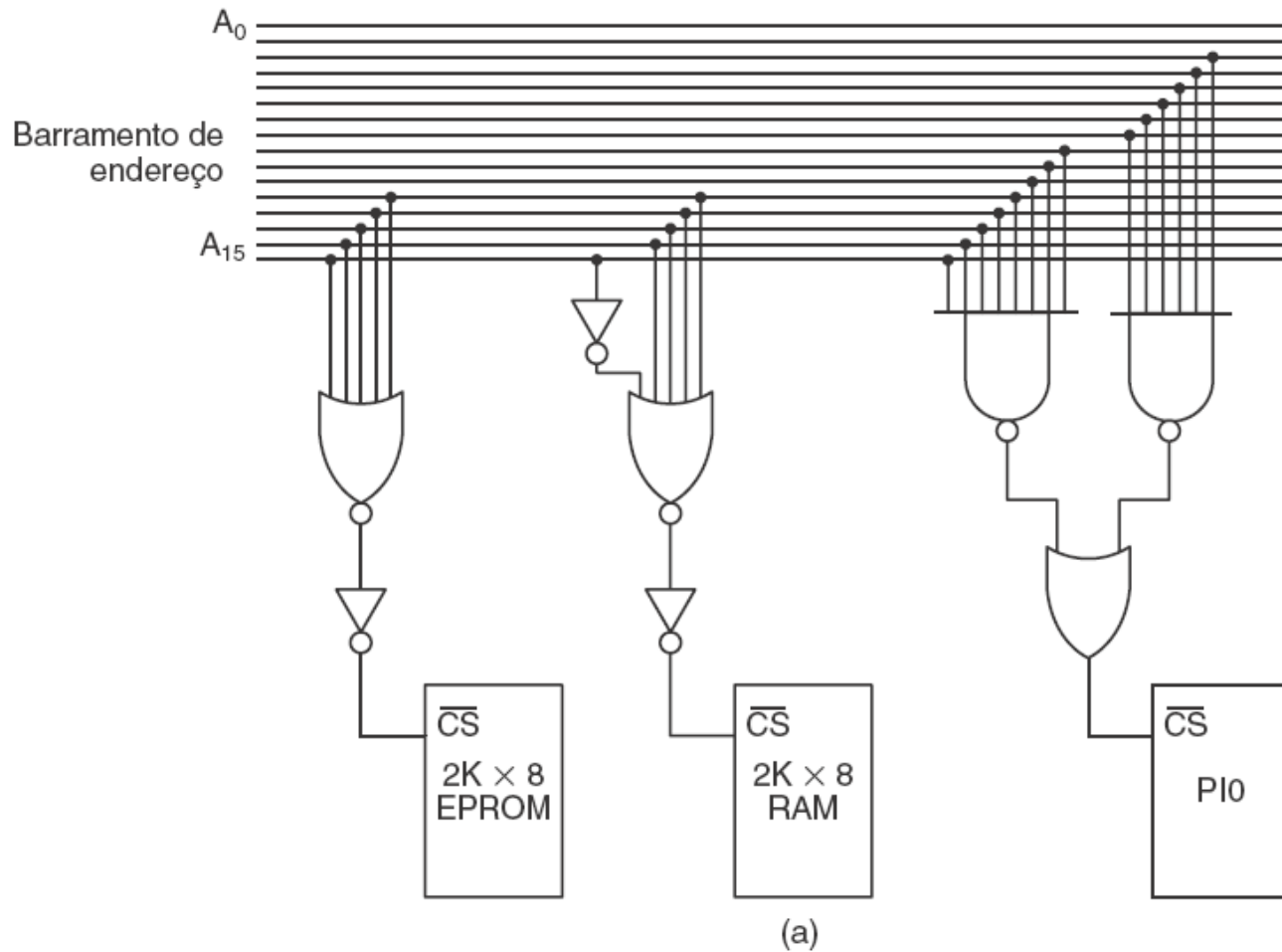
Chip 8255A PIO.

Decodificação de endereço (1)



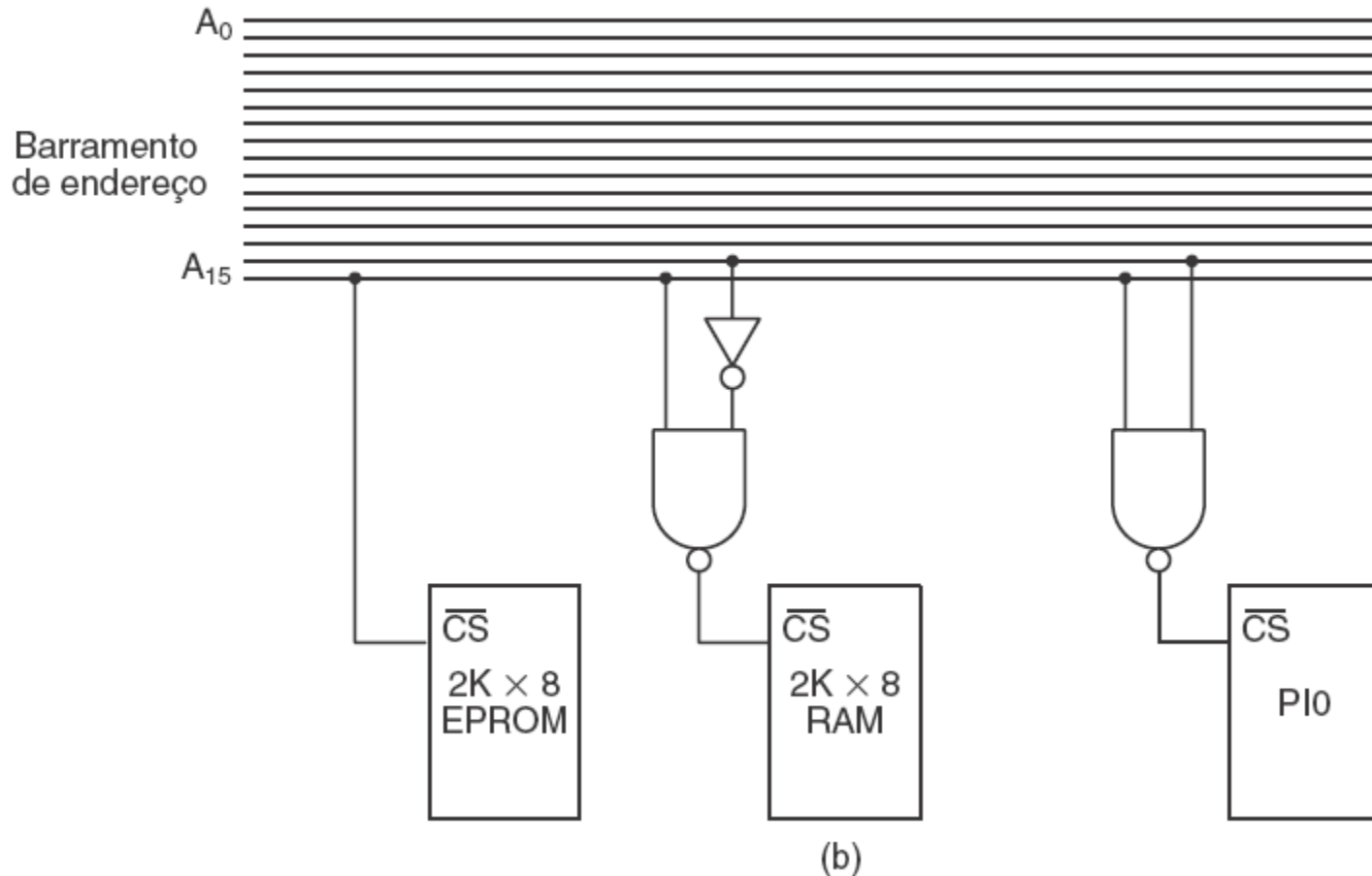
Localização de EPROM, RAM e PIO em nosso espaço de endereço de 64 KB.

Decodificação de endereço (2)



Decodificação de endereço completo.

Decodificação de endereço (3)



Decodificação parcial de endereço.