

esercizio n. 4 – memoria cache

prima parte – dimensionamento

Si consideri un sistema di memoria (memoria + cache) caratterizzato dalle dimensioni seguenti:

memoria da **2 Giga Byte** (indirizzata a livello di byte)

cache da **un Mega Byte**

ogni blocco di cache contiene **256 Byte**

Si svolgano i due punti seguenti:

- (a) **Si indichi** la struttura degli indirizzi per la memoria cache nei due casi seguenti:
- cache a indirizzamento diretto (direct mapped)
 - cache completamente associativa (fully associative)
- (b) Nei due casi **si calcoli** il numero totale di bit necessari per le due cache, considerando la strategia di write-back (scrittura differita) per mantenere coerenza di cache.

seconda parte – simulazione

Si consideri un sistema di memoria (centrale + cache) caratterizzato dalle dimensioni seguenti:

memoria di lavoro da **2 K Byte** (indirizzata a livello di byte)

memoria cache da **512 Byte**

ogni blocco di cache contiene **128 Byte**

Considerando la sequenza di richieste alla memoria riportata qui sotto, **si chiede** di completare la tabella che illustra il comportamento di una cache set-associativa a **due vie** (associativa a gruppi a due vie) nel rispetto delle indicazioni seguenti:

Nella colonna esito, riportare **H** (hit - successo) se il blocco richiesto si trova in cache, oppure riportare **M** (miss - fallimento) se il blocco va caricato da memoria.

Nelle colonne dati va riportato il numero del blocco di memoria che si trova nel corrispondente blocco di cache. Questi valori sono denotati come numeri decimali (base dieci), mentre le etichette sono in binario. Pertanto l'indirizzo 000 0001 0010 individua un byte nel blocco $0000_{\text{due}} = 0_{\text{dieci}}$.

Nella colonna azione va indicato il blocco cui si accede (in caso di successo H) o il blocco in cui vengono caricati i dati della memoria (in caso di fallimento M).

Nella cache ci sono **quattro blocchi**, indicati con **A**, **B**, **C** e **D**, che sono organizzati in **due insiemi**: i blocchi **A** e **B** appartengono all'insieme **0**, e i blocchi **C** e **D** appartengono all'insieme **1**.

La politica di sostituzione adottata per la cache è quella LRU (Least Recently Used).

Nota: la memoria ha 11 bit di indirizzo; di questi, 7 bit servono per individuare il byte nel blocco; nella cache ci sono quattro blocchi organizzati in due gruppi, dunque lo 8° bit (da destra) indica l'insieme e i 3 bit più significativi restanti costituiscono l'etichetta.

passo	indirizzo richiesto	esito	blocco A			blocco B			blocco C			blocco D			azione
			valido	etichetta	dati	valido	etichetta	dati	valido	etichetta	dati	valido	etichetta	dati	
0			1	000	0	0	111	14	1	001	3	0	110	13	situazione iniziale
1.	110 1110 0010	M	1	000	0	0	111	14	1	001	3	1	110	13	carica blocco 13 in D
2.	001 1110 0101	H	1	000	0	0	111	14	1	001	3	1	110	13	accesso a blocco C
3.	111 0011 1001	M	1	000	0	1	111	14	1	001	3	1	110	13	carica blocco 14 in B
4.	100 0000 0010	M	1	100	8	1	111	14	1	001	3	1	110	13	carica blocco 8 in A
5.	010 1111 1110	M	1	100	8	1	11	14	1	001	3	1	010	5	carica blocco 5 in D