

esercizio n. 4 – Memoria cache

Si consideri una gerarchia di memoria composta da memoria centrale da **4 Gigabyte** indirizzabile per byte con parole da 32 bit, una memoria **cache istruzioni** a **indirizzamento diretto** (direct mapped) da **512 Kilobyte** e una memoria **cache dati set associativa** a **2 vie** da **1 Megabyte**, entrambe con blocchi da **256 byte**. Il tempo di accesso alle parole della cache (dato e istruzione) è pari a **1 ciclo di clock**. Il tempo di accesso alle parole di memoria centrale è pari a **10 cicli di clock**.

Si chiede di svolgere i punti seguenti:

1. Indicare la struttura degli indirizzi di memoria per le due memorie cache.
2. Calcolare il tempo necessario per caricare un blocco in caso di fallimento (miss).
3. Calcolare il tempo medio di accesso alla memoria per un programma dove in media il 25 % delle istruzioni eseguite richiede un accesso in lettura o scrittura a un dato. Il miss rate (frequenza di fallimento) della cache istruzioni è pari a 1 % mentre per la cache dati è del 10 %.
4. Calcolare il rapporto di prestazioni dell'architettura senza cache rispetto a quella con cache.