

Jerarquía de la memoria - Caché

Problema 1:

Para un display color, usando 8 bits para cada uno de los colores primarios (rojo, verde y azul) por píxel y con una resolución de 1280 x 800 píxel. Cual es el tamaño (en bytes) del buffer para almacenar un frame?

Problema 2:

Relativo al problema anterior, si una computadora tiene una memoria principal de 2 GB. Cuantos frames se pueden almacenar considerando que la memoria no contenga otro tipo de información?

Problema 3:

Asumiendo que la memoria caché es 10 veces más rápida que la memoria DRAM, que esta es 100.000 veces más rápida que el Hard Disk, y que la memoria flash es 1.000 veces más rápida que el Hard Disk. Cuánto tiempo insume leer un archivo de cada una de las memorias, si se tarda 2 μ s en leer el mismo archivo desde la caché?

Problema 4:

Seleccione la(s) opción(es) correctas. Justifique:

- a. De los siguientes tipos de métodos de acceso a la memoria. Por cuál de ellos se puede predecir con cierta exactitud el tiempo total de acceso que se necesita para recibir los datos después de hacer una petición? (marque todas las que apliquen)
- a.) Secuencial b.) Directa c.) Random d.) Asociativa
- b. Cuál de las funciones de asignación (mapeo) de caché seria la mas rápida?
- a.) Directo b.) Asociativo por conjuntos c.) Totalmente asociativo
- c. Cuál de las funciones de asignación (mapeo) de caché seria la que dilapida menos datos, es decir, que tenga la menor probabilidad de que dos bloques distintos compitan entre si por la misma línea de caché?
- a.) Directo b.) Asociativo por conjuntos c.) Totalmente asociativo
- d. Qué función la asignación (mapeo) de caché no requiere un algoritmo de reemplazo?
- a.) Directo b.) Asociativo por conjuntos c.) Totalmente asociativo

Problema 5:

Localidad espacial y localidad temporal son dos importantes principios de la localidad que se utilizan para optimizar la ejecución de los programas.

Localidad espacial se refiere a la tendencia de un programa en ejecución para utilizar datos ubicados en posiciones de memoria contiguas. Esto refleja la tendencia de la CPU para acceder a posiciones de datos adyacentes en forma secuencial, tal como ocurre cuando se procesa una tabla de datos.

Localidad temporal se refiere a la tendencia de la CPU para acceder a posiciones de memoria que han sido utilizadas o referenciadas recientemente. Por ejemplo, cuando un bucle de iteración se ejecuta, la CPU

ejecuta el mismo conjunto de instrucciones repetidamente. Con estas definiciones de localidad espacial y temporal, considere el siguiente código:

```
for (i = 0; i < 20; i++)  
    for (j = 0; j < 10; j++)  
        a[i] = a[i] * j
```

- Dar un ejemplo de localidad espacial en el código.
- Dar un ejemplo de localidad temporal en el código.

Problema 6:

Una memoria caché de 64 KB tiene un tamaño de línea (o bloque) de 16 bytes. Si las direcciones son de 32 bits:

- Cuántos bits se destinarían a los campos "tag", "index" y "offset" si se usara función de asignación o mapeo directo?
- Cómo se dividirían los bits de direcciones si la función de asignación fuera asociativa por conjunto de 4 vías?
- Cuántos bits del campo "index" habría para una función de asignación o mapeo totalmente asociativo?. Explique su respuesta.

Problema 7:

Considerando el problema anterior, con 32 bits de direcciones y para el caso de mapeo directo. Cuantos bits adicionales requiere la implementación de esta caché, incluyendo el "valid bit"?

Problema 8:

Asuma de que el acceso a la memoria principal ante un fallo en caché ("cache miss") conlleva 30 ns y el acceso a la memoria caché ante un acierto en caché ("cache hit") dura 3 ns. Si el 80% de las peticiones a memoria del procesador resultan en un "cache hit". Cuál es el tiempo promedio de acceso a memoria?

- a.) 9.0 nS b.) 33.0 nS c.) 24.6 nS d.) 27.0 nS e.) 2.4 nS f.) 3.0 nS

Problema 9:

Suponga que se dispone de un procesador cuyo ciclo por instrucción (CPI) vale 1.0 cuando todos los accesos a una memoria caché son aciertos ("cache hit"). Los accesos a datos son sólo instrucciones del tipo Load/Store, y corresponden al 50% del total de instrucciones. Si la penalización ante fallo conlleva 25 ciclos y la tasa de fallos es del 2%, Cuán rápido sería el procesador si todas las instrucciones fueran aciertos de caché?

Problema 10:

Para el procesador de problema anterior. Suponga que la penalización ante fallos de caché es de 200 ciclos de clock, y todas las instrucciones tienen normalmente 1.0 ciclos de clock (ignorando los ciclos de memory stall). Suponga la tasa de fallos promedio es del 2%, y hay un promedio de 1.5 referencias a memoria por instrucción, y el número promedio de fallos de caché por cada 1000 instrucciones es de 30. Cuál es el impacto en la performance cuando la caché está incluida? Calcular el impacto usando ambos términos, los

“misses per instruction” y tasa de fallos. Y cuán peor sería la performance sin ninguna jerarquía de memoria?

Problema 11:

Seleccione la(s) opción(es) correctas. Justifique:

- a.* Qué política de escritura de caché generaría más tráfico en el bus?
- a.) Write through b.) Write back
- b.* Qué política de escritura de caché permite que una posición de memoria actualizada en la memoria caché quede en espera (‘stand by’) hasta que el bloque que la contiene sea reemplazado en la memoria caché?
- a.) Write through b.) Write back c.) Ambos d.) Ninguno
- c.* Qué política de escritura de caché es la que mejor soportaría el monitoreo de bus para su uso en sistemas de varios procesadores?
- a.) Write through b.) Write back
- d.* Qué política de escritura de caché es la que mejor soportaría la transparencia de hardware para su uso en sistemas de varios procesadores?
- a.) Write through b.) Write back c.) No hay diferencia