

PRÁCTICO DE ARQUITECTURA DE COMPUTADORA 2012

TEMA: REPASO DE LA ARQUITECTURA MIPS

- 1) Enumere los nombres de los 32 registros que posee el MIPS y explique qué funciones principales tienen previstas cada uno, cuando un programa en C es compilado para MIPS.
- 2) Para el procesador MIPS estudiado en el curso, explicar en cuántas y cuales categorías se divide su conjunto de instrucciones. ¿Cuántas instrucciones hay en cada categoría?. Haga un cuadro indicativo de la cantidad de instrucciones que pertenecen a cada categoría.
- 3) Liste todas las instrucciones aritméticas que posee MIPS. Explique su funcionamiento. Dé un ejemplo de cada una de ellas. ¿A qué formato de instrucciones pertenecen?. Explique los campos que forman el código de dichas instrucciones.
- 4) Liste todas las instrucciones de Movimiento de Datos que posee MIPS. Explique su funcionamiento. Dé un ejemplo de cada una de ellas. ¿A qué formato de instrucciones pertenecen?. Explique los campos que forman el código de dichas instrucciones.
- 5) Liste todas las instrucciones Lógicas que posee MIPS. Explique su funcionamiento. Dé un ejemplo de cada una de ellas. ¿A qué formato de instrucciones pertenecen?. Explique los campos que forman el código de dichas instrucciones.
- 6) Liste todas las instrucciones de Saltos Condicionales que posee MIPS. Explique su funcionamiento. Dé un ejemplo de cada una de ellas. ¿A qué formato de instrucciones pertenecen?. Explique los campos que forman el código de dichas instrucciones.
- 7) Liste todas las instrucciones de Saltos Incondicionales que posee MIPS. Explique su funcionamiento. Dé un ejemplo de cada una de ellas. ¿A qué formato de instrucciones pertenecen?. Explique los campos que forman el código de dichas instrucciones.
- 8) ¿Qué significa que el procesador MIPS sea del tipo “Big Endian”?.. Explique y justifique el concepto de alineación de words, halfwords y bytes en el procesador MIPS.
- 9) Suponga que un compilador de C para MIPS asocia las variables “f, g, h, i, j” a los registros \$S0, \$S1, \$S2, \$S3, \$S4, respectivamente. Muestre una posible compilación de la siguiente sentencia en C a lenguaje Assembly de MIPS:

```
if (i==j)
    f = g + h;
else
    f = g - h;
```

Suponga que el código se encuentra almacenado en memoria a partir de la dirección hexadecimal 00000100. Escriba el lenguaje de máquina correspondiente en base 10, hexadecimal y binario, en cada campo de la instrucciones.

- 10) Suponga que un compilador de C para MIPS asocia a la variables “i, k” con los registros \$S3 y \$S5, respectivamente y a la dirección base de un arreglo denominado “save” con el registro \$S6. Muestre una posible compilación de la siguiente sentencia en C a lenguaje Assembly de MIPS:

```
while (save[i] == k)
    i += 1;
```

Suponga que el código se encuentra almacenado en memoria a partir de la dirección hexadecimal 000003F0. Escriba el lenguaje de máquina correspondiente en base 10, hexadecimal y binario, en cada campo de la instrucciones. ¿Podría el programa almacenarse a partir de la dirección hexadecimal 0000003f?.

- 11) Redactar un programa que permita hacer que las posiciones de memoria desde la dirección 00000274 hasta la dirección 000002F3 contengan el valor hexadecimal 3F. Sólo puede mover un byte por instrucción. Suponga que el código se encuentra almacenado en memoria a partir de la dirección hexadecimal 00000000. Escriba el lenguaje de máquina correspondiente en base 10, hexadecimal y binario, en cada campo de la instrucciones.
- 12) Redactar un programa que permita hacer que las posiciones de memoria desde la dirección 00001234 (hexa) hasta la dirección 00003FA2 contengan el valor hexadecimal FF. Sólo puede mover un byte por instrucción. Suponga que el código se encuentra almacenado en memoria a partir de la dirección hexadecimal 00000000. Escriba el lenguaje de máquina correspondiente en base 10, hexadecimal y binario, en cada campo de la instrucciones.
- 13) Redactar un programa que permita realizar la suma de dos números binarios de 11 bytes de longitud cada uno, que se encuentran almacenados a partir de las direcciones 00000200 hexa y 00000300 hexa. El resultado queda en la posición 00000300 hexa. Suponga que el código se encuentra almacenado en memoria a partir de la dirección hexadecimal 00000000. Escriba el lenguaje de máquina correspondiente en base 10, hexadecimal y binario, en cada campo de la instrucciones.
- 14) Ídem al anterior pero el resultado queda a partir de la dirección 00000400 hexa. Suponga que el código se encuentra almacenado en memoria a partir de la dirección hexadecimal 00000000. Escriba el lenguaje de máquina correspondiente en base 10, hexadecimal y binario, en cada campo de la instrucciones.

- 15) **MIPS:** Diferentes instrucciones emplean diferentes bloques internos de un microprocesador en una implementación “single-cycle instruction” básica.

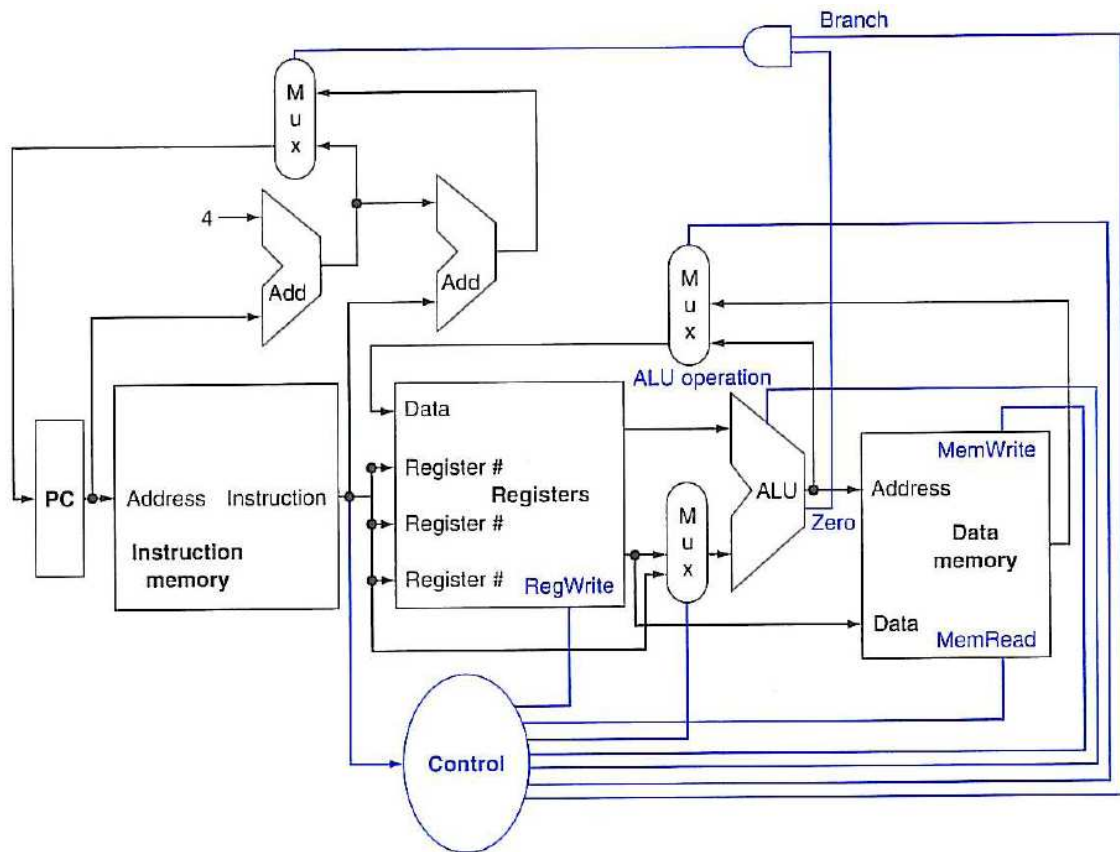


FIGURE 4.2 The basic implementation of the MIPS subset, including the necessary multiplexors and control lines.

Basado en la Figura 4.2 y considerando las siguientes instrucciones:

```
add    rd, rs, rt
lw     rt, offset(rs)
beq    rs, rt, label
```

- Cuales son los valores de las señales de control generadas por la Unidad de Control para cada instrucción?
- Qué recursos (bloques) realizan una función útil para cada instrucción?
- Qué recursos (bloques) producen salidas, pero sus salidas no son usadas por cada instrucción? Qué recursos (bloques) NO producen salidas para cada instrucción?

- 16) **Latencias:** Diferentes unidades de ejecución y/o bloques de circuitos digitales tienen diferentes latencias (tiempo necesario para completar su trabajo). En la Figura del problema anterior, existen 7 grandes bloques. La latencia de los bloques a través del **camino crítico** (el camino de la máxima latencia acumulada) para una instrucción

determina la mínima latencia de esa instrucción. Asumiendo las siguientes latencias para dos microprocesadores:

	I-mem	Add	MUX	ALU	Regs	D-mem	Control	Unidad
micro1	400	100	30	120	200	350	100	psec
micro2	500	150	100	180	220	1000	65	psec

- Cuál es el camino crítico para una instrucción ALU? (i.e. add)
- Cuál es el camino crítico para una instrucción de transferencia desde la memoria? (i.e. lw: cargar un dato desde memoria a un registro)
- Cuál es el camino crítico para una instrucción de transferencia hacia la memoria? (i.e. sw: guardar un dato desde un registro a la memoria)
- Cuál es el camino crítico para una instrucción de salto condicional? (i.e. beq)
- Cuál es el mínimo período de clock para cada uno de los microprocesadores?
- Compare las instrucciones dentro de cada procesador y justifique cuál es más eficiente para cada tipo de instrucción. Compare ambos procesadores y repita lo mismo pero de manera global.

17) La siguiente tabla muestra el aumento de la frecuencia de clock y la potencia de ocho generaciones de procesadores de Intel en un periodo de 28 años.

Procesador	Frecuencia	Potencia
80286 (1982)	12.5 MHz	3.3 W
80386 (1985)	16 MHz	4.1 W
80486 (1989)	25 MHz	4.9 W
Pentium (1993)	66 MHz	10.1 W
Pentium Pro (1997)	200 MHz	29.1 W
Pentium 4 Willamette (2001)	2 GHz	75.3 W
Pentium 4 Prescott (2004)	3.6 GHz	103 W
Core 2 Ketsfield (2007)	2.667 GHz	95 W

- Cuál es la media geométrica de las relaciones entre generaciones consecutivas de frecuencia de clock y de potencia? (La media geométrica se describe en la Sección 1.7. del libro de Patterson)
- Cuál es el mayor cambio relativo en la frecuencia de clock y potencia entre las generaciones?
- Cuánto más grande es la frecuencia de clock y potencia de la última generación respecto de la primera generación?

18) La siguiente tabla muestra el aumento de la frecuencia de clock y la potencia de ocho generaciones de procesadores de Intel en un periodo de 28 años.

Procesador	Voltaje (V)
80286 (1982)	5
80386 (1985)	5
80486 (1989)	5
Pentium (1993)	5
Pentium Pro (1997)	3,3
Pentium 4 Willamette (2001)	1,75
Pentium 4 Prescott (2004)	1,25
Core 2 Ketsfield (2007)	1,1

- Calcule la carga capacitiva promedio, suponiendo despreciable la potencia estática.
- Encontrar el mayor cambio relativo en la tensión entre generaciones.
- Halla la media geométrica de la relación de tensión entre generaciones desde el Pentium.

19) Aunque la potencia dinámica es la principal fuente de disipación de energía en CMOS (en forma de calor), la corriente de fuga produce la disipación de potencia estática. Mientras más pequeña sean las dimensiones del chip, más significativa es la potencia estática. Asuma que la siguiente tabla muestra las cifras para la disipación de potencia estática y dinámica para varias generaciones de procesadores.

	Tecnología	P Dinámica (W)	P Estática (W)	Voltaje (V)
micro1	180 nm	50	10	1,2
micro2	70 nm	90	60	0,9

- Encontrar el porcentaje de la potencia total disipada por la componente estática.
- Si la potencia disipada total se reduce en un 10% mientras se mantiene la estática a la misma tasa del problema anterior. Cuánto debe reducirse el voltaje para mantener la misma corriente de fuga?
- Determinar la relación entre la potencia estática y potencia dinámica para cada tecnología.

20) **CISC vs. RISC:** Este ejercicio explora las diferencias entre procesadores CISC (x86) y RISC (MIPS). La siguiente tabla contiene 3 ejemplos de código assembly x86:

A

B

C

```
START:  mov ax, 00101100b
        mov cx, 00000011b
        mov bx, 11110000b
        and ax, bx
mov edx, [esi+4*ebx]      or  ax, cx
                        add  eax, 0x12345678
```

- a.* Escriba el pseudo-código de las rutinas dadas.
- b.*Cuál es el código MIPS equivalente para estas rutinas?