



DISEÑO DIGITAL 2

MEMORIA DEL DISEÑO:

NIVEL ELECTRÓNICO

Autores:

Álvaro Salvador Ruiz (I1)

Iván Isabel Sierra (I2)

David Marcos Albesa (I3)

Aitor Casado de la Fuente (I4)

Curso 2023-2024.

Control de versiones

Versión	Fecha	Autor	Cambios realizados
1.0	18/04/2024	Todos	Se completa el master_SPI_4_hilos
2.0	22/04/2024	Todos	Planteamiento del bloque de control. Se definen estados
2.1	24/04/2024	I1, I4	Se consigue cambiar de estado en el autómata. Bloque timer completado. Acelerómetro no devuelve medidas
2.2	25/04/2024	I2	Funcionamiento correcto del autómata. Funciona como debe.
2.3	25/04/2024	Todos	Se completa bloque de los leds que muestra la medida del acelerómetro en la barra de leds de la DECA
2.4	26/04/2024	Todos	Se integra todo para formar el Hito 1. Se consigue volcar el modelo en la tarjeta DECA. Funcionamiento correcto. Aprobado en la sesión del lunes por el profesor a cargo
3.0	27/04/2024	I2, I3	Completan la implementación del Hito 2. En una primera simulación de Modelsim parece que el offset funciona.
3.1	29/04/2024	Todos	Se vuelca el hito 2 en la DECA, el offset no funciona como debe. Se retoca el bloque de los leds, problema venía de ahí. Se estaba sumando a la medida del acelerómetro el offset en vez de restarla. Se retoca esto en el bloque de offset y se pasa la medida corregida a los leds. Se vuelca a la DECA y funciona como debe, aunque en la inclinación total hace algo raro por el desbordamiento al usar 10 bits. Se integra como Hito 2 y se aprueba por el profesor a cargo.
4.0	06/05/2024	I1, I4	Se completa el filtro, pero no se realiza simulación.
4.1	09/05/2024	Todos	Se hace una simulación del filtro, no se observa nada a la salida. Se retoca el filtro, problema de asignación en una SC. Se vuelve a simular, fallo a la hora de asignar valores a la entrada. Se retoca y en el test se asignan valores del -250 a 250 y el promedio que realiza en la simulación es correcto. Se vuelca en la DECA y el funcionamiento parece correcto. No lo revisa el profesor a cargo.
4.2	13/05/2024	Todos	Revisión final del proyecto. Tras revisión de código y realización de algunas preguntas, el profesor da el visto bueno sobre el proyecto. Para entregarlo aconseja entregar el código para que sea legible, sin comentarios.

Tabla de contenido

1	Especificación del diseño.	4
1.1	Introducción.....	4
1.2	Interfaces	4
1.2.1	Interfaz con el acelerómetro	4
1.2.2	Interfaz con la barra de LEDs.....	4
1.3	Especificaciones	5
1.3.1	Especificaciones funcionales	5
1.3.2	Especificaciones no funcionales	6
2	Diseño jerárquico.....	7
2.1	Bloque Master_SPI_4_hilos	9
2.2	Bloque Control	9
2.2.1	Bloque Autómata.....	9
2.2.2	Bloque Timer 5 ms	10
2.3	Bloque offset.....	10
2.4	Bloque filtro.....	10
2.5	Bloque salida LEDS	11
3	Diseño detallado	12
3.1	Estructura del proyecto en Modelsim	12
3.2	Estructura por carpetas	12
3.2.1	Carpeta hdl.....	12
3.2.2	Carpeta modelsim:.....	12
3.2.3	Carpeta quartus:.....	12
3.2.4	Carpeta test:	13
4	Pruebas de verificación funcional de NIVEL.....	14
4.1	Test nº 1	14
4.2	Test nº 2... ..	14
5	Diseño físico	15
5.1	Asignación de pines.....	15
5.2	Restricciones de la síntesis	15
5.3	Recursos utilizados	16
5.4	Frecuencia máxima de reloj.....	17
6	Bibliografía.....	18

1 Especificación del diseño.

1.1 Introducción

El nivel electrónico (NIVEL) permite detectar la inclinación de la tarjeta DECA en un eje de movimiento. La información de la inclinación de la tarjeta se obtiene utilizando el acelerómetro incluido en la DECA. La visualización de la inclinación se realiza utilizando los LEDs de la DECA.

1.2 Interfaces

El diagrama de bloques general del diseño se muestra en la siguiente figura.

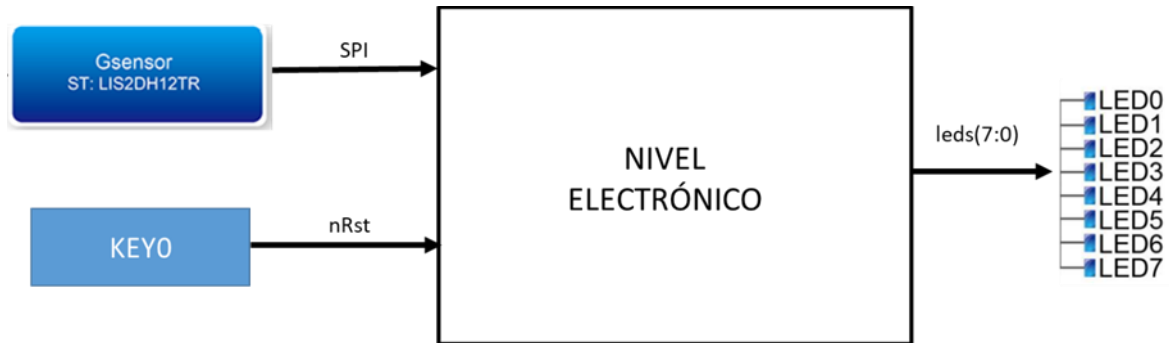


Fig. 1. Interconexión del NIVEL al acelerómetro y a los LEDs.

1.2.1 Interfaz con el acelerómetro

El sistema se comunica con el acelerómetro con una interfaz SPI. Las señales de esta interfaz son las siguientes:

Señal	Dirección	Descripción
nCS	Output	Habilita el puerto serie a nivel bajo
SPC	Ouput	Reloj de la interfaz SPI
SDI	Input	MOSI – Envío de datos al esclavo
SDO	Output	MISO – Envío de datos al máster

1.2.2 Interfaz con la barra de LEDs

El sistema realiza la visualización de la inclinación utilizando una barra de displays de 7 segmentos:

Señal	Dirección	Descripción
leds[0]	Output	Representa el led 0 del bus de leds
leds[1]	Output	Representa el led 1 del bus de leds
leds[2]	Output	Representa el led 2 del bus de leds
leds[3]	Output	Representa el led 3 del bus de leds
leds[4]	Output	Representa el led 4 del bus de leds
leds[5]	Output	Representa el led 5 del bus de leds
leds[6]	Output	Representa el led 6 del bus de leds
leds[7]	Output	Representa el led 7 del bus de leds

1.3 Especificaciones

Las especificaciones funcionales y no funcionales del NIVEL se detallan en el documento [1].

1.3.1 Especificaciones funcionales

Referencia	Tipo de especificación
01	Detección del movimiento de la tarjeta DECA mediante el uso del acelerómetro integrado en ella, LIS2DH12TR
02	Detección del movimiento del eje X del acelerómetro en medidas tomadas cada 5 ms.
03	Configurar al acelerómetro para poder comunicarse con él a través del protocolo de comunicación SPI a cuatro hilos
04	Tomar como referencia de la medida la posición inicial de la tarjeta tras realizar un reset asíncrono con el botón KEY0 de la DECA
05	Representar las medidas de la posición en el bus de 8 leds de la tarjeta DECA, dependiendo de la inclinación en la que se encuentre la tarjeta en ese momento
06	En la posición inicial de la tarjeta, han de estar los 8 leds encendidos
07	Nunca deben de estar apagados los 8 leds, siempre debe de quedarse un led encendido
08	Configuración del circuito mediante los registros CTRL_REG1 a CTRL_REG6: - Normal mode (10 bits de resolución) - Output Data Rate (ODR) de 200Hz - Rango de medida entre +2g y -2g - Habilitados los ejes X - FIFO deshabilitada. - High-pass filter bypassed. Por lo que, el resto de valores de configuración de los mismos serán irrelevantes. - Todas las interrupciones inhabilitadas. - Block Data Update (BLU) habilitada, se escriben el LSB y MSB de manera simultánea. - Big/Little Endian en Little Endian, es decir, con LSB en la dirección más baja (OUT_n_L es el LSB y OUT_n_H es el MSB). El dato se nos ofrecerá justificado a la izquierda. Es decir desde OUT_n_H(7) hasta OUT_n_L(6). - Self-test inhabilitado - SPI configurado a cuatro hilos. - "Reboot memory content" en modo normal.
09	Calculo de la posición inicial (offset) mediante el promedio de todas las lecturas recibidas en 160 ms
10	Cálculo de la posición inicial de la tarjeta tras el offset realizando el promedio de las lecturas tomadas en los últimos 40 ms, es decir 8.
11	El controlador solo puede ordenar escrituras de un byte o lecturas de dos bytes una vez comprobado que el máster SPI está preparado para realizarlas
12	El controlador puede indicar la dirección del registro sobre el que se quiere operar e indicar si va a realizar una lectura o una escritura

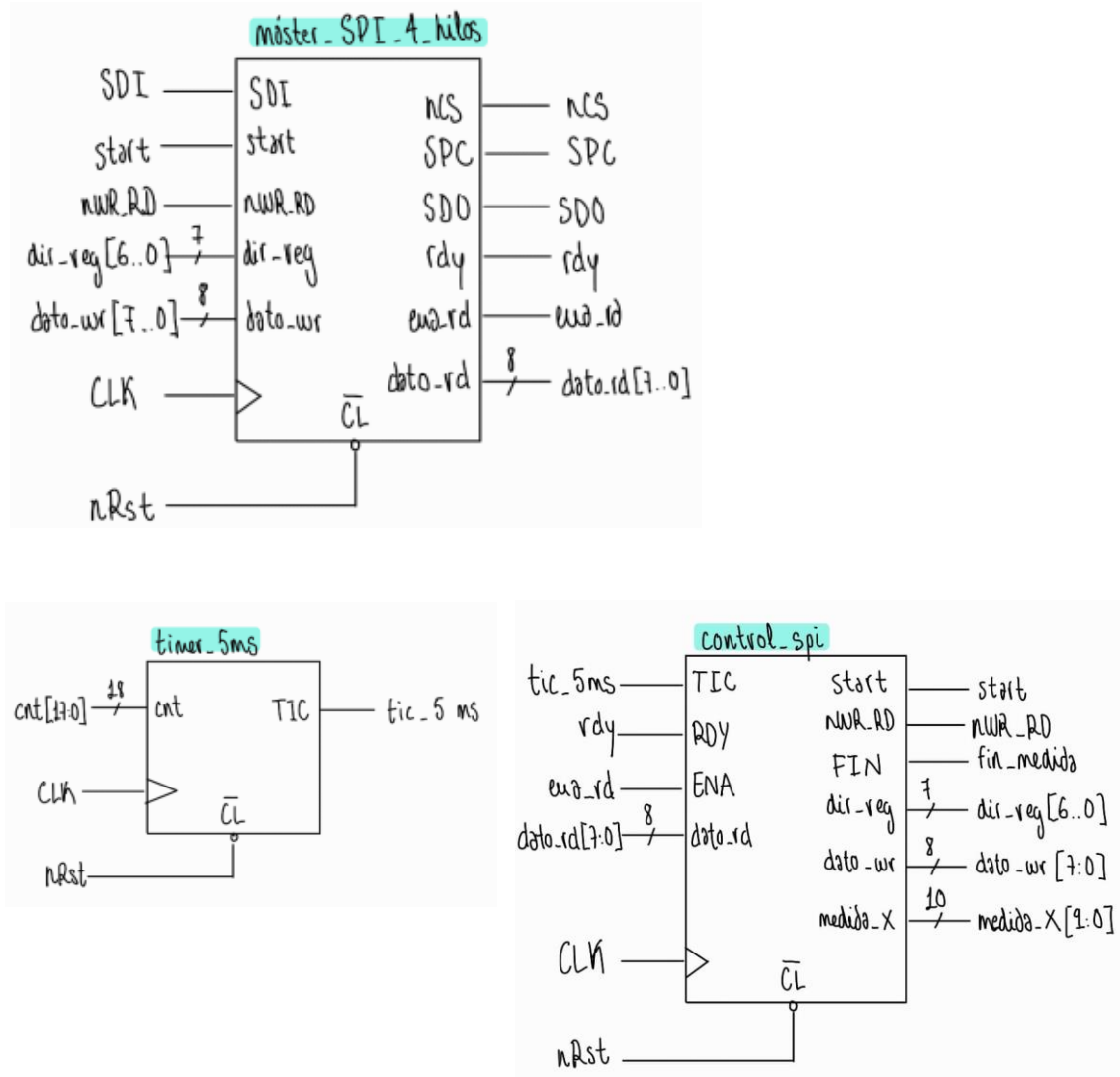
1.3.2 Especificaciones no funcionales

Referencia	Especificación
13	El circuito ha de cumplir con todas las reglas de diseño síncrono estudiadas en la asignatura
14	La frecuencia del reloj del sistema debe ser de 50 MHz
15	La frecuencia máxima del circuito ha de ser compatible con la especificación anterior
16	En la asignación de pines de Quartus, es necesario asignar el pin SDI del proyecto al SDO de la DECA, y al pin SDO del proyecto el pin SDI de la DECA.
17	Es necesario deshabilitar unas opciones en la configuración del proyecto de Quartus: Device Pin and Options > General, y deshabilitar los tres ticks marcados

2 Diseño jerárquico

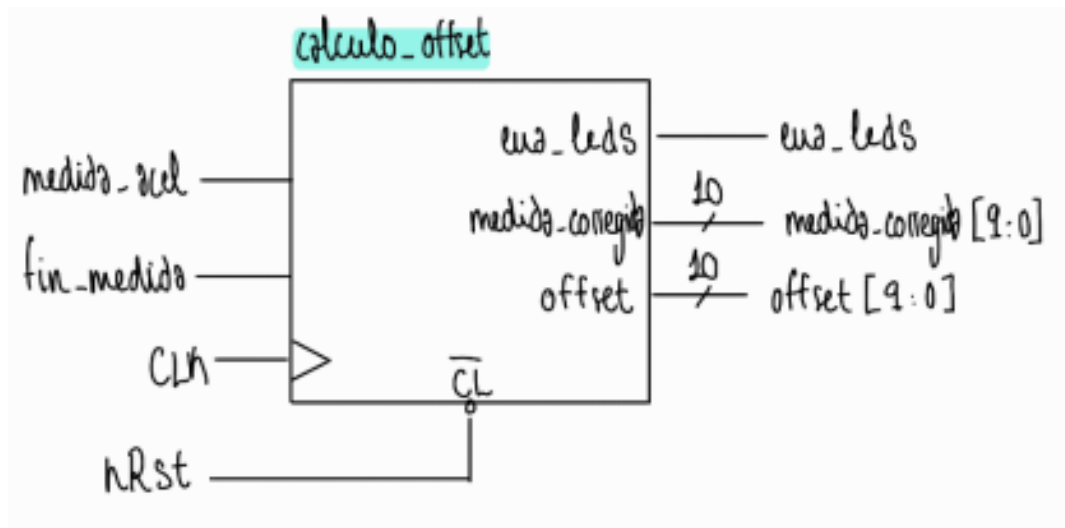
El diagrama de la Fig. 2 representa el primer nivel de la jerarquía del diseño¹:

Hito 1:

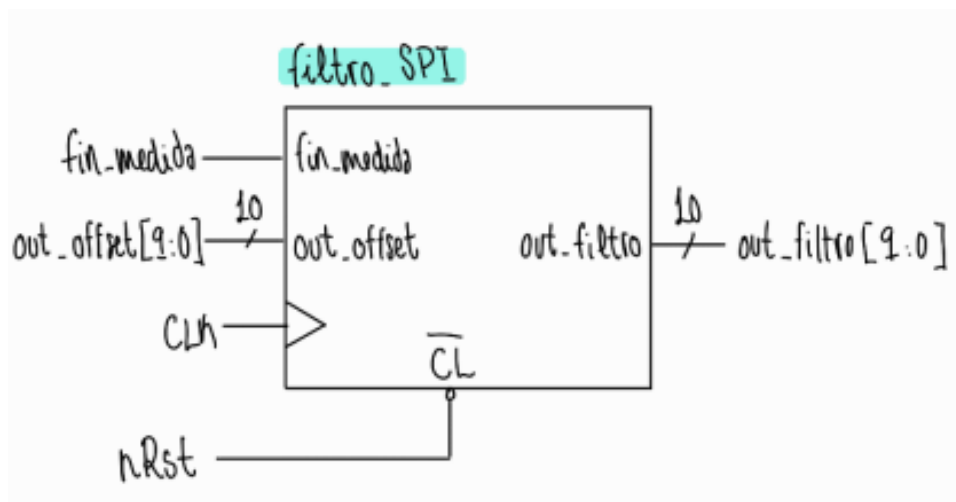


¹ Todos los bloques tienen un reloj común, clk, y una entrada de reset asíncrono, rst_n, activa a nivel bajo. Estas señales no se incluyen en las interfaces por simplicidad.

Hito 2:



Hito 3:



Bloque salida:

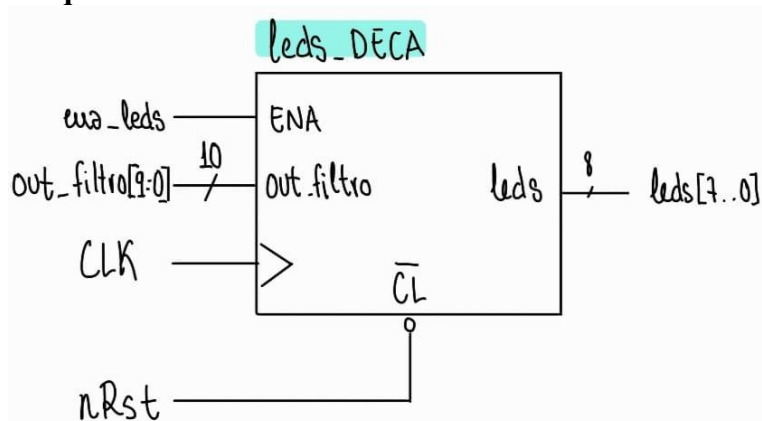


Fig. 2. Diagrama de bloques del primer nivel de la jerarquía de NIVEL.

En los siguientes subapartados se describe la interfaz y la función de cada uno de estos bloques.

2.1 Bloque Master_SPI_4_hilos

Bloque que interactúa con el sensor mediante el empleo del bus SPI, a través de las líneas de comunicación SDI y SDO, al ritmo que marca el reloj del bus, generado por SPC.

Señal	Dirección	Descripción
nRst	Input	Reset asíncrono
clk	Input	Reloj del circuito
start	Input	Ordena de ejecución
nWR_RD	Input	Indica el tipo de operación a realizar, 0 → Escritura, 1 → Lectura
dir_reg[6:0]	Input	Señal que cuenta con la dirección de acceso, si el bit 7 está a 1 implica autoincremento y RD, se considera el valor de long
dato_wr[7:0]	Input	Señal que cuenta con el valor del dato a escribir
dato_rd[7:0]	Output	Señal que cuenta con el valor del byte leído
ena_rd	Output	Valida a nivel alto a dato_rd y es ignorada en operaciones de escritura
rdy	Output	Indica que la unidad está preparada para aceptar un start
nCS	Output	Chip select que habilita el puerto a nivel bajo
SPC	Output	Reloj de la interfaz SPI
SDI	Input	MOSI – Envío de datos al esclavo
SDO	Output	MISO – Envío de datos al máster

2.2 Bloque Control

2.2.1 Bloque Autómata

Bloque encargado de hacer funcionar todo el sistema. En el se lleva a cabo un autómata en el que se configura el sensor para realizar medidas en el eje X.

Señal	Dirección	Descripción
nRst	Input	Reset asíncrono
clk	Input	Reloj del circuito
tic_5ms	Input	TIC periódico que salta cada 5 ms -> indica medida realizada
rdy	Input	Indica si el master está listo para iniciar transferencia
ena_rd	Input	Habilitación de lectura de un dato_rd
dato_rd[7:0]	Input	Byte de un dato enviado por el sensor
start	Output	Marca el comienzo de una transferencia
nWR_RD	Output	Indicar de una operación de lectura o escritura
fin_medida	Output	Habilitación que se activa cuando ha terminado una medida
dir_reg[6:0]	Output	Indica el registro al que se accede
dato_wr[7:0]	Output	Byte escritor en el sensor
medida_X[9:0]	Output	Valor definitivo de cada lectura, sin offset y sin filtrado

2.2.2 Bloque Timer 5 ms

Bloque que genera un tic de 5 ms que indica cuando puede generarse una lectura.

Señal	Dirección	Descripción
nRst	Input	Reset asíncrono
clk	Input	Reloj del circuito
tic_5ms	Output	TIC periódico cada vez que pasan 5 ms que se toma la medida

2.3 Bloque offset

Encargado de obtener cual es la posición inicial de la tarjeta realizando la medida de 32 muestras, hechas en 160 ms. Posteriormente, calcula el valor de la posición actual a partir del valor inicial aportado por las 32 muestras.

Señal	Dirección	Descripción
nRst	Input	Reset asíncrono
clk	Input	Reloj de 50 MHz de la FPGA
medida_acel[9:0]	Input	Medida leída de la lectura
fin_medida	Input	Señal que informa cuando se termina de realizar una medida
ena_leds	Output	Señal que informa cuando hemos calculado el offset
medida_corregida[9:0]	Output	Medida del acelerómetro teniendo en cuenta el offset
offset[9:0]	Output	Valor del offset calculado

2.4 Bloque filtro

Una vez obtenido el valor inicial de la tarjeta, los últimos ocho valores de la posición del acelerómetro son filtrados antes de representarse en los leds. Este bloque es el que encarga de hacer ese filtrado de las 8 últimas lecturas, tomada en los últimos 40 ms. Posteriormente, se envía el valor a los leds para ser representado.

Señal	Dirección	Descripción
nRst	Input	Reset asíncrono
clk	Input	Reloj
fin_medida	Input	Señal que nos indica cuando se termina de realizar una medida
out_offset[9:0]	Input	Medida del acelerómetro teniendo en cuenta el offset
out_filtro[9:0]	Output	Media de las ultimas 8 medidas realizadas por el acelerómetro teniendo en cuenta el offset

2.5 Bloque salida LEDS

El objetivo de este bloque es mostrar el valor de la lectura actual aportada por el acelerómetro en el bus de 8 leds que tiene la DECA. Es necesario realizar distintos rangos de posiciones para la representación, ya que hay que tener en cuenta que estamos trabajando en $\pm 1 g$. Dependiendo de la posición, se le asigna un patrón de encendido.

Señal	Dirección	Descripción
nRst	Input	Rset asíncrono
clk	Input	Reloj del sistema de 50 MHz
ena_leds	Input	Señal que habilita que los leds representen la medida obtenida tras el cálculo del offset.
out_filtro[9:0]	Input	Media de las últimas 8 medidas realizadas por el acelerómetro teniendo en cuenta el offset
leds[7:0]	Output	Vector al que se le asocian los valores de los leds dependiendo de la medida obtenida.

3 Diseño detallado

El proyecto está almacenado en la carpeta '*acelerometro_final*', la cual a su vez contiene las carpetas *hdl*, *modelsim*, *quartus* y *test*. La carpeta *hdl* contiene los ficheros RTL y estructural del diseño. La carpeta *modelsim* contiene el proyecto de simulación (*acelerometro_final.mpf*), y los ficheros donde se definen los diferentes test-benches. Finalmente, *quartus* contiene el proyecto para el diseño físico y los ficheros relacionados con éste.

3.1 Estructura del proyecto en Modelsim

HDL	Folder	
top.vhd	✓	VHDL 6
timer_5ms.vhd	✓	VHDL 5
master_spi_4_hilos.vhd	✓	VHDL 4
leds_DECA.vhd	✓	VHDL 3
filtro_SPI.vhd	✓	VHDL 2
control_spi.vhd	✓	VHDL 1
calculo_offset.vhd	✓	VHDL 0
TEST	Folder	
test_filtro.vhd	✓	VHDL 9
test_top.vhd	✓	VHDL 8
agente_spi.vhd	✓	VHDL 7

3.2 Estructura por carpetas

3.2.1 Carpeta hdl

calculo_offset.vhd	09/05/2024 18:16	txtfile	4 KB
control_spi.vhd	06/05/2024 20:04	txtfile	5 KB
filtro_SPI.vhd	13/05/2024 17:21	txtfile	3 KB
leds_DECA.vhd	16/05/2024 11:29	txtfile	3 KB
master_spi_4_hilos.vhd	27/04/2024 0:40	txtfile	5 KB
timer_5ms.vhd	27/04/2024 0:40	txtfile	1 KB
top.vhd	09/05/2024 17:34	txtfile	4 KB




3.2.2 Carpeta modelsim:

work	16/05/2024 12:08	Carpeta de archivos	
acelerometro_final.mpf	16/05/2024 12:08	Archivo MPF	24 KB
wave.do	27/04/2024 4:13	Archivo DO	8 KB

3.2.3 Carpeta quartus:

db	16/05/2024 12:36	Carpeta de archivos	
incremental_db	16/05/2024 12:20	Carpeta de archivos	
output_files	16/05/2024 12:34	Carpeta de archivos	
simulation	16/05/2024 12:25	Carpeta de archivos	
acelerometro_restr.sdc	16/05/2024 12:33	Archivo SDC	4 KB
top	16/05/2024 12:19	Archivo QPF	2 KB
top.qsf	16/05/2024 12:34	Archivo QSF	6 KB
top.qws	16/05/2024 12:36	Archivo QWS	1 KB

3.2.4 Carpeta test:

 agente_spi.vhd	27/04/2024 0:40	txtfile	4 KB
 test_filro.vhd	16/05/2024 12:08	txtfile	2 KB
 test_top.vhd	27/04/2024 0:40	txtfile	3 KB

4 Pruebas de verificación funcional de NIVEL

El plan de pruebas de NIVEL consiste en

4.1 Test nº 1: Funcionamiento correcto del acelerómetro

Es un test cuyo objetivo es comprobar el correcto funcionamiento de la comunicación del máster SPI con un agente_SPI simulado, con todas las especificaciones ya integradas. Para ello se ofrece un agente_SPI el cual simula los valores que nos va a entregar el acelerómetro si nuestro modelo configura correctamente la comunicación SPI.

Ubicación de los ficheros del test	En /hito3_v1/test	
Simulación escalada	No	
Ficheros	test_top.vhd	Test entregado por el profesorado
	agente_spi.vhd	Modelo entregado por el profesorado
Descripción del test	Este test está formado por un dut (master) y un slave (agente_spi.vhd). El agente_spi mandará según como se haya configurado el máster una serie de valores por su salida SDO los cuales simularán posibles valores de inclinación del acelerómetro. Para ello desde el test_top se incluirán una serie de estímulos que harán cambiar este valor simulado de inclinación de forma que si el test resulta correcto se verán los valores en formato decimal con signo: -2 durante los primeros ciclos de forma que simula el offset; 93; -216; 232.	

4.2 Test nº2: Funcionamiento correcto del bloque de filtrado

Es un test cuyo objetivo es comprobar el correcto funcionamiento del filtro aplicado a las medidas proporcionadas por el acelerómetro con el offset corregido, de tal modo que se aplique la fórmula especificada: $(129*T0 + 64*T1 + 32*T2 + \dots + 2*T6 + T7)/256$

Ubicación de los ficheros del test	En /hito3_v1/test	
Simulación escalada	Si	
Ficheros	test_filtro.vhd	Test modelado por los estudiantes
	Filtro_SPI.vhd	Filtro modelado por los estudiantes
Descripción del test	El funcionamiento de este test es muy simple, solamente se desea comprobar el funcionamiento correcto del filtro que recoge las últimas 8 muestras de medidas, desplazándolas y promediando. Se generan una serie de estímulos para comprobar si la media ponderada se cumple. Para ello pasamos valores de -250 a 250 en saltos de 50. Se comprueba como realiza la ponderación de manera correcta, aplicando la fórmula: $(129*T0 + 64*T1 + 32*T2 + \dots + 2*T6 + T7)/256$	

5 Diseño físico

En este apartado se documentan los detalles básicos relacionados con el diseño físico del circuito: la asignación de pines, las restricciones de la síntesis y los informes que proporciona Quartus Prime sobre los recursos de la FPGA utilizados y la frecuencia máxima de reloj obtenida.

5.1 Asignación de pines

En la siguiente tabla se detalla la asignación de los pines de la interfaz de NIVEL a los pines de la FPGA especificando para cada caso el tipo de pin, el número de pin de la FPGA que se corresponde con el pin del diseño, el banco al que corresponde y el estándar de entrada/salida que utiliza.

Nombre	Dirección	Pin FPGA	I/O Bank	I/O Standard
clk	Input	M8	2	2.5 V
nRst	Input	H21	6	1-5 V – Schmitt Trigger
leds[7]	Output	C5	8	1.2 V
leds[6]	Output	B4	8	1.2 V
leds[5]	Output	A5	8	1.2 V
leds[4]	Output	C4	8	1.2 V
leds[3]	Output	B7	8	1.2 V
leds[2]	Output	A6	8	1.2 V
leds[1]	Output	C8	8	1.2 V
leds[0]	Output	C7	8	1.2 V
SPC	Input	E9	8	1.2 V
nCS	Input	B5	8	1.2 V
SDI	Output	D5	8	1.2 V
SDO	Input	C6	8	1.2 V

5.2 Restricciones de la síntesis

Se ha utilizado el siguiente fichero sdc: acelerómetro_restr.sdc

En este archivo, se han incorporado las siguientes restricciones:

```
#####
# Create Clock
#####

create_clock -name {clk} -period 20.000 -waveform { 0.000 10.000 } [get_ports {clk}]

#####
# Set Clock Uncertainty
#####

set_clock_uncertainty -rise_from [get_clocks {clk}] -rise_to [get_clocks {clk}] 0.020
set_clock_uncertainty -rise_from [get_clocks {clk}] -fall_to [get_clocks {clk}] 0.020
set_clock_uncertainty -fall_from [get_clocks {clk}] -rise_to [get_clocks {clk}] 0.020
set_clock_uncertainty -fall_from [get_clocks {clk}] -fall_to [get_clocks {clk}] 0.020
#####
# Set False Path
#####

set_false_path -from [get_ports {SDI nRST}]
set_false_path -to [get_ports {SDO SPC leds[0] leds[1] leds[2] leds[3] leds[4] leds[5] leds[6] leds[7] nCS}]
```

5.3 Recursos utilizados

A continuación, se muestra la pantalla que genera el compilador (opción *Flow Summary* del *Compilation Report*):

Antes de la restricción:

Flow Summary	
Flow Status	Successful - Wed May 15 19:59:09 2024
Quartus Prime Version	16.0.0 Build 211 04/27/2016 SJ Lite Edition
Revision Name	top
Top-level Entity Name	top
Family	MAX 10
Device	10M50DAF484C6GES
Timing Models	Preliminary
Total logic elements	358 / 49,760 (< 1 %)
Total combinational functions	337 / 49,760 (< 1 %)
Dedicated logic registers	180 / 49,760 (< 1 %)
Total registers	180
Total pins	14 / 360 (4 %)
Total virtual pins	0
Total memory bits	0 / 1,677,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 288 (0 %)
Total PLLs	0 / 4 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 2 (0 %)

Después de la restricción:

Flow Summary	
Flow Status	Successful - Thu May 16 12:34:42 2024
Quartus Prime Version	16.0.0 Build 211 04/27/2016 SJ Lite Edition
Revision Name	top
Top-level Entity Name	top
Family	MAX 10
Device	10M50DAF484C6GES
Timing Models	Preliminary
Total logic elements	358 / 49,760 (< 1 %)
Total combinational functions	336 / 49,760 (< 1 %)
Dedicated logic registers	185 / 49,760 (< 1 %)
Total registers	185
Total pins	14 / 360 (4 %)
Total virtual pins	0
Total memory bits	0 / 1,677,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 288 (0 %)
Total PLLs	0 / 4 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 2 (0 %)

5.4 Frecuencia máxima de reloj

A continuación, se muestra la pantalla que genera el compilador (*Fmax Summary*):

Antes de la restricción:

Slow 1200mV 85C Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	269.98 MHz	250.0 MHz	clk	limit due to minimum period restriction (max I/O toggle rate)

Después de la restricción:

Slow 1200mV 85C Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	230.15 MHz	230.15 MHz	clk	

6 Bibliografía

[1] Especificación del diseño: nivel electrónico (NIVEL) [moodle DD2]

[2] Tarjeta DECA-MAX10 (página web del fabricante). [online]

<https://www.arrow.com/en/products/deca/arrow-development-tools>