

# RTSS: UMA FAMÍLIA DE TÉCNICAS DE LEITURA PARA SUPORTE À INSPEÇÃO DE MODELOS SYML e SIMULINK

**Erik Aceiro Antonio**  
[erik\\_antonio@dc.ufscar.br](mailto:erik_antonio@dc.ufscar.br)

Orientadora  
**Prof<sup>a</sup>. Dr<sup>a</sup>. Sandra Camargo Pinto Ferraz Fabbri**  
[sfabbri@dc.ufscar.br](mailto:sfabbri@dc.ufscar.br)



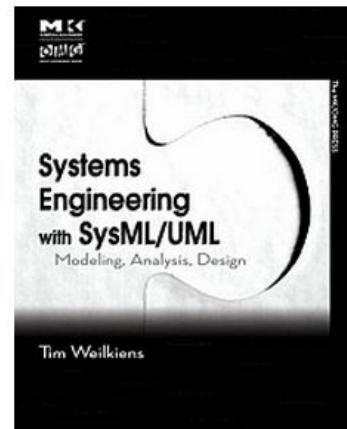
# Roteiro de Apresentação

- Introdução
- Metodologia de Desenvolvimento
- Fundamentação Teórica
  - Mapeamentos Sistemáticos para o contexto de SEs
- Definição das Técnicas RTSS
  - (i) Processo para a Definição das Técnicas RTSS
  - (ii) Família de Técnicas de Leitura RTSS no SYSMOD
- Resultados Obtidos
- Conclusão, Lições Aprendidas e Trabalhos Futuros



# Sistemas Embarcados (SEs)

- A complexidade inerente dos SEs, aliada a necessidade de se projetarem SEs, de forma mais precisa e com menos defeitos tem sido um desafio para a área de **Engenharia de Software e de Sistemas Embarcados.**
- Nesse contexto, salienta-se iniciativas como:
  - UML/RT e UML/MARTE (OMG, 2010, 2011a, 2011b)
  - SysML (OMG, 2010)
  - MDA (PASTOR; MOLINA, 2007)
  - SYSMOD (WELKIENS, 2008, 2013)
  - DO-178C (DANIELS, 2011)



<http://sysmod.system-modeling.com/>

↓  
Home  
Model Based  
Background

Telescope

Space Systems

## Model Based Systems Engineering

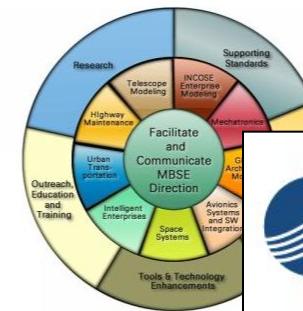
Welcome to the Model Based Systems Engineering pages of the INCOSE MBSE Challenge teams

[Telescope Modelling by SF^2](#)  
[Space Systems Modelling](#)

Model-based systems engineering (MBSE) is the formalized application of modeling to support system requirements, design, analysis, verification and validation activities beginning in the conceptual design phase and continuing throughout development and later life cycle phases (INCOSE-TP-2004-004-02, Version 2.03, September 2007).

A model is an approximation, representation, or idealization of selected aspects of the structure, behavior, operation, or other characteristics of a real-world process, concept, or system (IEEE 610.12-1990), i.e. an abstraction.

A model usually offers different views in order to serve different purposes. A view is a representation of a system from the perspective of related concerns or issues (IEEE 1471-2000).



CESAR

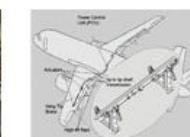
## WELCOME TO CESAR

### HOME

CESAR Abstract  
AIMS of CESAR  
Benefit for Industries

### PROJECT STRATEGY

### PROJECT PARTNERS



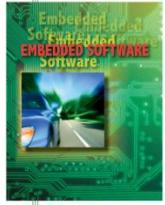
EU  
DSTI Instituto para Ciencia e Tecnologia  
DSTI Aquaniza2...  
ARTEMIS

- O objetivo do INCT-SEC é elevar o nível de conhecimento, competência e qualidade no país sobre o desenvolvimento de SECs.
  
- Desenvolvimento de pesquisas para a construção de SECs com ênfase em veículos aéreos, terrestres, aquáticos e subaquáticos autônomos.



Desenvolvedores de SEs **frequentemente não consideram**, eles mesmos, princípios de “**Engenharia de Software**”

(EBERT; JONES, 2009)



**EMBEDDED  
SOFTWARE:  
FACTS, FIGURES,  
AND FUTURE**

A complexidade funcional e extrafuncional crescente de requisitos para SEs tem levado a adoção de **novas práticas e abordagens para o processo de desenvolvimento de SEs**.

SMEYER; TRAPP, 2009)

### **Trends in Embedded Software Engineering**

Peter Liggesmeyer, University of Kaiserslautern  
Mario Trapp, Fraunhofer Institute for Experimental Software Engineering

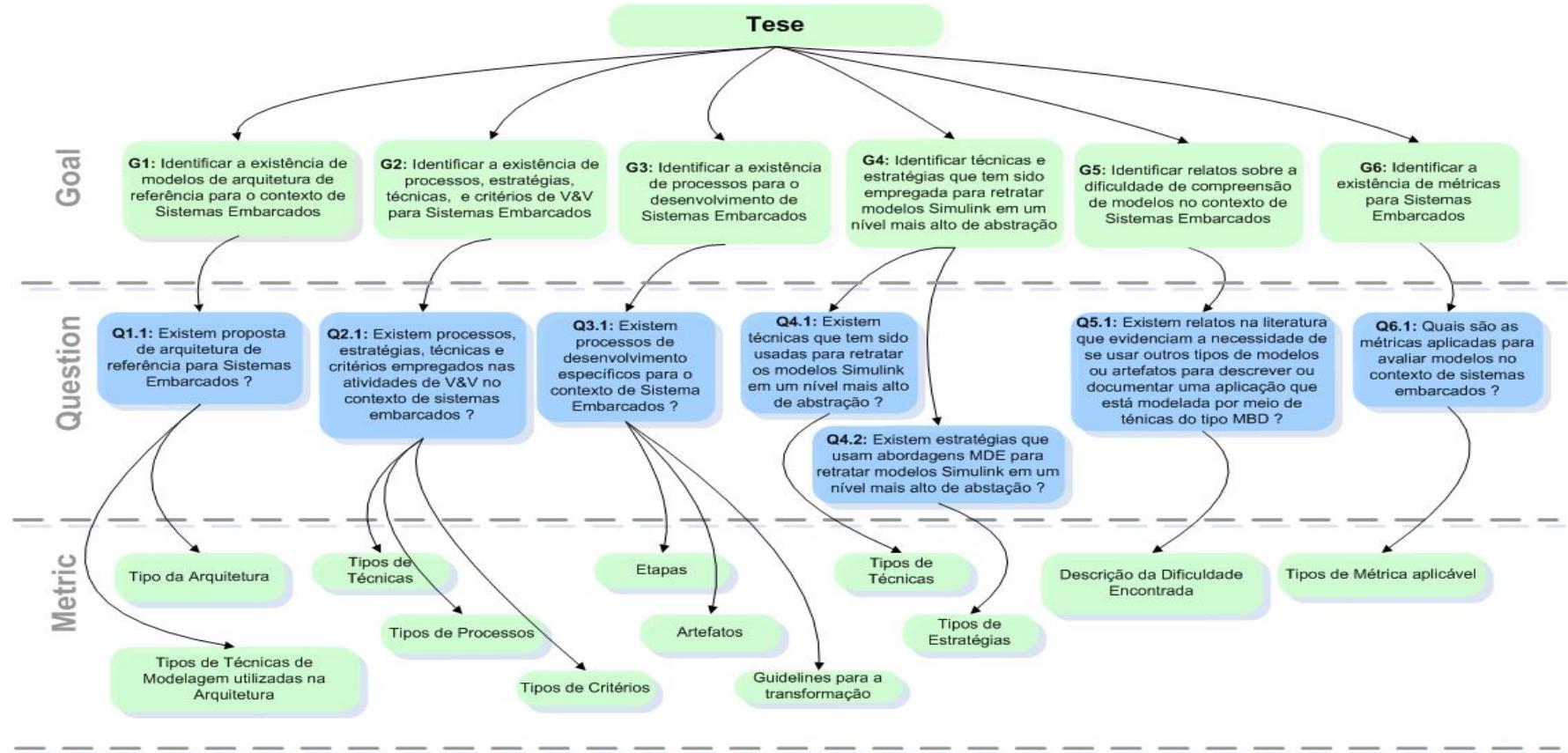
Devido à complexidade inerente das aplicações de SEs, **defeitos podem causar situações de risco de vida**, atrasos podem levar a um alto custo, e a baixa produtividade pode impactar negativamente na economia. **Prover melhores estimativas e métodos, tem sido uma importante lacuna na área de SEs**

(EBERT; JONES, 2009)

# Tese

“**Técnicas de Leitura** baseadas em **Normas de Certificação** para Sistemas Embarcados e na Estrutura das linguagens **SysML** e **Simulink**, são capazes de **detectar e antecipar** a identificação de **defeitos** em modelos baseados nessas linguagens, à medida que eles são construídos”

# Metodologia de Desenvolvimento



Caracterização das principais lacunas de pesquisas existentes na área por meio de Mapeamentos Sistemáticos (PETERSEN et al., 2008) e planejados com o suporte da técnica GQM (BASILI et al., 1994; PRESSMAN, 2009)

# Metodologia de Desenvolvimento

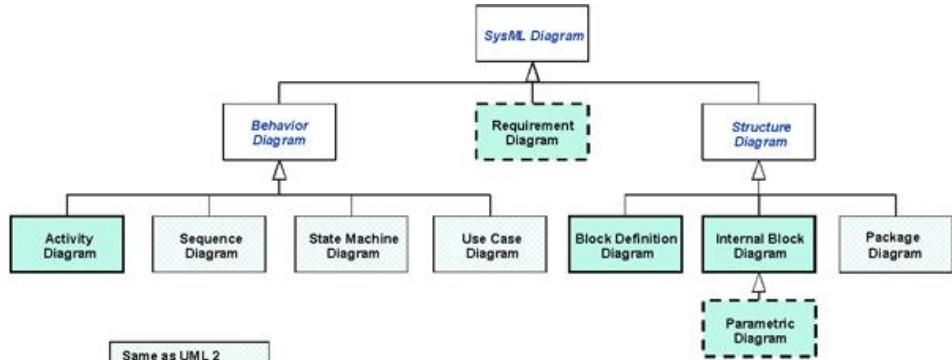
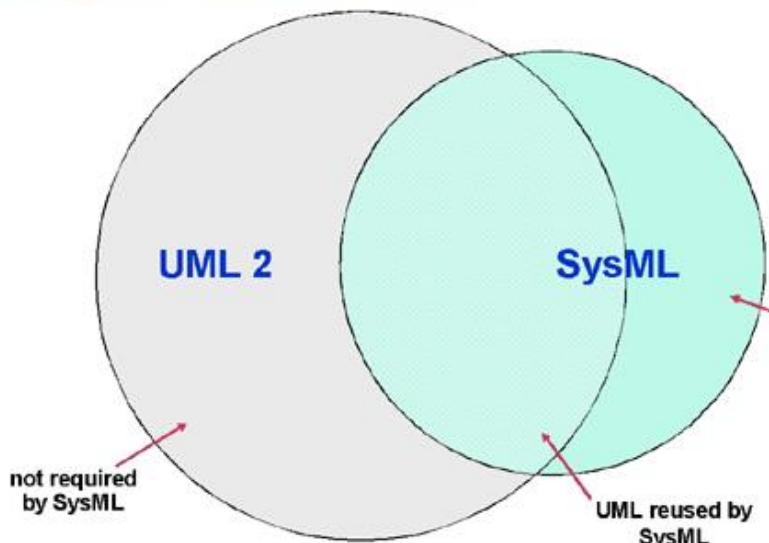
LaPEB

- A partir dos MSs foram estabelecidos os seguintes pontos:
  - Uso das linguagens SysML e Simulink;
    - Amplamente utilizada na especificação de SEs
  - Uso do processo SYSMOD como referência; e
    - Contempla as principais fases de desenvolvimento para SEs
  - Uso das Normas de Certificação UL-98 e DO178-B/C
    - Utilizadas para ajudar a antecipar a detecção de defeitos em SEs
- Condução de estudos experimentais:
  - Experimentos Controlados I & II
    - Avaliar a efetividade e eficiência das técnicas RTSS
  - Estudos de Viabilidade I & II
    - Avaliar a efetividade das técnicas RTSS ao longo do SYSMOD



## *Fundamentação Teórica*

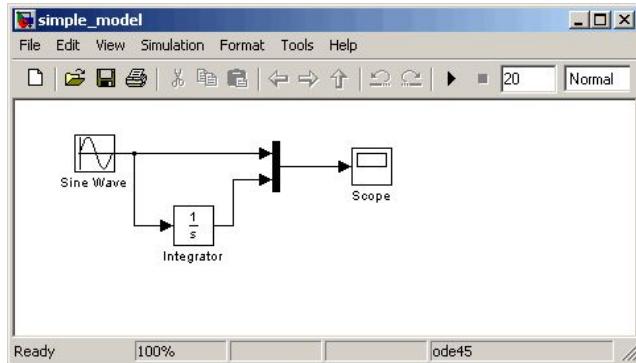
# SysML



(OMG, 2011, 2012)

<http://www.sysml.org/sysml-specifications/>

# MATLAB/Simulink



The screenshot shows the MATLAB desktop environment. It includes the Command Window, Workspace browser, and Command History. The Command Window displays the following code and results:

```

>> a=[0:10]
a =
0 1 2 3 4 5 6 7 8 9 10
>> b=[10:20]
b =
10 11 12 13 14 15 16 17 18 19 20
>> a.*b
ans =
10 12 14 16 18 20 22 24 26 28 30
>> a*b
??? Error using ==> *
Inner matrix dimensions must agree.
>> a.*b
ans =
0 11 24 39 56 75 96 119 144 171 200

```

The Workspace browser shows the following variable information:

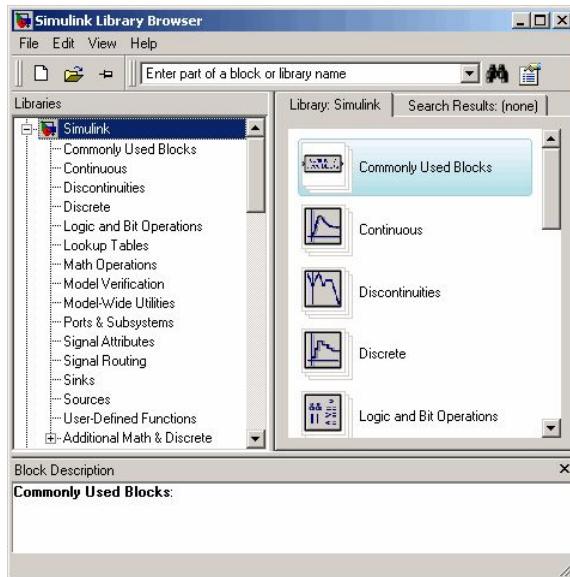
Name	Size	Bytes	Class
a	1x11	88	double array
ans	1x11	88	double array
b	1x11	88	double array
s	1x1	8	double array
t	1x19	152	double array

The Command History lists the commands entered:

```

-- 1/09/04 7:46 PM --
s=6
t=[1:10]
t=[1:0.5:10]
t=[1:0.5:10];
t+s
t*s
a=[0:10]
b=[10:20]
a.*b
a*b
a.*b
ans =
0 11 24 39 56 75 96 119 144 171 200

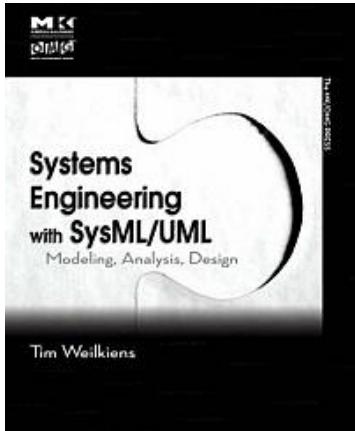
```



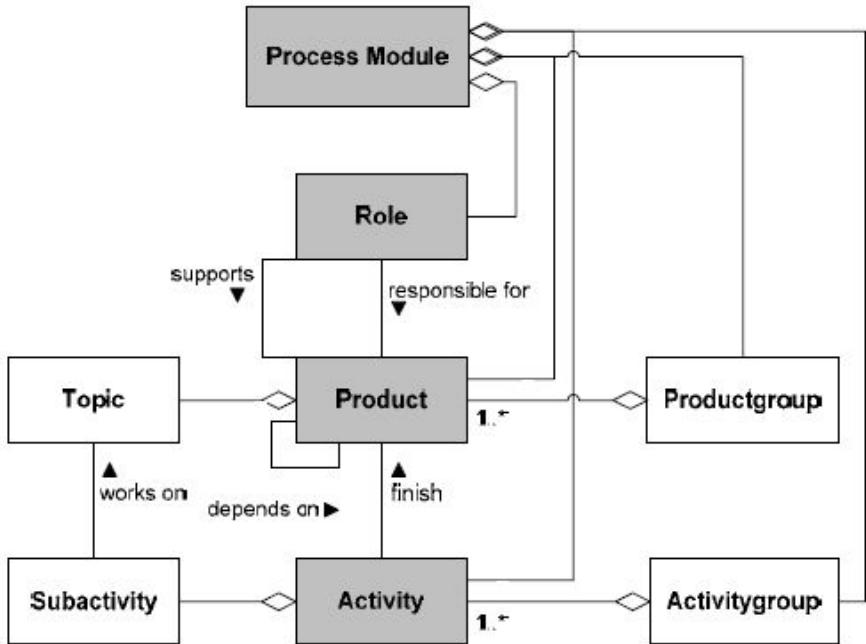
(MATHWORKS, 2012)

# SYSMOD

SYSMOD é um processo de desenvolvimento *top-down* e que usa artefatos da SysML



(WEILKIEINS, 2004; 2008)



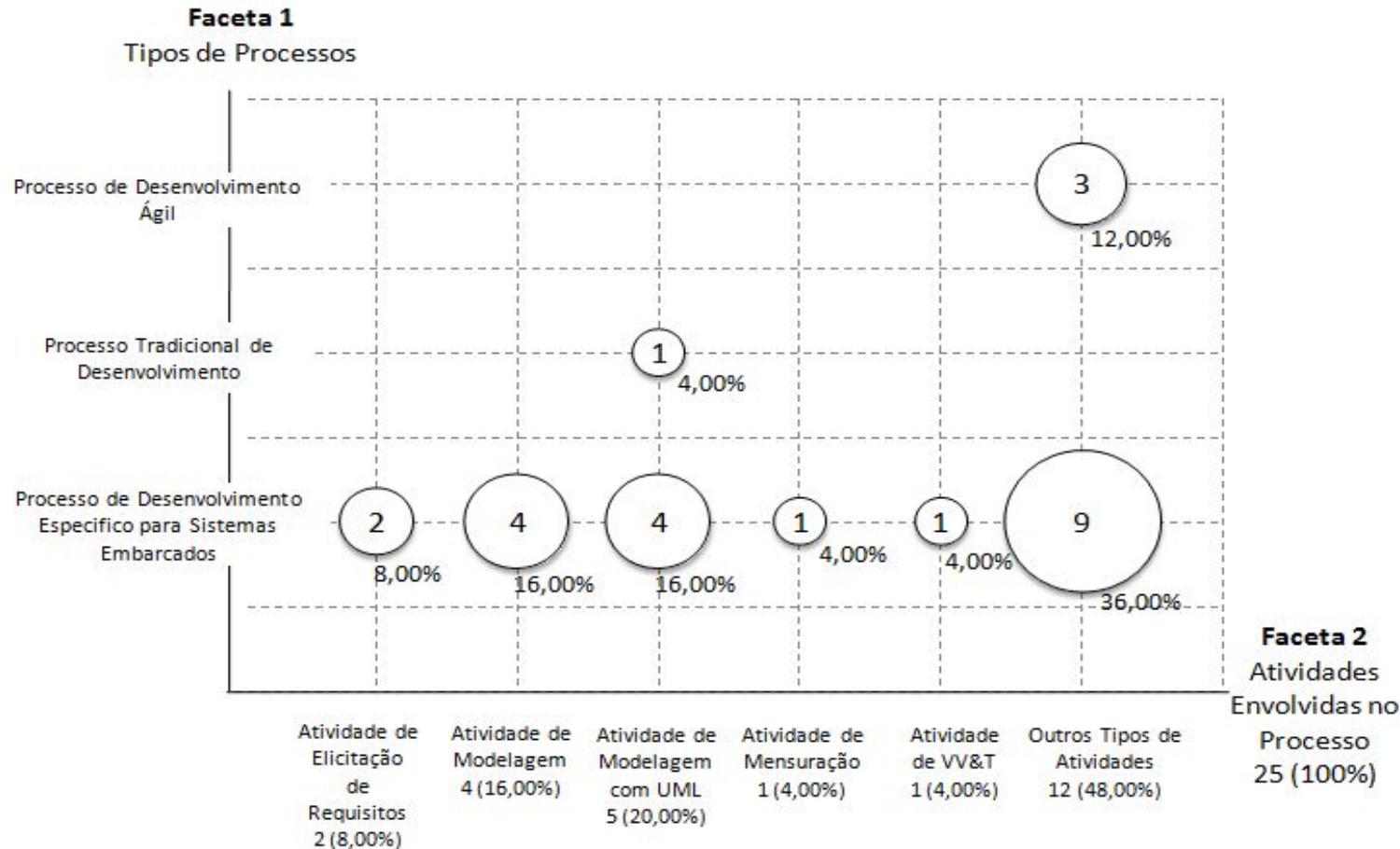
RAUSCH, A. et al. (2008), *The V-Modell XT Applied – Model-Driven and Document-Centric Development.*

# Atividades de Verificação e Validação (V&V)

- As atividades de V&V **garantem a qualidade do software** e devem ser aplicadas durante todo o ciclo de desenvolvimento, com o intuito de **aumentar a confiabilidade** de forma que o **produto final esteja livre de defeitos**:
  - Atividades Estáticas
    - e.g.: Técnicas de Leitura, Checklist, *Stepwise Abstraction*.
  - Atividades Dinâmicas
    - e.g.: Técnica Funcional (Caixa Preta), Técnica Estrutural (Caixa Branca), Técnica Baseada em Defeitos

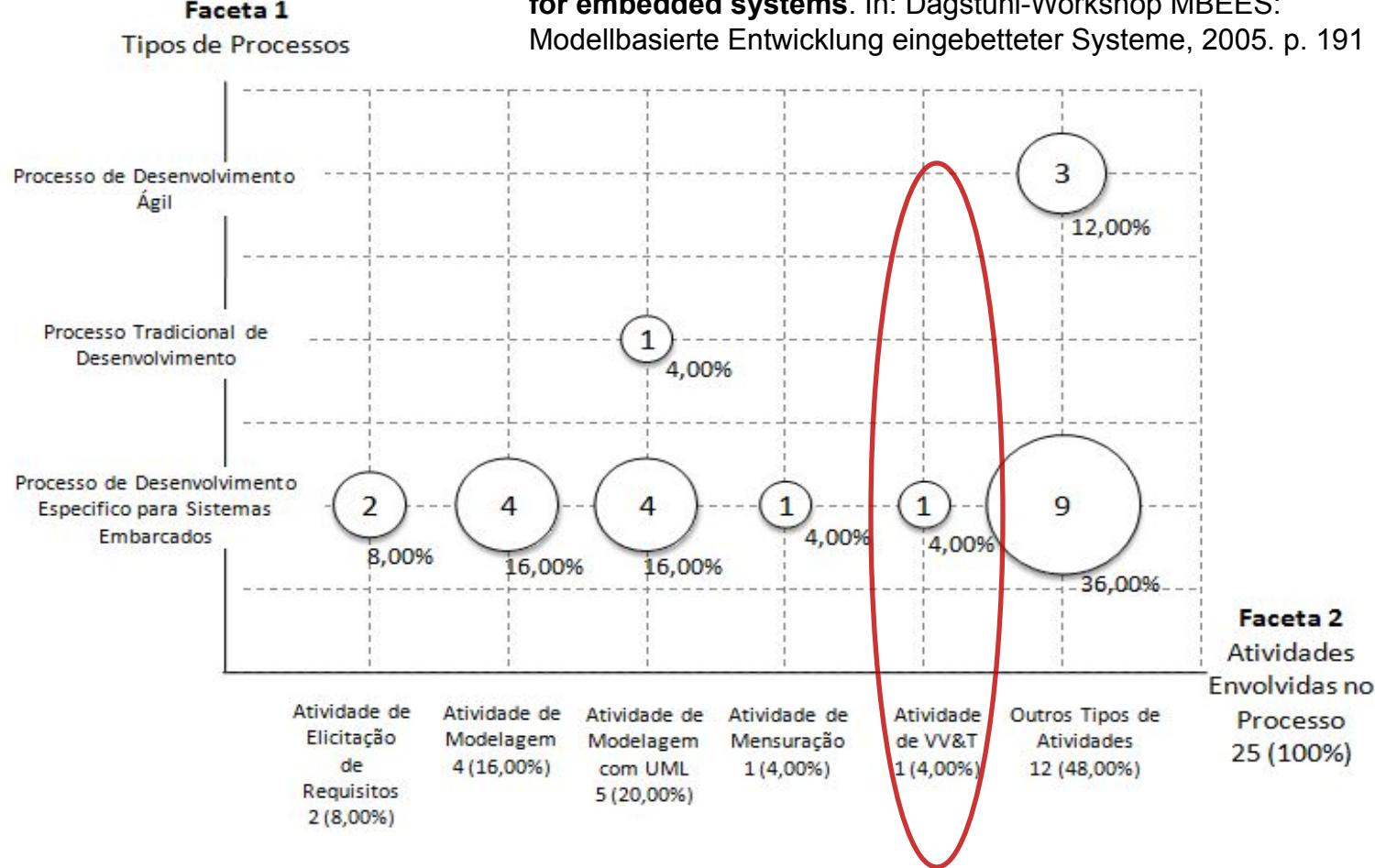
(MYERS; SANDLER, 2004; PRESSMAN, 2009)

# GOAL: Avaliar a existência de processos de desenvolvimento para SEs



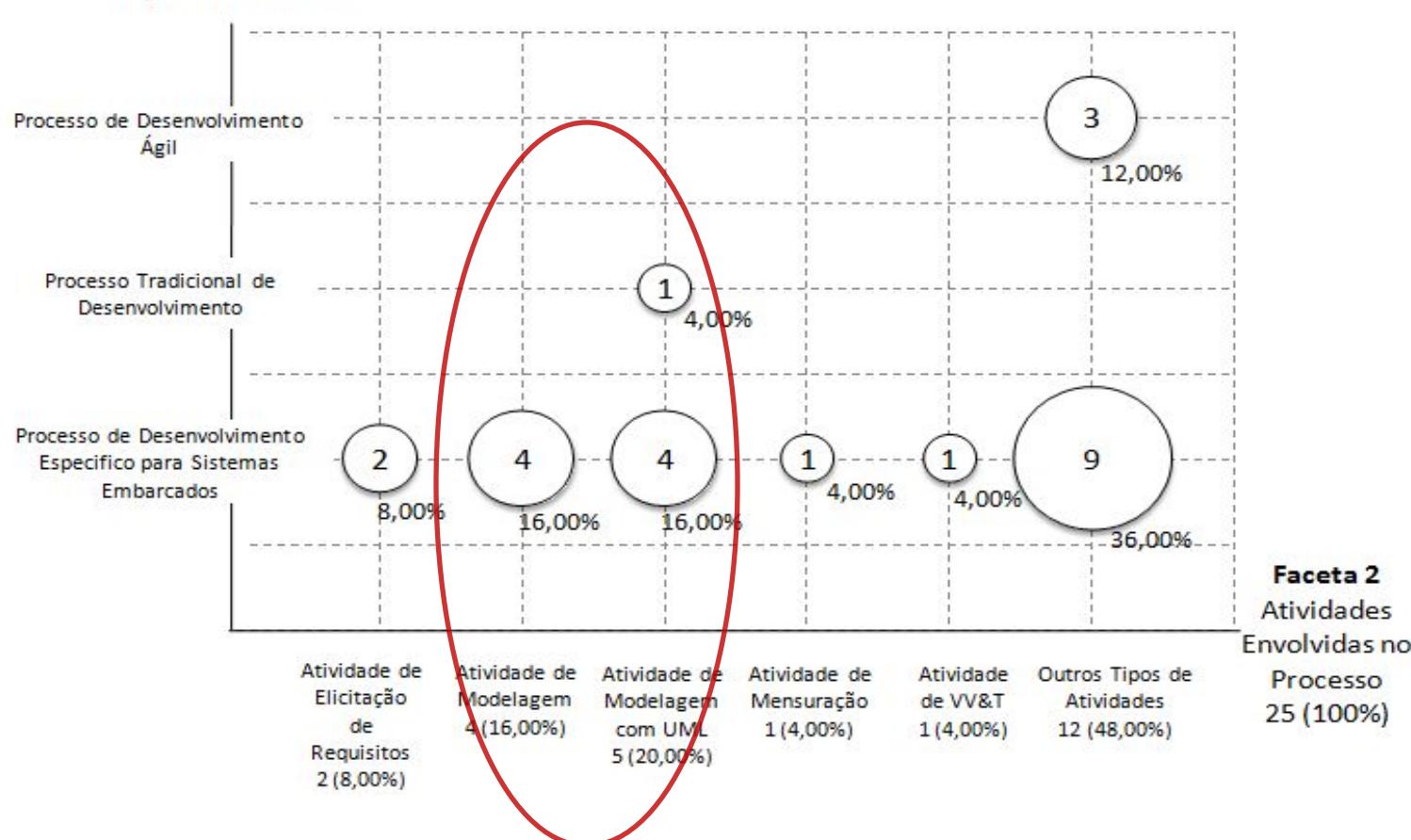
# GOAL: Avaliar a existência de processos de desenvolvimento para SEs

HEISEL, M.; HATEBUR, D. **A model-based development process for embedded systems**. In: Dagstuhl-Workshop MBEES: Modellbasierte Entwicklung eingebetteter Systeme, 2005. p. 191

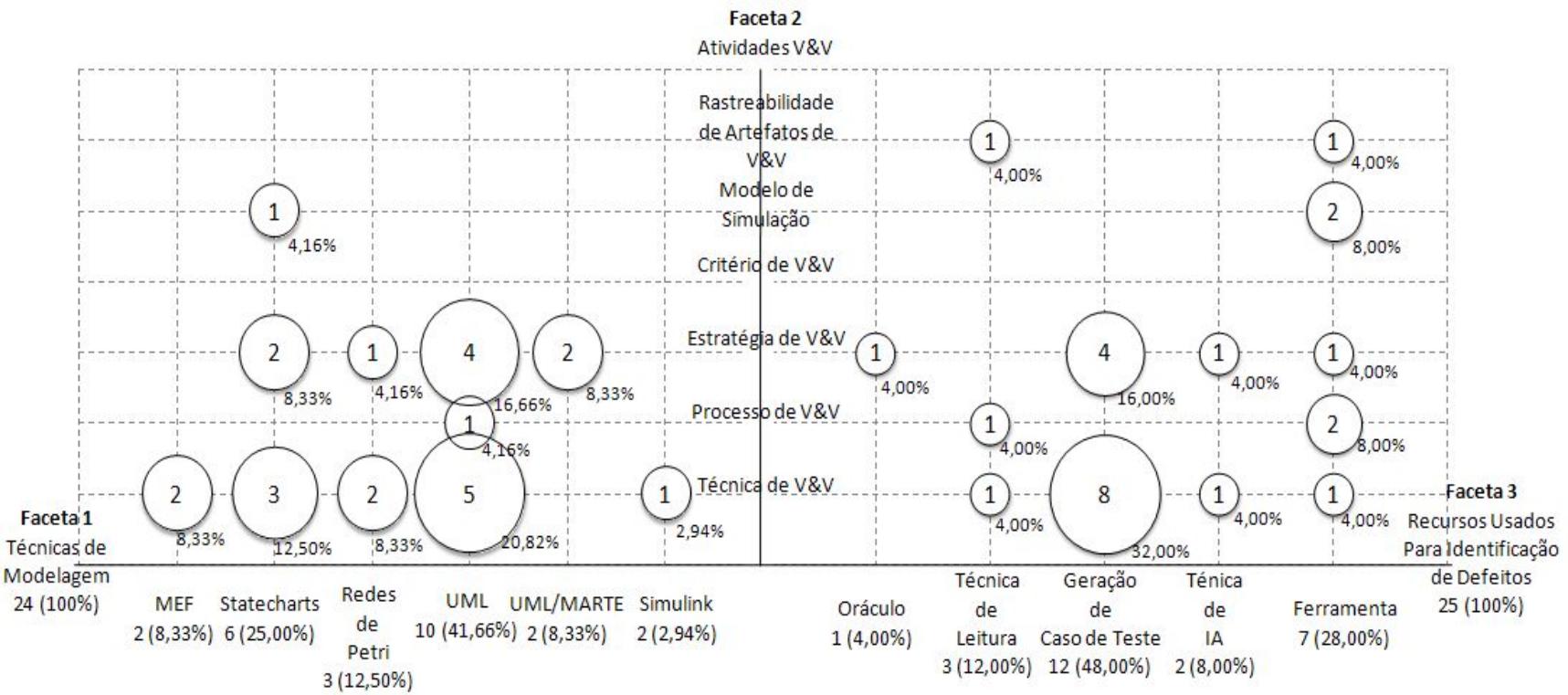


# GOAL: Avaliar a existência de processos de desenvolvimento para SEs

WEILKIENS, T. **Systems Engineering with SysML/UML: Modeling, Analysis, Design.** San Francisco, CA, USA: Morgan Kaufmann Publishers Inc., 2008.

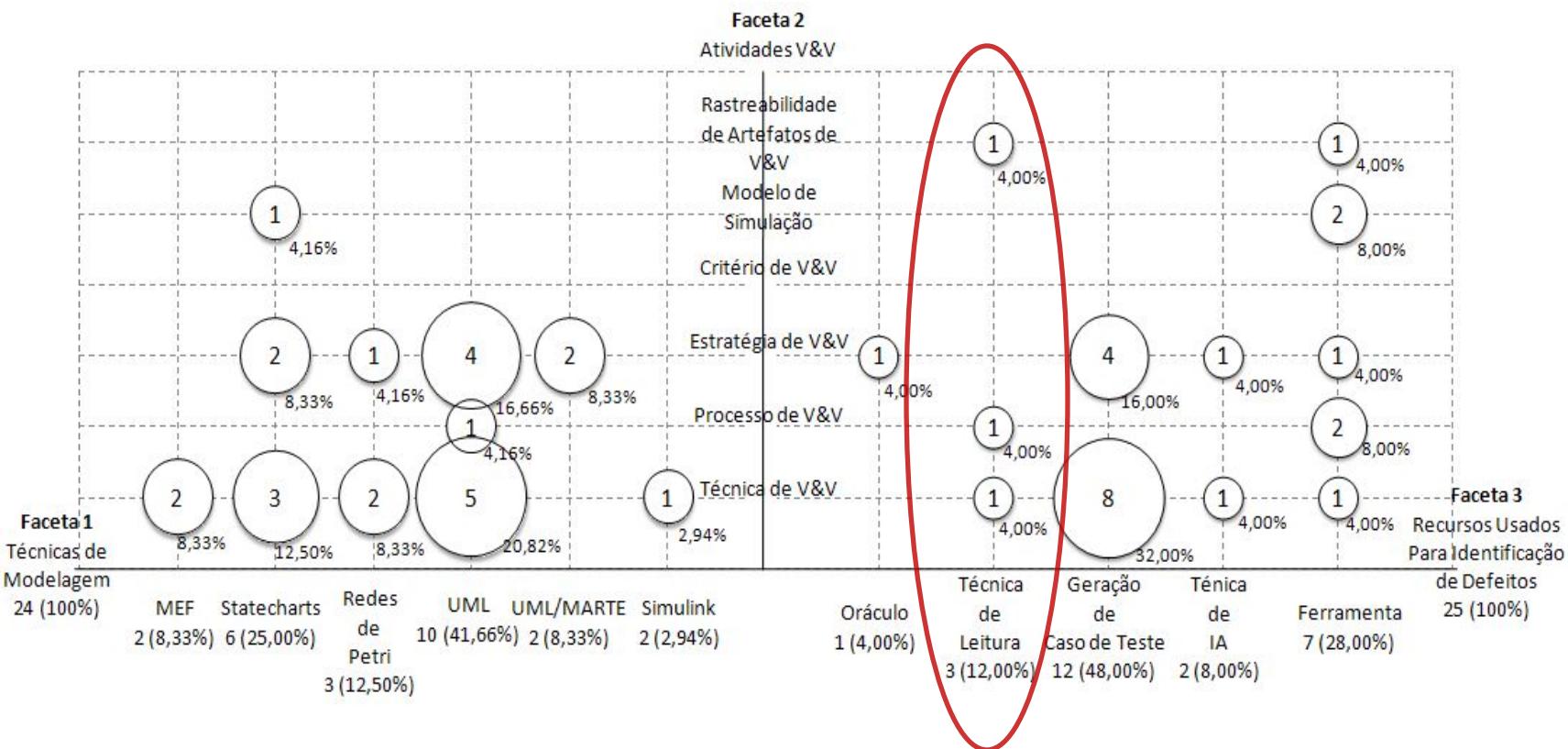


# GOAL: Avaliar a existência de atividades de Verificação e Validação para SEs



# GOAL: Avaliar a existência de atividades de Verificação e Validação para SEs

DENGER, C.; CIOLKOWSKI, M. **High Quality Statecharts through Tailored, Perspective-Based Inspections**. In: EUROMICRO Conference. Anais... Los Alamitos, CA, USA: IEEE Computer Society, 2003. v. 0, p. 316.





## ***Características das RTSS***

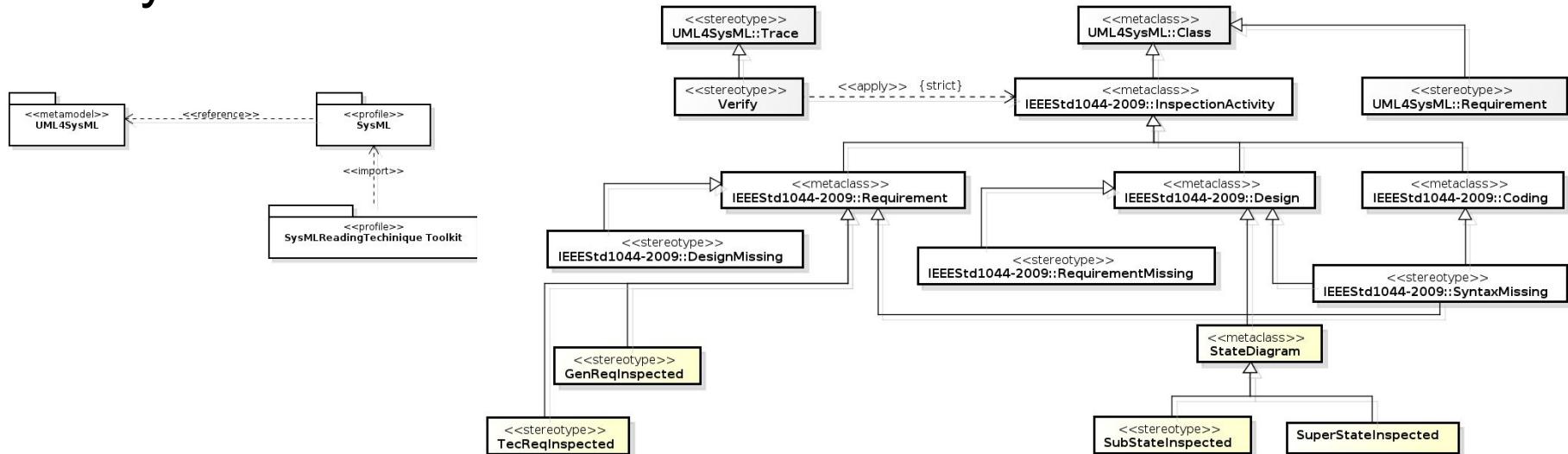
# Características Gerais das RTSS (1/3)

- RTSS<sup>1</sup> verificam se a transcrição de informação de um diagrama para outro é correta usando quatro fontes:
  - **Taxonomia Baseada no padrão STD1044 IEEE-2009;**
    - Provê uma taxonomia para aplicação de atividades de V&V
  - **Certificação Internacional UL-98;**
    - Provê elementos, categorias, palavras-chave e restrições para auxiliar a detecção de defeitos de SEs em geral
  - **Certificação Internacional DO178C;**
    - Provê elementos, categorias, palavras-chave e restrições para auxiliar a detecção de defeitos de Veículos Aéreos
  - **Propriedades Sintáticas e Semânticas da linguagem SysML**
    - Provê elementos, categorias, palavras-chave e restrições relacionados a concorrência e hierarquia da SysML

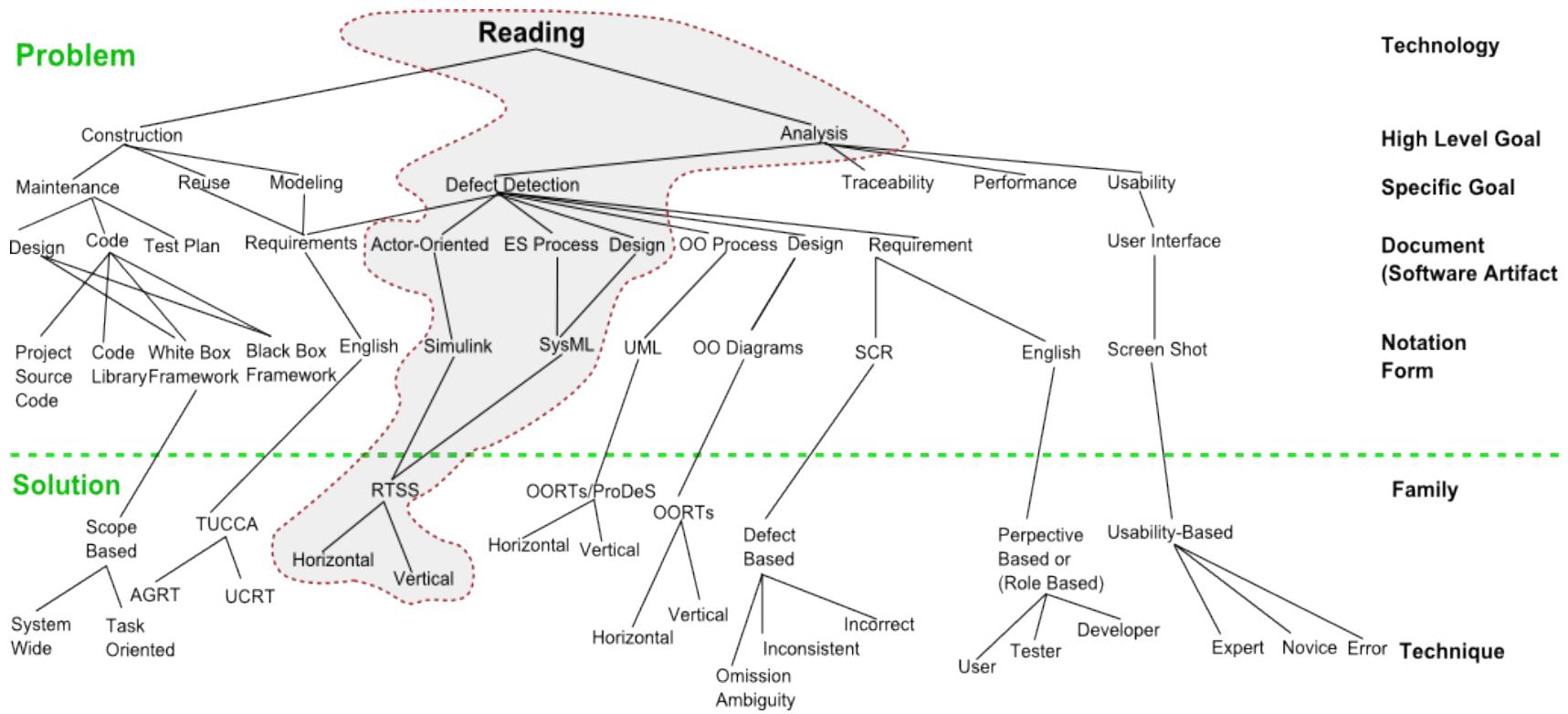
<sup>1</sup>RTSS – *Reading Techniques for SysML and Simulink*

# Características Gerais das RTSS (2/3)

- RTSS usam um conjunto de estereótipos para anotar os artefatos ao longo da atividade de inspeção:
  - Os estereótipos foram criados para dar suporte à inspeção de artefatos SysML e também Simulink
  - Os estereótipos foram criados a partir da extensão da SysML

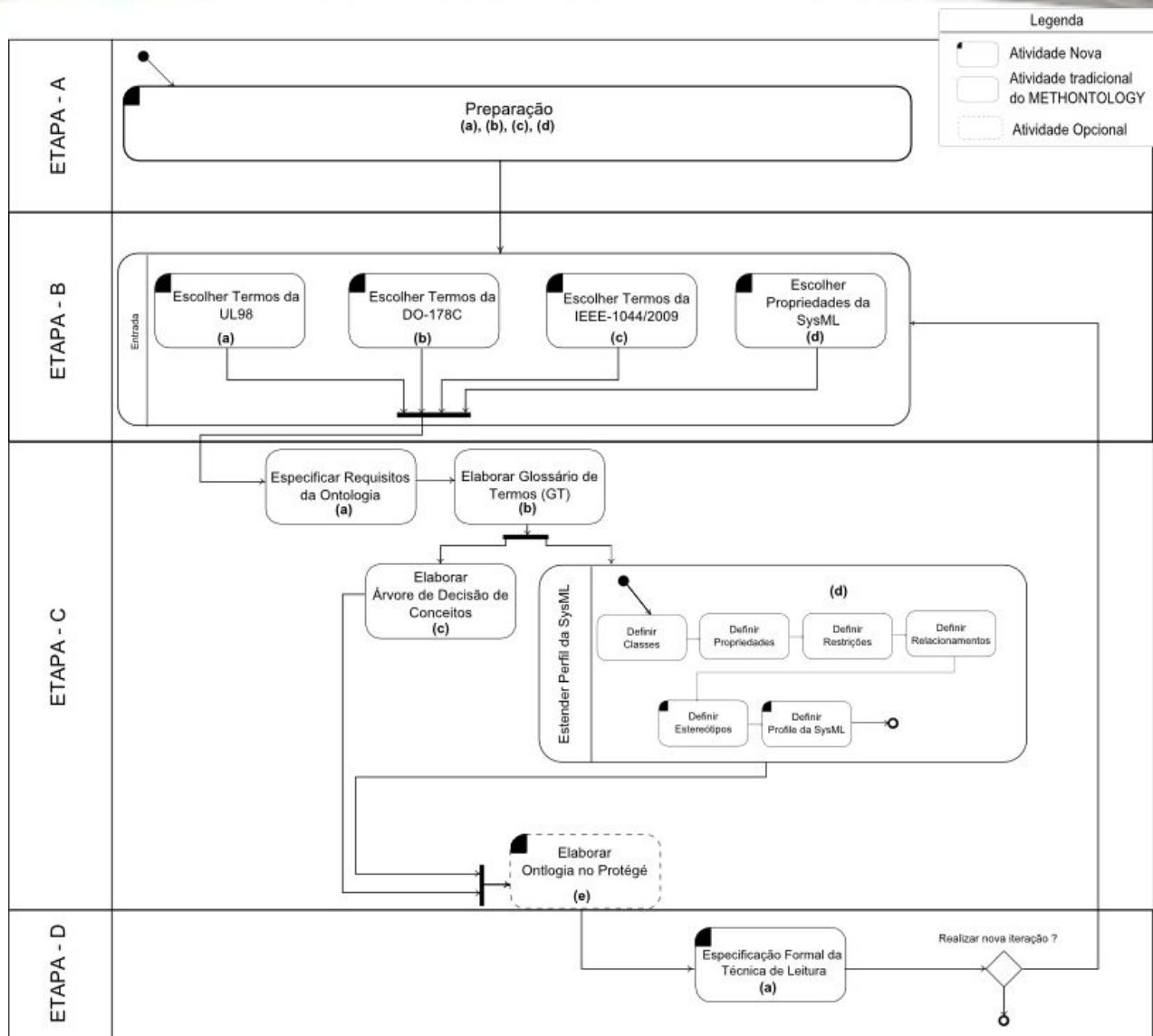


# Características Gerais das RTSS (3/3)



Família de Técnicas de Leitura com a representação das técnicas RTSS (adaptado Belgamo (2005, p.37)).

# Processo para a definição das técnicas RTSS



# Etapa A: Preparação e Etapa B: Seleção

(a) UL-98

Conceito	Cobertura exigida pela Norma UL1998 (†)	Módulo de um Sistema Embarcado (†)	Palavras-chave	Estereótipo
Registrador	CPU Register	CPU Registers	Temperature Light Switch Counters	«UL98CPURegister»
	Program Counter	CPU Program Counter	Start	«UL98CPUProgramCounter»
Interrupção	Interrupt	Interrupt handling and execution	Frequency PWM Serial Communication	«UL98Interrupt»
	TimeSlot Monitoring	Clock	Time Clock	«UL98Clock»
Memória	Non volatile memory	Non volatile memory	External Memory Static data	«UL98ExternalMemory»
	Periodic static memory	Volatile Memory	Volatile data it	«UL98VolatileMemory»
	Write protection (EEPROM) and protocol	Memory address External Communication Data External Communication Addressing	External Memory	«UL98ProtectMemory»
Entrada Saída	Plausibility	Input/output periphery digital Input/output Periphery analogical Input/output periphery analogical multiplexer	Switch Counters Temperature Light Signal Signal Variable Sensors Actuators Motor Module Accelerometer	«UL98PlausibilitCheck»

(†) Campos utilizados no FMEA

# Etapa A: Preparação e Etapa B: Seleção

(b) DO-178B/C

Conceito	Cobertura exigida pela Norma DO-178	Palavras-chave envolvidas na cobertura	Estereótipo
Decisão	Statement coverage	Logical input Gate Input Switch	«DO178Input» «DO178Gate»
	Decision coverage		
	Condition coverage		
	Condition/Decision Coverage		
	MC/DC		
	Multiple Condition Coverage		

(c) IEEE STD1044:2009

Atributo da Taxonomia IEEE 1044:2009	Valor	Estereótipo
Detection Activity	Requirement Design Coding	«IEEERequirementMissing» «IEEEDesignMissing» «IEEECodingMissing»
Mode	Missing Extra Wrong	«IEEESyntaxMissing» «IEEESyntaxExtra» «IEEESyntaxWrong»
Type	Syntax	
Priority	High Medium Low	«IEEEHighPriority» «IEEEMediumPriority» «IEEELowPriority»
Severity	Critical Major Minor Inconsequential	«IEEECriticalSeverity» «IEEEMajorSeverity» «IEEEMinorSeverity» «IEEEInconsequentialSeverity»

Artefato	Propriedade	Estereótipo
Requirement Diagram (SysML)	Essential Requirement Technical Requirement Parallel Requirement	«EssReq» «TecReq» «ParallelReq» «NonParallelReq»
State Machine Diagram (UML/SysML)	Hierarchy	«SuperState» «SubState»
Activity Diagram (UML/SysML)	Parallel	«Parallel» «NonParallel»

(d) SysML

# Etapa B: Seleção

Conceito	Cobertura exigida pela Norma UL1998 (†)	Módulo de um Sistema Embarcado (†)	Palavras-chave	Estereótipo	Conceito	Cobertura exigida pela Norma DO-178	Palavras-chave envolvidas na cobertura	Estereótipo				
Registrador	CPU Register	CPU Registers	Temperature Light Switch Counters	Statement coverage Decision coverage Condition coverage Condition/Decision Coverage MC/DC Multiple Condition Coverage	Decisão	Logical input Gate Input Switch	«DO178Input» «DO178Gate»					
	Program Counter	CPU Program Counter	Start									
Interrupção	Interrupt	Interrupt handling and execution	Frequency PWM Serial Communication	«UL98volatilememory»	Mem	Atributo da Taxonomia IEEE 1044:2009	Artefato	Propriedade				
	TimeSlot Monitoring	Clock	Time Clock									
Mem	Non volatile memory	Non volatile memory	External Memory Static data	Requirement Diagram (SysML) State Machine Diagram (UML/SysML) Activity Diagram (UML/SysML)	Entri Said	Atributo da Taxonomia IEEE 1044:2009	Essential Requirement Technical Requirement Parallel Requirement	«EssReq» «TecReq» «ParallelReq» «NonParallelReq»				
	Periodic static memory	Volatile Memory	Volatile data									
Entri Said	Detection Activity	Requirement Design Coding	«IEEERequirementMissing» «IEEEDesignMissing» «IEEECodingMissing» «IEEESyntaxMissing» «IEEESyntaxExtra» «IEEESyntaxWrong»	«SuperState» «SubState»	(†) C	Type	Hierarchy	«Parallel» «NonParallel»				
	Mode	Missing Extra Wrong	«IEEEHighPriority» «IEEEMediumPriority» «IEEELowPriority»			Priority	Parallel					
(†) C	Type	Syntax	«Parallel» «NonParallel»									
	Priority	High Medium Low										
(†) C	Severity	Critical Major Minor Inconsequential	«IEEECriticalSeverity» «IEEEMajorSeverity» «IEEEMinorSeverity» «IEEEInconsequentialSeverity»									

# Etapa C: Especificação

## Documento de Especificação de Requisitos da Ontologia para a Técnica de Leitura

**Domínio:** Sistemas Embarcados - SEs

**Data:** 08/04/2014

**Conceitos definidos por:** Erik Aceiro Antonio

**Propósito:** Ontologia sobre defeitos relacionados a aspectos de certificação da norma UL-98 para modelos da linguagem SysML. Essa ontologia deve ser utilizada como apoio para a construção da Técnica T1

**Nível de formalismo:** semi-formal

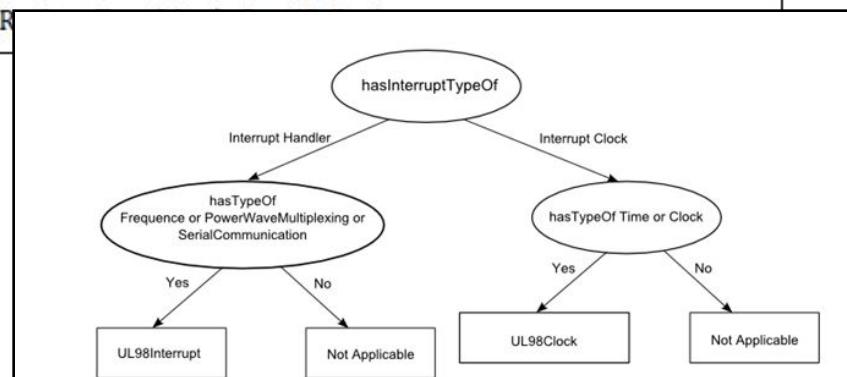
**Escopo:** Lista de oito tipos de teste de cobertura exigidos pela norma de certificação UL-98: CPU Register, Program Counter, Interrupt, TimeSlot Monitoring, Non volatile memory, Periodic static memory, Write protection (EEPROM), Memory protocol, Platform

**Fonte:** UL-98

(a)

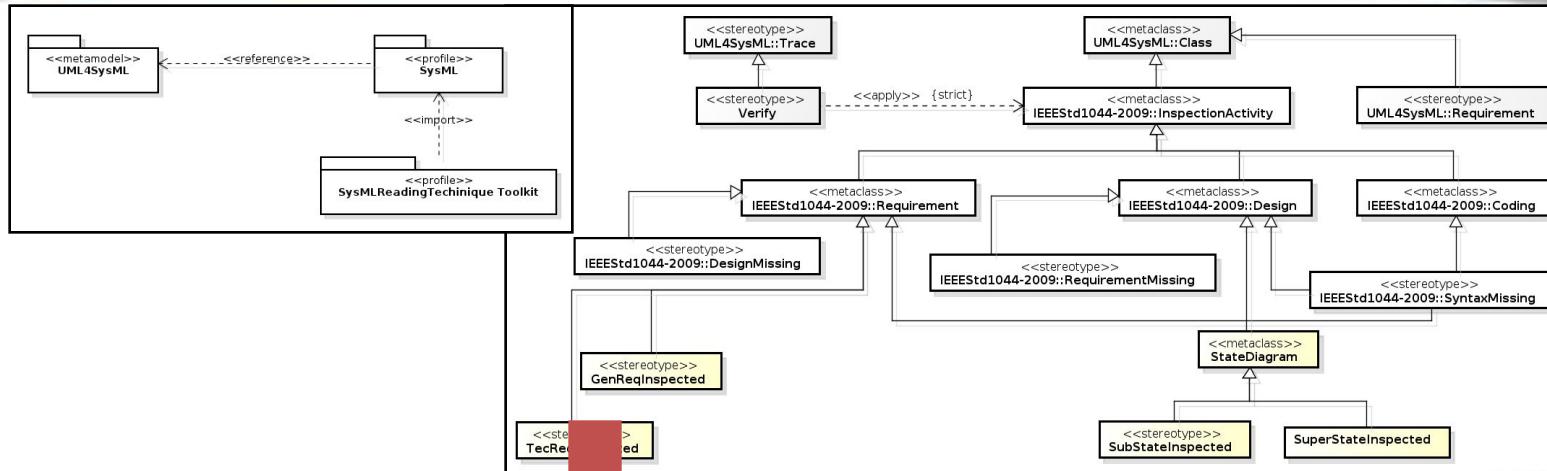
Estereótipo	Restrição de uso em SysML
«UL98CPURegister»	$\exists \text{ hasContextOf some } (\text{Short} \vee \text{Switch} \vee \text{Light} \vee \text{Temperature})$ $\forall \text{ hasRegisterTypeOf only GeneralRegister}$
«UL98CPUProgramCounter»	$\exists \text{ hasContextOf some Clock}$ $\forall \text{ hasR}$

(b)

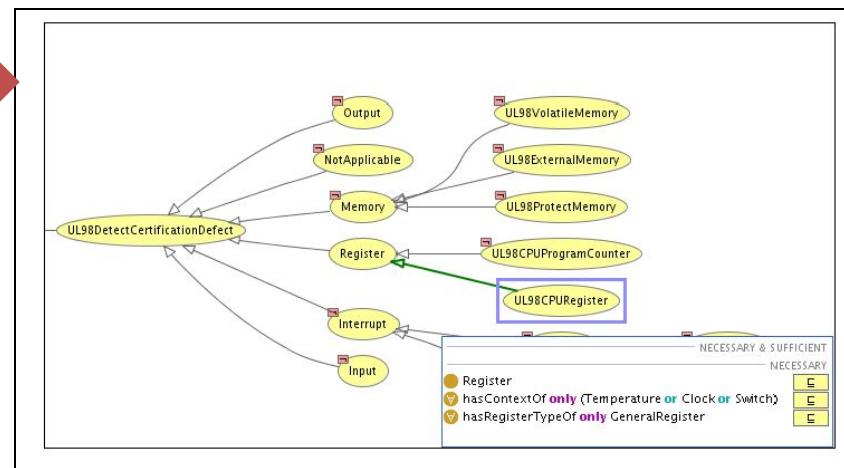


(c)

# Etapa C: Especificação



(d)



(e)

# RTSS – T4<sub>comp</sub>

## Técnica de Leitura – T4<sub>comp</sub>: Diagrama de Requisitos x Diagrama de Máquina de Estados

**OBJETIVO:** Verificar se a especificação do Diagrama de Requisitos está condizente com a especificação no Diagrama de Máquina de Estados.

### ENTRADAS DO PROCESSO:

Diagrama de Requisitos  
Diagrama de Máquina de Estados

### SAÍDAS DO PROCESSO:

Relatório de Discrepância  
Artefatos anotados para rastreabilidade

## ① Identificar os tipos de requisitos que compõem o Diagrama de Requisitos

### ENTRADA:

Diagrama de Requisitos

### SAÍDAS:

Requisitos anotados com o estereótipo «IEEE SyntaxMissing»  
Requisitos Essenciais anotados com o estereótipo «EssReq»  
Requisitos Técnicos anotados com o estereótipo «TecReq»

Para cada Requisito no Diagrama de Requisitos faça:

- A) Se o Requisito não possuir um estereótipo marque-o com «<< IEEE SyntaxMissing >>»
- B) Se na caixa de um Requisito existir um dos símbolos de seta estejam tocando a caixa, então marque o Requisito com «<< EssReq >>»
- C) Se existir um ou mais requisitos relacionados com os tal requisitos com «TecReq», pois eles são Relacionados

## Técnica de Leitura – T1: Diagrama de Requisitos x Diagrama de Máquina de Estados

**OBJETIVO:** Verificar se a especificação do Diagrama de Requisitos está condizente com a especificação no Diagrama de Máquina de Estados.

### ENTRADAS DO PROCESSO:

Diagrama de Requisitos  
Diagrama de Máquina de Estados

### SAÍDAS DO PROCESSO:

Relatório de Discrepância  
Artefatos anotados para rastreabilidade

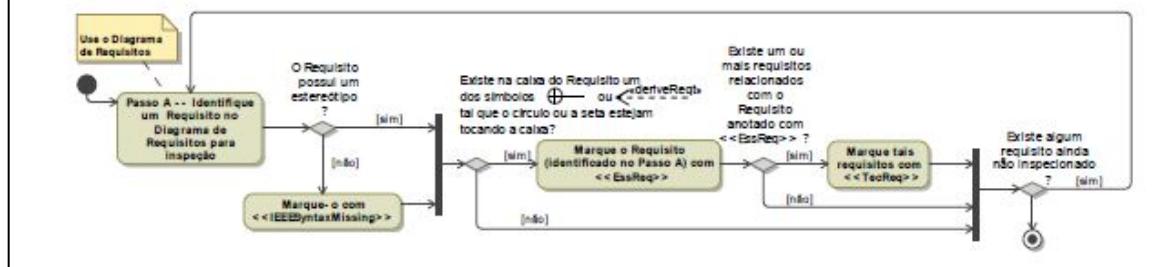
## ① Identificar os tipos de requisitos que compõem o Diagrama de Requisitos.

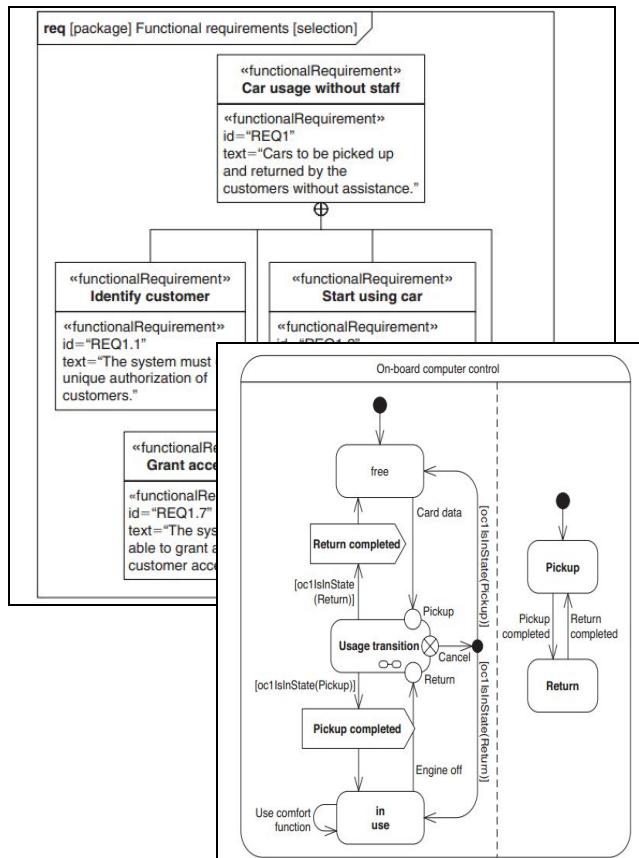
### ENTRADA:

Diagrama de Requisitos

### SAÍDAS:

Requisitos anotados com o estereótipo «IEEESyntaxMissing»  
Requisitos Essenciais anotados com o estereótipo «EssReq»  
Requisitos Técnicos anotados com o estereótipo «TecReq»





Técnica de Leitura – T4<sub>comp</sub>: Diagrama de Requisitos x Diagrama de Máquina de Estados

**OBJETIVO:** Verificar se a especificação do Diagrama de Requisitos está condizente com a especificação no Diagrama de Máquina de Estados.

### ENTRADAS DO PROCESSO:

## Diagrama de Requisitos

Diagrama de Máquina de Estados

## SAÍDAS DO PROCESSO:

## Relatório de Discrepância Artefatos anotados para rastreabilidade

① Identificar os tipos de requisitos que compõem o Diagrama

## **ENTRADA:**

## Diagrama de Requisitos

## SAÍDAS:

Requisitos anotados com o estereótipo «**IEEE SyntaxMissing**»  
Requisitos Essenciais anotados com o estereótipo «**EssReq**»  
Requisitos Técnicos anotados com o estereótipo «**TecReq**»

*Para cada Requisito no Diagrama de Requisitos faça:*

- A) Se o **Requisito** não possuir um estereótipo marque-o com **«**
  - B) Se na caixa de um **Requisito** existir um dos símbolos                                                                                                                                                                                                                                                                                                 <img alt="circle with a diagonal line from top-right to bottom-left and a small circle inside" data-bbox="10465 115 10485 1

② Identificar os tipos de estados que compõem o Diagrama de

#### **ENTRADAS:**

#### Diagrama de Máquina de Estados

## **SAÍDAS:**

• Estados anotados com o estereótipo «IEEE SyntaxMissing»  
Superestados anotados com o estereótipo «Super State»  
Subestados anotados como o estereótipo «Sub State»

*Para cada Estado no Diagrama de Máquina de Estados faça:*

- D) Se o Estado não possuir um rótulo (nome) marque-o com .  
D.1) Preencha o Relatório de Discrepâncias da seguinte forma:  
Discrepância = 1; Conceito=8; Severidade = 3

E) Se o Estado possuir subestados, então marque-o com «S».

Para cada Estado no Diagrama de Máquina de Estados NÃO MARCADO

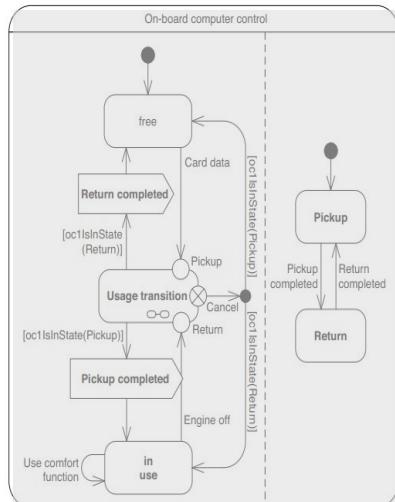
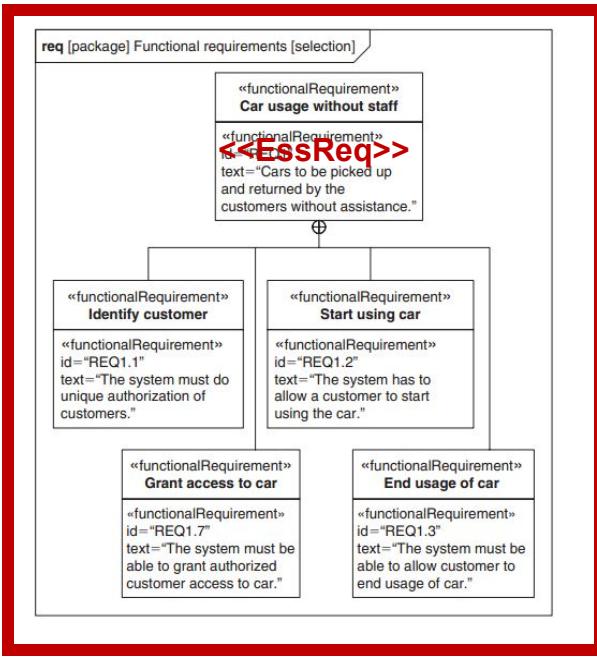
- F) Marque o Estado com «SubState», pois este é um Subest

---

- F) Marque o Estado com «**SubState**», pois este é um Subestado de **EEEDesignMissing**. Para cada Requisito marcado com «**TecReq**» no Diagrama de Requisitos faça:

  - J) Verificar se existe um Estado marcado com «**SubState**» correspondente a este Requisito. Se não existir, isso é uma **Discrepância**, então faça:
    - J.1) Marque o Requisito com «**EEEDesignMissing**»
    - J.2) Preencha o Relatório de Discrepâncias da seguinte forma **Nome do Diagrama = REQ**; **Discrepância = 5**; **Conceto=6**; **Seriedade = 2**

# RTSS – Exemplo de Aplicação



## Técnica de Leitura – T4<sub>comp</sub>: Diagrama de Requisitos x Diagrama de Máquina de Estados

**OBJETIVO:** Verificar se a especificação do Diagrama de Requisitos está condizente com a especificação no Diagrama de Máquina de Estados.

### ENTRADAS DO PROCESSO:

Diagrama de Requisitos

Diagrama de Máquina de Estados

### SAÍDAS DO PROCESSO:

Relatório de Discrepância

Artefatos anotados para rastreabilidade

### ① Identificar os tipos de requisitos que compõem o Diagrama de Requisitos.

#### ENTRADA:

Diagrama de Requisitos

#### SAÍDAS:

Requisitos anotados com o estereótipo «IEEE SyntaxMissing»

Requisitos Essenciais anotados com o estereótipo «EssReq»

Requisitos Técnicos anotados com o estereótipo «TecReq»

Para cada Requisito no Diagrama de Requisitos faça:

- A) Se o Requisito não possuir um estereótipo marque-o com «IEEE SyntaxMissing»;
- B) Se na caixa de um Requisito existir um dos símbolos ou tal que o círculo ou a seta estejam tocando a caixa, então marque o Requisito com «EssReq», pois este é um Requisito Essencial;
- C) Se existir um ou mais requisitos relacionados com o Requisito anotado no passo B), então marque os tais requisitos com «TecReq», pois eles são Requisitos Técnicos.

### ② Identificar os tipos de estados que compõem o Diagrama de Máquina de Estados.

#### ENTRADA:

Diagrama de Máquina de Estados

#### SAÍDAS:

Estados anotados com o estereótipo «IEEE SyntaxMissing»

Superestados anotados com o estereótipo «SuperState»

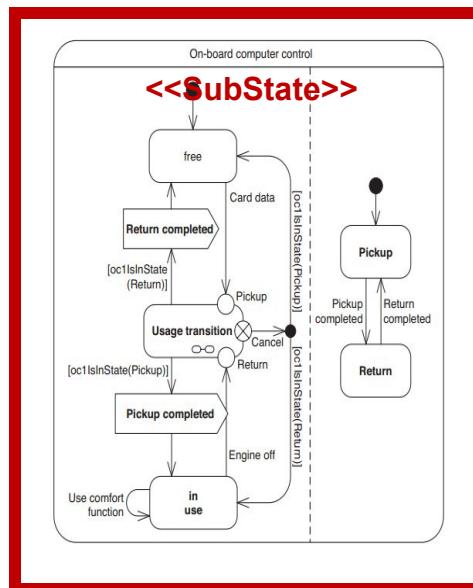
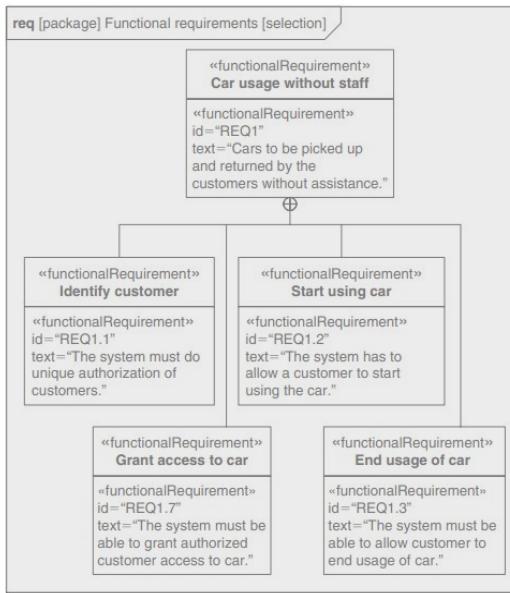
Subestados anotados com o estereótipo «SubState»

Para cada Estado no Diagrama de Máquina de Estados faça:

- D) Se o Estado não possuir um rótulo (nome) marque-o com «IEEE SyntaxMissing»;
- D.1) Preencha o Relatório de Discrepâncias da seguinte forma Nome do Diagrama = MEF; Discrepância = 1; Conceito=8; Severidade = 3
- E) Se o Estado possuir subestados, então marque-o com «SuperState», pois este é um Superestado;

Para cada Estado no Diagrama de Máquina de Estados NÃO MARCADO com «SuperState» faça:

- F) Marque o Estado com «SubState», pois este é um Subestado.



## Técnica de Leitura – T4<sub>comp</sub>: Diagrama de Requisitos x Diagrama de Máquina de Estados

**OBJETIVO:** Verificar se a especificação do Diagrama de Requisitos está condizente com a especificação no Diagrama de Máquina de Estados.

### ENTRADAS DO PROCESSO:

Diagrama de Requisitos

Diagrama de Máquina de Estados

### SAÍDAS DO PROCESSO:

Relatório de Discrepância

Artefatos anotados para rastreabilidade

## ① Identificar os tipos de requisitos que compõem o Diagrama de Requisitos.

### ENTRADA:

Diagrama de Requisitos

### SAÍDAS:

Requisitos anotados com o estereótipo «IEEE SyntaxMissing»

Requisitos Essenciais anotados com o estereótipo «EssReq»

Requisitos Técnicos anotados com o estereótipo «TecReq»

Para cada Requisito no Diagrama de Requisitos faça:

- A) Se o Requisito não possuir um estereótipo marque-o com «IEEE SyntaxMissing»;
- B) Se na caixa de um Requisito existir um dos símbolos  ou  tal que o círculo ou a seta estejam tocando a caixa, então marque o Requisito com «EssReq», pois este é um Requisito Essencial;
- C) Se existir um ou mais requisitos relacionados com o Requisito anotado no passo B), então marque os tais requisitos com «TecReq», pois eles são Requisitos Técnicos.

## ② Identificar os tipos de estados que compõem o Diagrama de Máquina de Estados.

### ENTRADA:

Diagrama de Máquina de Estados

### SAÍDAS:

Estados anotados com o estereótipo «IEEE SyntaxMissing»

Superestados anotados com o estereótipo «Super State»

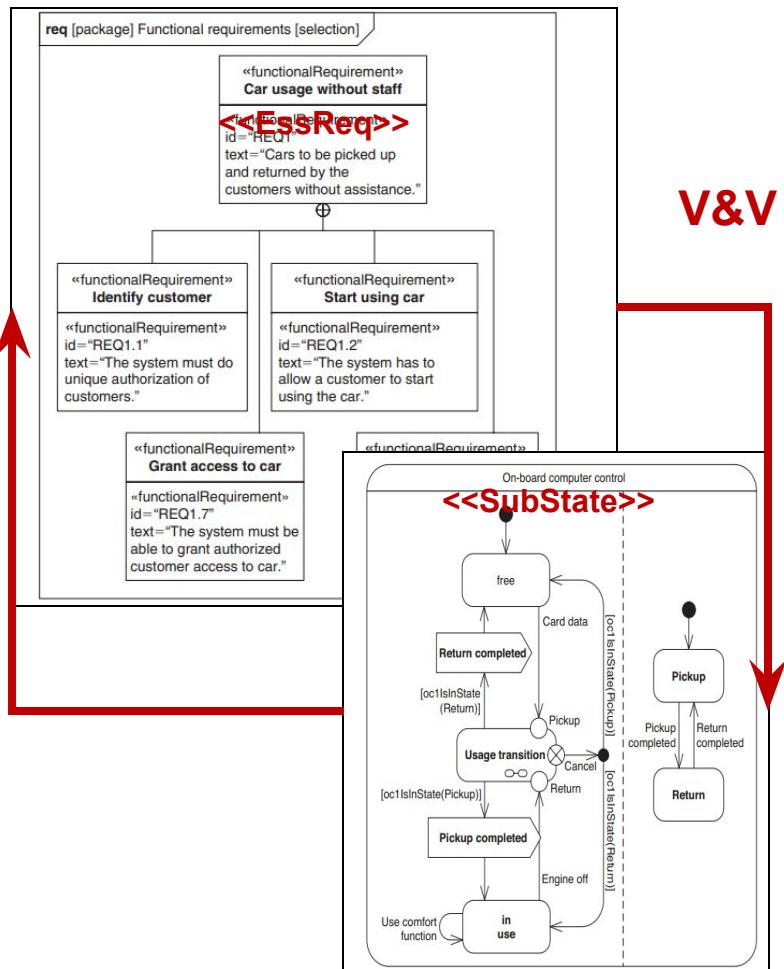
Subestados anotados com o estereótipo «Sub State»

Para cada Estado no Diagrama de Estados faça:

- D) Se o Estado não possuir um rótulo (nome) marque-o com «IEEE SyntaxMissing»;
- D.1) Preencha o Relatório de Discrepâncias da seguinte forma **Nome do Diagrama = MEF; Discrepância = 1; Conceito=8; Severidade = 3**
- E) Se o Estado possuir subestados, então marque-o com «SuperState», pois este é um Superestado;

Para cada Estado no Diagrama de Estados **NÃO MARCADO** com «SuperState» faça:

- F) Marque o Estado com «SubState», pois este é um Subestado.



V&V

③ Inspeccionar o Diagrama de Requisito e o Diagrama de Máquina de Estados para verificar se ambos estão retratando a mesma composição.

**ENTRADAS:**

ograma de Requisitos anotados no passo 1

ograma de Máquina de Estados anotados no passo 2

## **SAÍDA:**

## atório de Discrepância

efatos anotados para rastreabilidade

Verificar se os estados marcados com «Super State» ou «SubState» estão consistentes no Diagrama de Requisitos.

Para cada Estado marcado com «SuperState» no Diagrama de Máquina de Estados faça:

- G) Verificar se existe um Requisito marcado com «**EssReq**» correspondente a este Estado. Se não existir, **isso é uma discrepância**, então faça:

G.1) Marque o Estado com «**IEERequirementMissing**».

G.2) Preencha o Relatório de Discrepâncias da seguinte forma **Nome do Diagrama = MEF**; **Discrepância = 2**; **Conceito=6**; **Severidade = 2**

Para cada Estado marcado com «**SubState**» no Diagrama de Máquina de Estados faça:

- H) Verificar se existe um Requisito marcado com «**TecReq**» correspondente a este Estado. Se não existir, isso é uma **discrepancia**, então faça:

H.1) Marque o Estado com «**IIEEERequirementMissing**»

H.2) Preencha o Relatório de Discrepancias da seguinte forma **Nome do Diagrama** = MEF; **Discrepancia** = 2; **Conceito**=6; **Severidade** = 2

**Verificar se os requisitos marcados com «EssReq» ou «TecReq» estão consistentes no Diagrama de Estados.**

Para cada Requisito marcado com «EssReq» no Diagrama de Requisitos faça:

- I) Verificar se existe um Estado marcado com «SuperState» correspondente a este Requisito. Se não existir, isso é uma discrepância, então faça:

  - I.1) Marque o Requisito com «**IEEEDesignMissing**»
  - I.2) Preencha o Relatório de Discrepâncias da seguinte forma **Nome do Diagrama** = REQ; **Discrepância** = 5; **Conceito**=6; **Severidade** = 2.

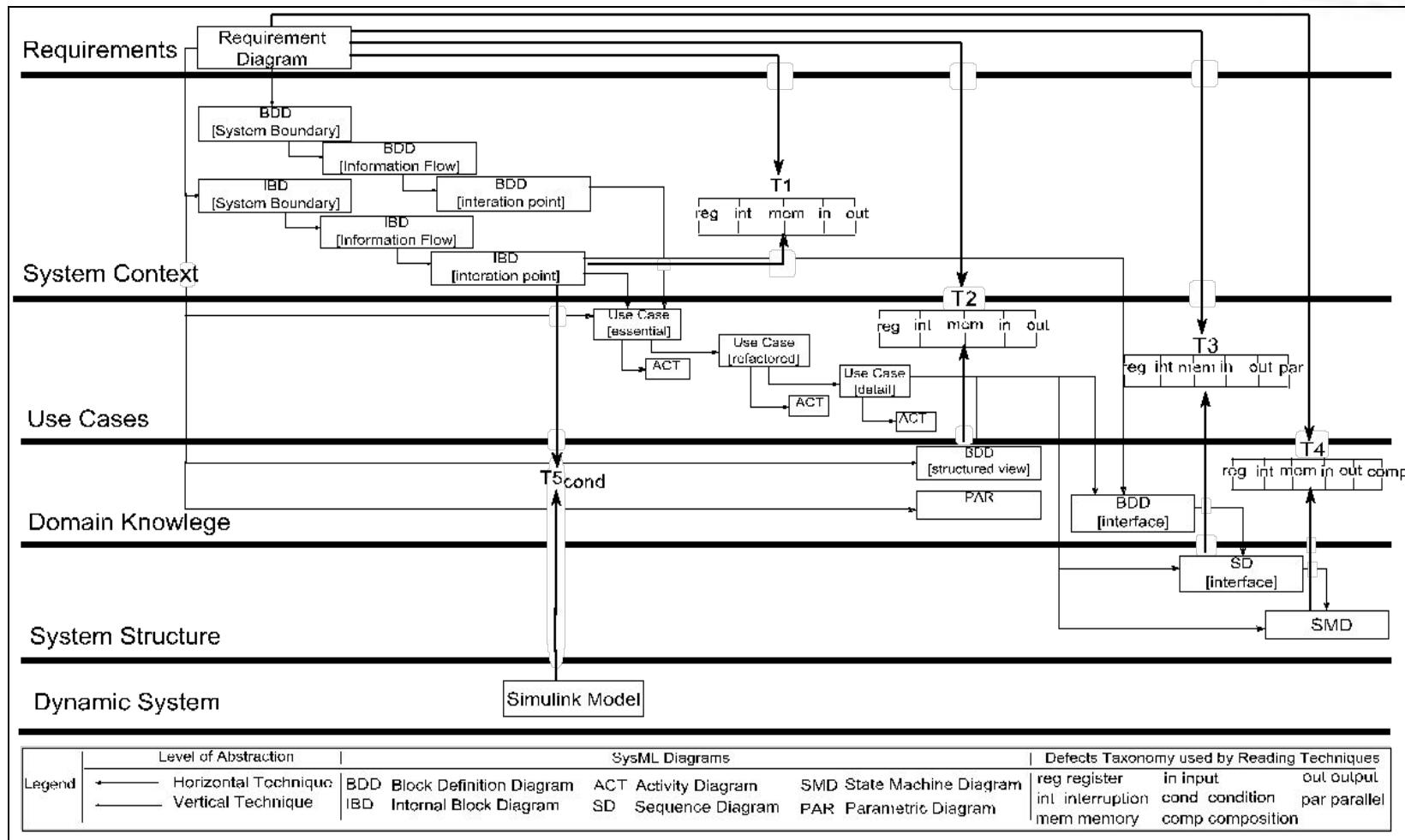
Para cada Requisito marcado com «TecReq», no Diagrama de Requisitos faça:

- J) Verificar se existe um Estado marcado com «SubState» correspondente a este Requisito. Se não existir, isso é uma discrepância, então faça:

J.1) Marque o Requisito com «**IEEEDesignMissing**»

J.2) Preencha o Relatório de Discrepâncias da seguinte forma Nome do Diagrama = REQ; Discrepância = 5; Conceito=6; Ser. Idade = 2;

# RTSS no SYSMOD





## *Resultados*

# Estudos Experimentais

- As técnicas RTSS foram avaliadas considerando-se:
  - Importância da avaliação de trabalhos da área de Engenharia de Software (BASILI, et al., 1994 e PRESSMAN, 2009);
  - Necessidade de averiguar se um novo processo preenche os requisitos para o qual ele foi criado (SHULL et al., 2002); e
  - Os estudos experimentais foram organizados de acordo com as etapas sugeridas por Wohlin (WOHLIN et al, 2000)

# Estudos de Viabilidade I

LaPEB

**Analisar a Técnica de Leitura  $T4_{comp}$**

**Com o propósito de avaliação da viabilidade**

**Com respeito à consistência na sua formulação**

**Do ponto de vista do inspetor**

**No contexto de alunos de pós-graduação**

**\*GQM (*Goal-Question-Metric*) definido**

# Estudos de Viabilidade I

LaPEB

$H_0$ : A técnica T4<sub>comp</sub> não está formulada de maneira consistente, i.e., a média de pontos atribuídos pelos participantes é inferior a 50%.

$H_1$ : A técnica T4<sub>comp</sub> está formulada de maneira consistente, i.e., a média de pontos atribuídos pelos participantes é superior ou igual a 50%.

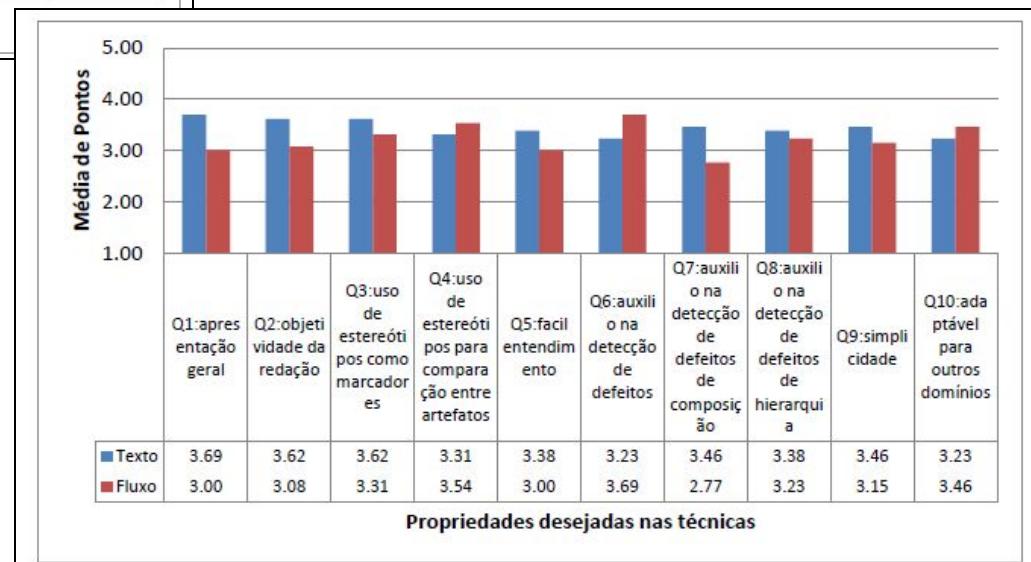
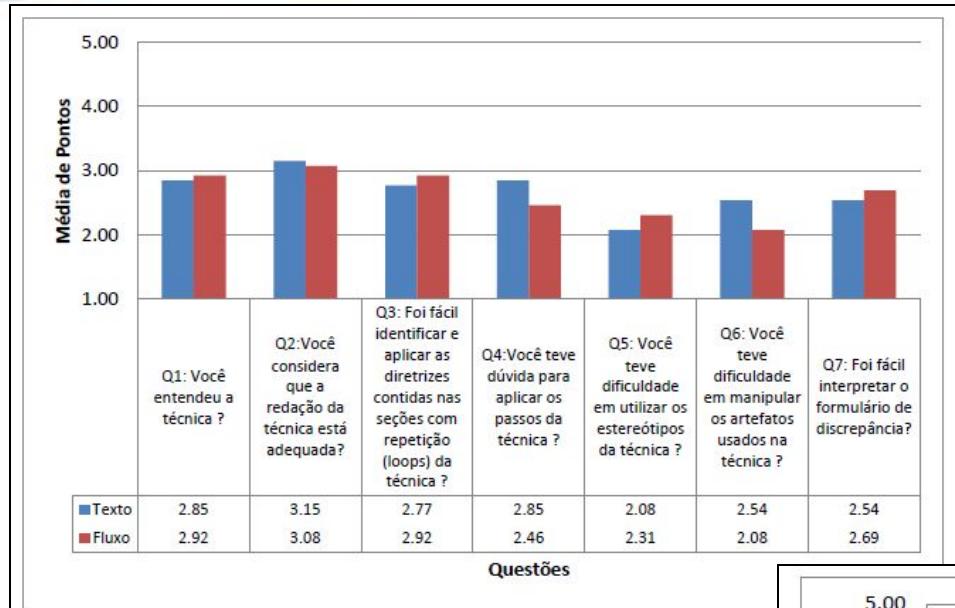
**\*Hipóteses definidas**

# Estudo de Viabilidade I

Atividades	Descrição	
Apresentação	Apresentações de 30 mim sobre a técnica e instruções de como os participantes deveriam responder os formulários	
Divisão dos grupos	Divisão dos grupos: G1 (13 participantes) e G2 (14 participantes)	
Execução do experimento	G1	G2
	T4 <sub>comp</sub> (Texto) AppDistill	T4 <sub>comp</sub> (Fluxo) AppHSUV
	T4 <sub>comp</sub> (Fluxo) AppHSUV	T4 <sub>comp</sub> (Texto) AppDistill

**\*Preparação do Estudo de Viabilidade I**

# Estudo de Viabilidade I



# Estudo de Viabilidade I

	<b>Técnica T4<sub>comp</sub> Formato Texto</b>		<b>Técnica T4<sub>comp</sub> Formato Fluxo</b>	
	<b>Média de pontos obtidos (A)</b>	<b>Porcentagem <math>C=(A/5)*100</math></b>	<b>Média de pontos obtidos (B)</b>	<b>Porcentagem <math>D=(B/5)*100</math></b>
<b>Média (<math>\mu</math>)</b>	<b>3,04</b>	<b>61%</b>	<b>2,94</b>	<b>59%</b>

# Estudo de Viabilidade I

	Técnica T4 <sub>comp</sub> Formato Texto		Técnica T4 <sub>comp</sub> Formato Fluxo	
	Média de pontos obtidos (A)	Porcentagem C=(A/5)*100	Média de pontos obtidos (B)	Porcentagem D=(B/5)*100
<b>Média (<math>\mu</math>)</b>	<b>3,04</b>	<b>61%</b>	<b>2,94</b>	<b>59%</b>

$H_0$ : A técnica T4<sub>comp</sub> não está formulada de maneira consistente, i.e., a média de pontos atribuídos pelos participantes é inferior a 50%.

$H_1$ : A técnica T4<sub>comp</sub> está formulada de maneira consistente, i.e., a média de pontos atribuídos pelos participantes é superior ou igual a 50%.

# Estudo de Viabilidade I

Formato usado	Efetividade	Etapa I (marcação no REQ)			Etapa II (marcação na MEF)			Etapa III (comparação entre os documentos)			
		Estereótipos usados para marcação do REQ			Estereótipos utilizados para marcação da MEF			Estereótipos utilizados para indicar os possíveis defeitos entre um documento e outro		Marcação de defeitos na MEF	
		EssReq	TecReq	Syntax	SuperState	SubState	Syntax	SuperState ∩ IEEE Requirement Missing	SubState ∩ IEEE Requirement Missing	EssReq ∩ IEEE Design Missing	TecReq ∩ IEEE Design Missing
Texto	(a) # marcações corretas feitas pelos participantes	2	52	2	5	44	2	8	14	5	48
	(b) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (a/b)	3%	33%	5%	38%	68%	15%	62%	54%	8%	41%
	média percentual da Etapa	14%			41%			58%		24%	
Fluxograma	(c) # marcações corretas feitas pelos participantes	3	47	10	4	33	1	8	11	21	55
	(d) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (c/d)	5%	30%	26%	31%	51%	8%	62%	42%	32%	47%
		20%			30%			52%		40%	

# Estudo de Viabilidade I

Formato usado	Efetividade	Etapa I (marcação no REQ)			Etapa II (marcação na MEF)			Etapa III (comparação entre os documentos)			
		Estereótipos usados para marcação do REQ			Estereótipos utilizados para marcação da MEF			Estereótipos utilizados para indicar os possíveis defeitos entre um documento e outro		Marcação de defeitos na MEF	
		EssReq	TecReq	Syntax	SuperState	SubState	Syntax	SuperState ∩ IEEE Requirement Missing	SubState ∩ IEEE Requirement Missing	EssReq ∩ IEEE Design Missing	TecReq ∩ IEEE Design Missing
Texto	(a) # marcações corretas feitas pelos participantes	2	52	2	5	44	2	8	14	5	48
	(b) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (a/b)	3%	33%	5%	38%	68%	15%	62%	54%	8%	41%
	média percentual da Etapa	14%			41%			58%		24%	
Fluxograma	(c) # marcações corretas feitas pelos participantes	3	47	10	4	33	1	8	11	21	55
	(d) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (c/d)	5%	30%	26%	31%	51%	8%	62%	42%	32%	47%
		20%			30%			52%		40%	

# Estudo de Viabilidade I

Formato usado	Efetividade	Etapa I (marcação no REQ)			Etapa II (marcação na MEF)			Etapa III (comparação entre os documentos)			
		Estereótipos usados para marcação do REQ			Estereótipos utilizados para marcação da MEF			Estereótipos utilizados para indicar os possíveis defeitos entre um documento e outro		Marcação de defeitos na MEF	
		EssReq	TecReq	Syntax	SuperState	SubState	Syntax	SuperState ∩ IEEE Requirement Missing	SubState ∩ IEEE Requirement Missing	EssReq ∩ IEEE Design Missing	TecReq ∩ IEEE Design Missing
Texto	(a) # marcações corretas feitas pelos participantes	2	52	2	5	44	2	8	14	5	48
	(b) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (a/b)	3%	33%	5%	38%	68%	15%	62%	54%	8%	41%
	média percentual da Etapa	14%			41%			58%		24%	
Fluxograma	(c) # marcações corretas feitas pelos participantes	3	47	10	4	33	1	8	11	21	55
	(d) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (c/d)	5%	30%	26%	31%	51%	8%	62%	42%	32%	47%
		20%			30%			52%		40%	

# Estudo de Viabilidade I

Formato usado	Efetividade	Etapa I (marcação no REQ)			Etapa II (marcação na MEF)			Etapa III (comparação entre os documentos)			
		Estereótipos usados para marcação do REQ			Estereótipos utilizados para marcação da MEF			Estereótipos utilizados para indicar os possíveis defeitos entre um documento e outro		Marcação de defeitos na MEF	
		EssReq	TecReq	Syntax	SuperState	SubState	Syntax	SuperState ∩ IEEE Requirement Missing	SubState ∩ IEEE Requirement Missing	EssReq ∩ IEEE Design Missing	TecReq ∩ IEEE Design Missing
Texto	(a) # marcações corretas feitas pelos participantes	2	52	2	5	44	2	8	14	5	48
	(b) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (a/b)	3%	33%	5%	38%	68%	15%	62%	54%	8%	41%
	média percentual da Etapa	14%			41%			58%		24%	
Fluxograma	(c) # marcações corretas feitas pelos participantes	3	47	10	4	33	1	8	11	21	55
	(d) # total de marcações corretas	65	156	39	13	65	13	13	26	65	117
	% (c/d)	5%	30%	26%	31%	51%	8%	62%	42%	32%	47%
		20%			30%			52%		40%	

**33% efetividade no uso dos estereótipos**

Os participantes foram igualmente efetivos em ambos os formatos (Texto e Fluxograma)

# Estudo de Viabilidade II

- O estudo de viabilidade teve duas questões:

**(Q1) Técnica de Leitura T4<sub>comp</sub> é viável para inspecionar modelos SysML em termos da efetividade e da eficiência.**

**(Q2) Formato da técnica (Texto e Fluxograma) interfere no desempenho para identificar defeitos (efetividade e eficiência)**

# Estudo de Viabilidade II

LaPEB

## GQM

**Analisar a Técnica de Leitura  $T4_{comp}$**

**Com o propósito de avaliação**

**Com respeito à efetividade e eficiência**

**Do ponto de vista do desenvolvedor**

**No contexto de alunos de graduação**

# Estudo de Viabilidade II

Group	Subjects	Reading Technique T4comp	Defects (a)	Time (b)	Effectiveness (a/20)	Efficiency (a/b)	
G1	S <sub>1</sub>	Text	16	68	0.80	0.24	
	S <sub>2</sub>		15	58	0.75	0.26	
	S <sub>3</sub>		16	50	0.80	0.32	
	S <sub>4</sub>		14	50	0.70	0.28	
	S <sub>5</sub>		15	41	0.75	0.37	
	S <sub>6</sub>		17	45	0.85	0.38	
	S <sub>7</sub>		9	43	0.45	0.21	
	S <sub>8</sub>		12	46	0.60	0.26	
	S <sub>9</sub>		12	45	0.60	0.27	
	S <sub>10</sub>		17	37	0.85	0.46	
	S <sub>11</sub>		10	40	0.50	0.25	
	S <sub>12</sub>		12	40	0.60	0.30	
	S <sub>13</sub>		18	50	0.90	0.36	
	S <sub>14</sub>		15	47	0.75	0.32	
<b>G1 Average (<math>\mu</math>)</b>			<b>14.1</b>	<b>47.15</b>	<b>0.70</b>	<b>0.30</b>	
G2	S <sub>15</sub>	Flowchart	14	73	0.70	0.19	
	S <sub>16</sub>		14	65	0.70	0.22	
	S <sub>17</sub>		17	62	0.85	0.27	
	S <sub>18</sub>		15	60	0.75	0.25	
	S <sub>19</sub>		12	55	0.60	0.22	
	S <sub>20</sub>		20	49	1.00	0.43	
	S <sub>21</sub>		11	60	0.55	0.18	
	S <sub>22</sub>		18	50	0.90	0.36	
	S <sub>23</sub>		14	46	0.70	0.30	
	S <sub>24</sub>		11	35	0.55	0.31	
	S <sub>25</sub>		14	40	0.70	0.35	
	S <sub>26</sub>		14	45	0.70	0.31	
<b>G2 Average (<math>\mu</math>)</b>			<b>14.5</b>	<b>53,33</b>	<b>0.72</b>	<b>0.28</b>	
<b>Average (<math>\mu</math>) of the G1 and G2</b>			<b><math>\mu = 14</math></b>	<b><math>\mu = 50</math></b>	<b><math>\mu = 0.72</math></b>	<b><math>\mu = 0.30</math></b>	

# Questão de Pesquisa Q1

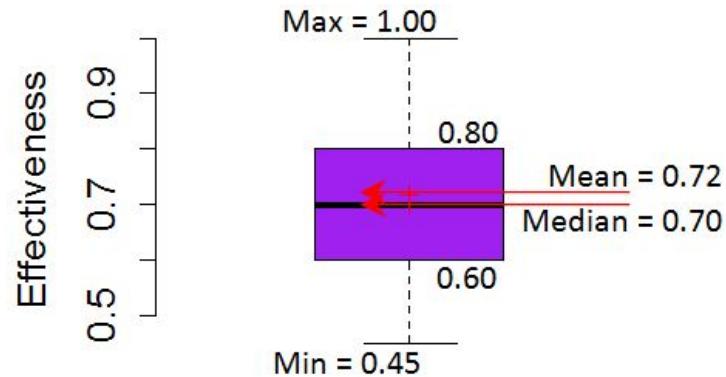
Group	Subjects	Reading Technique T4comp	Defects (a)	Time (b)	Effectiveness (a/20)	Efficiency (a/b)	
G1	S <sub>1</sub>	Text	16	68	0.80	0.24	
	S <sub>2</sub>		15	58	0.75	0.26	
	S <sub>3</sub>		16	50	0.80	0.32	
	S <sub>4</sub>		14	50	0.70	0.28	
	S <sub>5</sub>		15	41	0.75	0.37	
	S <sub>6</sub>		17	45	0.85	0.38	
	S <sub>7</sub>		9	43	0.45	0.21	
	S <sub>8</sub>		12	46	0.60	0.26	
	S <sub>9</sub>		12	45	0.60	0.27	
	S <sub>10</sub>		17	37	0.85	0.46	
	S <sub>11</sub>		10	40	0.50	0.25	
	S <sub>12</sub>		12	40	0.60	0.30	
	S <sub>13</sub>		18	50	0.90	0.36	
	S <sub>14</sub>		15	47	0.75	0.32	
G1 Average ( $\mu$ )			14.1	47.15	0.70	0.30	
G2	S <sub>15</sub>	Flowchart	14	73	0.70	0.19	
	S <sub>16</sub>		14	65	0.70	0.22	
	S <sub>17</sub>		17	62	0.85	0.27	
	S <sub>18</sub>		15	60	0.75	0.25	
	S <sub>19</sub>		12	55	0.60	0.22	
	S <sub>20</sub>		20	49	1.00	0.43	
	S <sub>21</sub>		11	60	0.55	0.18	
	S <sub>22</sub>		18	50	0.90	0.36	
	S <sub>23</sub>		14	46	0.70	0.30	
	S <sub>24</sub>		11	35	0.55	0.31	
	S <sub>25</sub>		14	40	0.70	0.35	
	S <sub>26</sub>		14	45	0.70	0.31	
G2 Average ( $\mu$ )			14.5	53.33	0.72	0.28	
Average ( $\mu$ ) of the G1 and G2			$\mu = 14$	$\mu = 50$	$\mu = 0.72$	$\mu = 0.30$	

Para responder a questão Q1



# Questão de Pesquisa Q1

**72% dos defeitos foram detectados por pelo menos metade dos participantes**



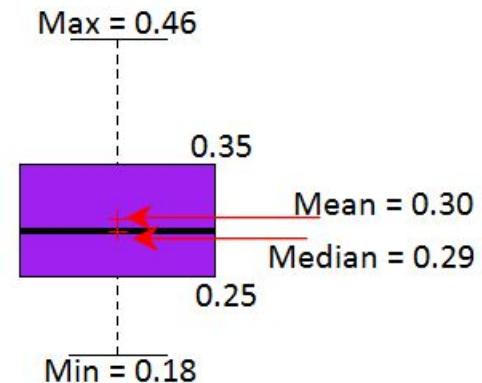
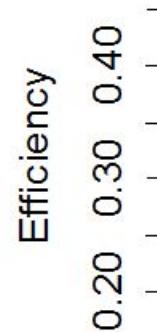
Reading Technique T4  
*Effectiveness of T4<sub>comp</sub>.*

(\*) De acordo com a hipótese de pesquisa definida, a técnica T4<sub>comp</sub> é viável para inspeção de modelos SysML em termos da efetividade e eficiência

# Questão de Pesquisa Q1

LaPE3

**50% dos  
participantes  
concluíram a  
inspeção em  
~30 mim**



Reading Technique T4  
*Efficiency of T4<sub>comp.</sub>*

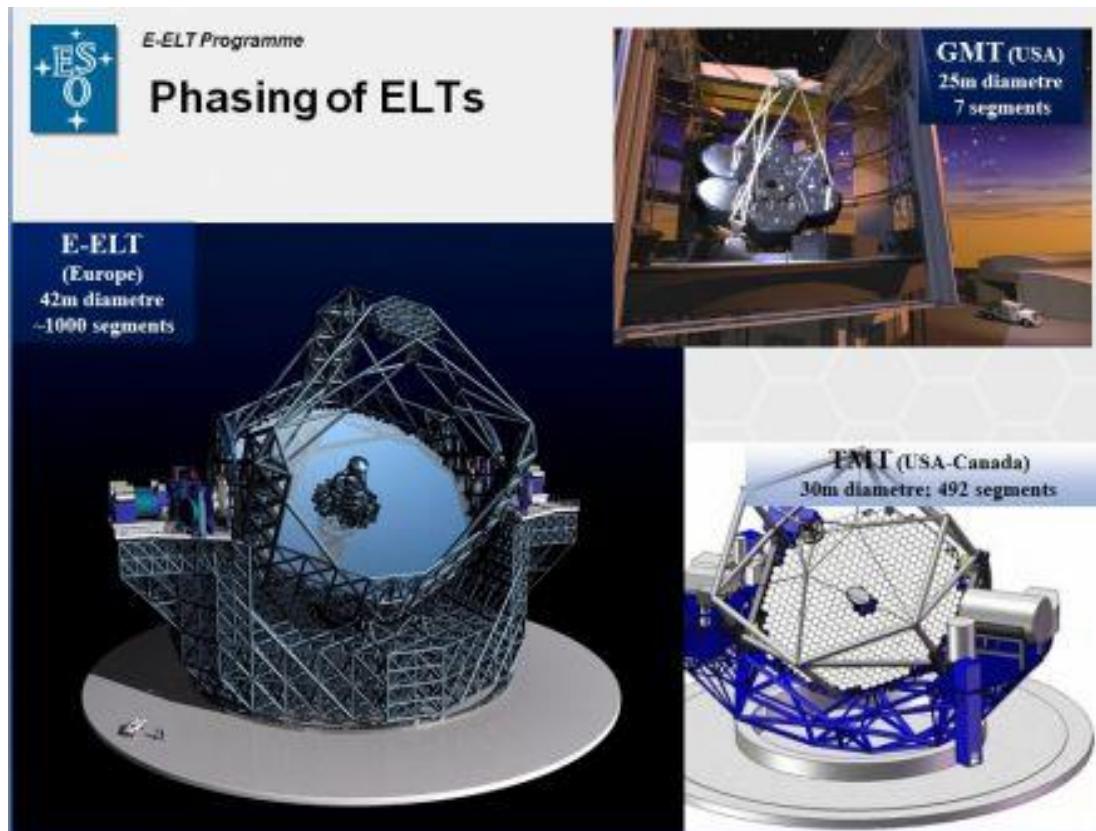
# Questão de Pesquisa Q2

Group	Subjects	Reading Technique T4comp	Defects (a)	Time (b)	Effectiveness (a/20)	Efficiency (a/b)	
G1	S <sub>1</sub>	Text	16	68	0.80	0.24	
	S <sub>2</sub>		15	58	0.75	0.26	
	S <sub>3</sub>		16	50	0.80	0.32	
	S <sub>4</sub>		14	50	0.70	0.28	
	S <sub>5</sub>		15	41	0.75	0.37	
	S <sub>6</sub>		17	45	0.85	0.38	
	S <sub>7</sub>		9	43	0.45	0.21	
	S <sub>8</sub>		12	46	0.60	0.26	
	S <sub>10</sub>		12	45	0.60	0.27	
	S <sub>11</sub>		17	37	0.85	0.46	
	S <sub>12</sub>		10	40	0.50	0.25	
	S <sub>13</sub>		12	40	0.60	0.30	
	S <sub>14</sub>		18	50	0.90	0.36	
	S <sub>15</sub>		15	47	0.75	0.32	
<b>G1 Average (<math>\mu</math>)</b>			<b>14.1</b>	<b>47.15</b>	<b>0.70</b>	<b>0.30</b>	
G2	S <sub>16</sub>	Flowchart	14	75	0.70	0.19	
	S <sub>17</sub>		14	65	0.70	0.22	
	S <sub>18</sub>		17	62	0.85	0.27	
	S <sub>19</sub>		15	60	0.75	0.25	
	S <sub>20</sub>		12	55	0.60	0.22	
	S <sub>21</sub>		20	49	1.00	0.43	
	S <sub>22</sub>		11	60	0.55	0.18	
	S <sub>23</sub>		18	50	0.90	0.36	
	S <sub>24</sub>		14	46	0.70	0.30	
	S <sub>25</sub>		11	35	0.55	0.31	
	S <sub>26</sub>		14	40	0.70	0.35	
<b>G2 Average (<math>\mu</math>)</b>			<b>14.5</b>	<b>53,33</b>	<b>0.72</b>	<b>0.28</b>	
<b>Average (<math>\mu</math>) of the G1 and G2</b>			$\mu = 14$	$\mu = 50$	$\mu = 0.72$	$\mu = 0.30$	

# Questão de Pesquisa Q2

- Aplicando o teste estatístico (*F-Test, t-test*), ambos os grupos revelaram resultados não significativos para *p-value*, G1 ( $p = 0.9853$ ) e G2 ( $p = 0.8290$ );
- **Portanto, não existe diferença significativa em aplicar a técnica de leitura T4 no formato texto ou fluxograma.**

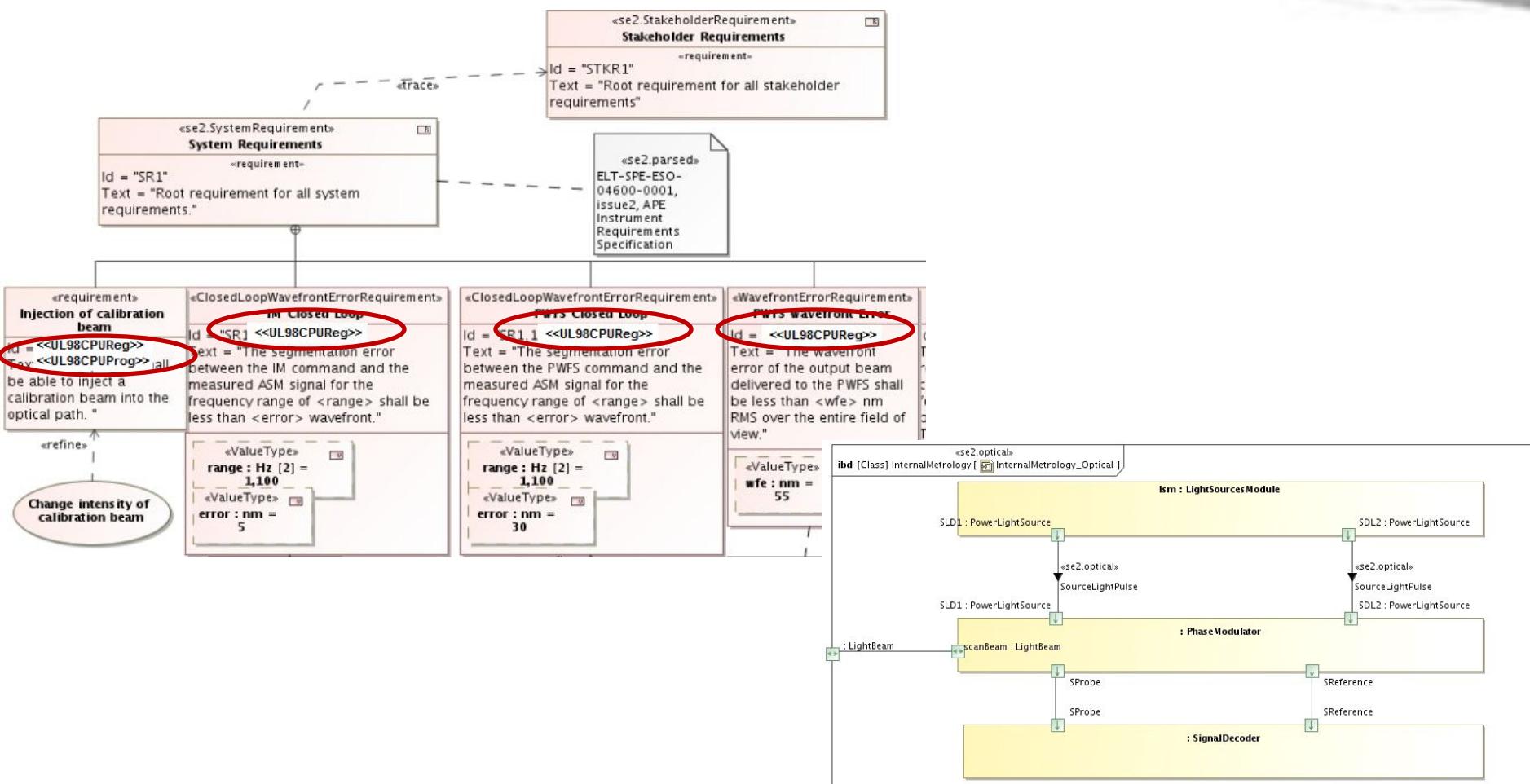
# Estudos de Caso: APE/VLT



<http://mbse.gfse.de/documents/problem.html>

# Estudos de Caso: APE/VLT - T1<sub>reg</sub>

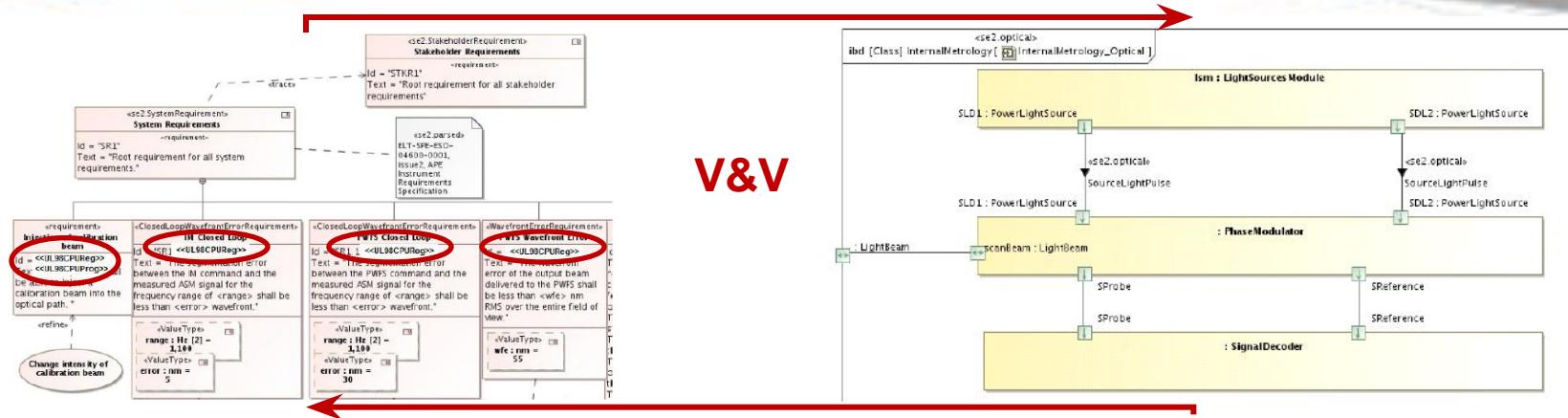
LaPEB



\* Etapas I & II: Preparação

# Estudos de Caso: APEVLT - T1

LaPEB



Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	InjectionOfCalibrationBe an	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Registrador	IMClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Registrador	PWFSClosedLoop	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Registrador	PWFSSwaveFrontError	«IEECCriticalSeverity»

\* Etapa III: Comparação

# REQ & IBD (SYSMOD)

**T1 reg**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	InjectionOfCalibrationBe an	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Registrador	IMClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Registrador	PWFSClosedLoop	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Registrador	PWFSSwaveFrontError	«IEECCriticalSeverity»

**T1 int**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Interrupção	PWFSClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Interrupção	PWFSSwaveFrontError	«IEECCriticalSeverity»
3	IBD	«IEEERequirement Missing»	Interrupção	PhaseModulator	«IEECCriticalSeverity»

**T1 mem**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	PWFSClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Memória	PWFSSwaveFrontError	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Memória	ReferenceCoordinateSyst em	«IEECCriticalSeverity»
4	IBD	«IEEERequirementMissing»	Memória	IMClosedLoop	«IEECCriticalSeverity»

**T**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Entrada	InjectionOfCalibrationBe an	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Entrada	IMClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Entrada	PWFSclosedLoop	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Entrada	ReferenceCoordinateSy stem	«IEECCriticalSeverity»
5	IBD	«IEEERequirementMissing»	Entrada	PWFSSwavefrontError	«IEECCriticalSeverity»

**T1 out**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Saída	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Saída	ReferenceCoordinate	«IEECCriticalSeverity»
4	IBD	«IEEERequirementMissing»	Saída	PWFSSwavefrontError	«IEECCriticalSeverity»

**T2 reg**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Registrador	PWFSclosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Registrador	PWFSSwavefrontError	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Registrador	ReferenceCoordinateSy stem	«IEECCriticalSeverity»
5	REQ	«IEEEDesignMissing»	Registrador	LightSourceModule	«IEECCriticalSeverity»
6	BDD	«IEEEReqMissing»	Registrador	PC	«IEECCriticalSeverity»
7	BDD	«IEEEReqMissing»	Registrador	VideoCaptureBoard	«IEECCriticalSeverity»
8	BDD	«IEEEReqMissing»	Registrador	MotorController	«IEECCriticalSeverity»
9	BDD	«IEEEReqMissing»	Registrador	AnalogIO	«IEECCriticalSeverity»

**T2 int**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Interrupção	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Interrupção	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Interrupção	PWFSSwaveFrontError	«IEECCriticalSeverity»
4	BDD	«IEEEDesignMissing»	Interrupção	PhaseModulator	«IEECCriticalSeverity»
5	BDD	«IEEEReqMissing»	Interrupção	PC	«IEECCriticalSeverity»
6	BDD	«IEEEReqMissing»	Interrupção	VideoCaptureBoard	«IEECCriticalSeverity»
7	BDD	«IEEEReqMissing»	Interrupção	MotorController	«IEECCriticalSeverity»
8	BDD	«IEEEReqMissing»	Interrupção	AnalogIO	«IEECCriticalSeverity»

**T2 mem**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	PWFSClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Memória	PWFSSwaveFrontError	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Memória	ReferenceCoordinateSyst em	«IEECCriticalSeverity»
4	BDD	«IEEERequirement Missing»	Memória	LightSourceModule	«IEECCriticalSeverity»
5	BDD	«IEEERequirement Missing»	Memória	PhaseModulator	«IEECCriticalSeverity»
6	BDD	«IEEERequirement Missing»	Memória	SignalDecoder	«IEECCriticalSeverity»
7	BDD	«IEEERequirement Missing»	Memória	VideoCaptureBoard	«IEECCriticalSeverity»

**T2 in**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Entrada	InjectionOfCalibrationBe an	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Entrada	IMClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Entrada	PWFSClosedLoop	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Entrada	AnalogIO	«IEECCriticalSeverity»
5	BDD	«IEEERequirement Missing»	Entrada	InternalNetology_ef	«IEECCriticalSeverity»
6	BDD	«IEEERequirement Missing»	Entrada	IMCs_ef	«IEECCriticalSeverity»
7	BDD	«IEEESyntax Missing»	Entrada	IMCs_if	«IEECCriticalSeverity»

**T2 out**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Saída	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Saída	ReferenceCoordinateSyst em	«IEECCriticalSeverity»
4	BDD	«IEEERequirement Missing»	Saída	PWFSSwavefrontError	«IEECCriticalSeverity»
5	BDD	«IEEERequirement Missing»	Saída	IMCs_if	«IEECCriticalSeverity»

# REQ & IBD (SYSMOD)

**T1 reg**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	InjectionOfCalibrationBegin	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Registrador	IMClosedLoop	«IEEECriticalSeverity»
3	REQ	«IEEEDesignMissing»	Registrador	PWFSClosedLoop	«IEEECriticalSeverity»
4	REQ	«IEEEDesignMissing»	Registrador	PWFSSwaveFrontError	«IEEECriticalSeverity»

**T1 int**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Interrupção	PWFSClosedLoop	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Interrupção	PWFSSwaveFrontError	«IEEECriticalSeverity»
3	IBD	«IEEERequirementMissing»	Interrupção	PhaseModulator	«IEEECriticalSeverity»

**T1 mem**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	PWFSClosedLoop	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Memória	PWFSSwaveFrontError	«IEEECriticalSeverity»
3	REQ	«IEEEDesignMissing»	Memória	ReferenceCoordinateSystem	«IEEECriticalSeverity»
4	IBD	«IEEERequirementMissing»	Memória	IMClosedLoop	«IEEECriticalSeverity»

T

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Entrada	InjectionOfCalibrationBegin	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Entrada	IMClosedLoop	«IEEECriticalSeverity»
3	REQ	«IEEEDesignMissing»	Entrada	PWFSclosedLoop	«IEEECriticalSeverity»
4	REQ	«IEEEDesignMissing»	Entrada	ReferenceCoordinateSystem	«IEEECriticalSeverity»
5	IBD	«IEEERequirementMissing»	Entrada	PWFSSwavefrontError	«IEEECriticalSeverity»

**T1 out**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	IMClosedLoop	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Saída	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Saída	ReferenceCoordinateSystem	«IEECCriticalSeverity»
4	IBD	«IEEERequirementMissing»	Saída	PWFSSwavefrontError	«IEECCriticalSeverity»

# REQ & BDD (SYSMOD)

**T2 reg**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Registrador	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Registrador	PWFSSwaveFrontError	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Registrador	ReferenceCoordinateSystem	«IEECCriticalSeverity»
5	REQ	«IEEEDesignMissing»	Registrador	LightSourceModule	«IEECCriticalSeverity»
6	BDD	«IEEEReqMissing»	Registrador	PC	«IEECCriticalSeverity»
7	BDD	«IEEEReqMissing»	Registrador	VideoCaptureBoard	«IEECCriticalSeverity»
8	BDD	«IEEEReqMissing»	Registrador	MotorController	«IEECCriticalSeverity»
9	BDD	«IEEEReqMissing»	Registrador	AnalogIO	«IEECCriticalSeverity»

**T2 int**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Interrupção	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Interrupção	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Interrupção	PWFSSwaveFrontError	«IEECCriticalSeverity»
4	BDD	«IEEEReqMissing»	Interrupção	PhaseModulator	«IEECCriticalSeverity»
5	BDD	«IEEEReqMissing»	Interrupção	VideoCaptureBoard	«IEECCriticalSeverity»
6	BDD	«IEEEReqMissing»	Interrupção	MotorController	«IEECCriticalSeverity»
7	BDD	«IEEEReqMissing»	Interrupção	AnalogIO	«IEECCriticalSeverity»

**T2 mem**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	PWFSClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Memória	PWFSSwaveFrontError	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Memória	ReferenceCoordinateSystem	«IEECCriticalSeverity»
4	BDD	«IEEERequirementMissing»	Memória	LightSourceModule	«IEECCriticalSeverity»
5	BDD	«IEEERequirementMissing»	Memória	PhaseModulator	«IEECCriticalSeverity»
6	BDD	«IEEERequirementMissing»	Memória	SignalDecoder	«IEECCriticalSeverity»
7	BDD	«IEEERequirementMissing»	Memória	VideoCaptureBoard	«IEECCriticalSeverity»

**T2 in**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Entrada	InjectionOfCalibrationBegin	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Entrada	IMClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Entrada	PWFSClosedLoop	«IEECCriticalSeverity»
4	REQ	«IEEEDesignMissing»	Entrada	AnalogIO	«IEECCriticalSeverity»
5	BDD	«IEEEReqMissing»	Entrada	InternalMemory_ef	«IEECCriticalSeverity»
6	BDD	«IEEEReqMissing»	Entrada	IMCs_ef	«IEECCriticalSeverity»
7	BDD	«IEEEReqMissing»	Entrada	IMCs_if	«IEECCriticalSeverity»

**T2 out**

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	IMClosedLoop	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Saída	PWFSClosedLoop	«IEECCriticalSeverity»
3	REQ	«IEEEDesignMissing»	Saída	ReferenceCoordinateSystem	«IEECCriticalSeverity»
4	BDD	«IEEERequirementMissing»	Saída	PWFSSwavefrontError	«IEECCriticalSeverity»
5	BDD	«IEEESyntaxMissing»	Saída	IMCs_if	«IEECCriticalSeverity»

# Estudos de Caso: APE/VLT



Tim Weilkiens  
Systems Engineering  
mit SysML/UML

Modellierung, Analyse, Design

## REQ & IBD (SYSMOD)

**T1**  
reg

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	GrantAccessToCar	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Registrador	StartUsingCar	«IEECCriticalSeverity»
3	IBD	«IEEEReqMissing»	Registrador	OnBoardComputerControl	«IEECCriticalSeverity»
4	IBD	«IEEEReqMissing»	Registrador	CommunicationUnit	«IEECCriticalSeverity»

**T1**  
int

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Interrupção	StartUsingCar	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Interrupção	EndUsageOfCar	«IEECCriticalSeverity»
3	IBD	«IEEEReqMissing»	Interrupção	OnBoardComputerControl	«IEECCriticalSeverity»
4	IBD	«IEEEReqMissing»	Interrupção	CommunicationUnit	«IEECCriticalSeverity»

**T1**  
mem

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	StartUsingCar	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Memória	EndUsageOfCar	«IEEECriticalSeverity»
3	IBD	«IEEEReqMissing»	Memória	OnBoardComputerControl	«IEEECriticalSeverity»
4	IBD	«IEEEReqMissing»	Memória	CommunicationUnit	«IEEECriticalSeverity»

**T1**  
in

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Entrada	StartUsingCar	«IEECCriticalSeverity»
2	REQ	«IEEEDesignMissing»	Entrada	EndUsageOfCar	«IEECCriticalSeverity»
3	IBD	«IEEEReqMissing»	Entrada	OnBoardComputerControl	«IEECCriticalSeverity»
4	IBD	«IEEEReqMissing»	Entrada	CommunicationUnit	«IEECCriticalSeverity»

**T1**  
out

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	StartUsingCar	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Saída	EndUsageOfCar	«IEEECriticalSeverity»
3	IBD	«IEEEReqMissing»	Saída	OnBoardComputerControl	«IEEECriticalSeverity»
4	IBD	«IEEEReqMissing»	Saída	CommunicationUnit	«IEEECriticalSeverity»

**T2**  
reg

Def.	Diag. amar	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Registrador	StartUsingCar	«IEECCriticalSeverity»
2	BDD	«IEEEReqMissing»	Registrador	Customer	«IEECCriticalSeverity»

**T2**  
int

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	BDD	«IEEEReqMissing»	Interrupção	UsageData	«IEECCriticalSeverity»
2	BDD	«IEEEReqMissing»	Interrupção	Route	«IEECCriticalSeverity»

**T2**  
mem

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	StartUsingCar	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Memória	EndUsageOfCar	«IEEECriticalSeverity»
3	BDD	«IEEEReqMissing»	Memória	UsageData	«IEEECriticalSeverity»
4	BDD	«IEEEReqMissing»	Memória	PhoneCall	«IEEECriticalSeverity»
5	BDD	«IEEEReqMissing»	Memória	Route	«IEEECriticalSeverity»
6	BDD	«IEEEReqMissing»	Memória	RouteKind	«IEEECriticalSeverity»

**T2**  
out

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	StartUsingCar	«IEEECriticalSeverity»
2	REQ	«IEEEDesignMissing»	Saída	EndUsageOfCar	«IEEECriticalSeverity»
3	BDD	«IEEEReqMissing»	Saída	Route	«IEEECriticalSeverity»
4	BDD	«IEEEReqMissing»	Saída	RouteKind	«IEEECriticalSeverity»

**T3**  
par

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito	Severidade
1	SEQ	«IEEEReqMissing»	Paralelismo	Customer	«IEECCriticalSeverity»
2	SEQ	«IEEEReqMissing»	Paralelismo	ReservationSystem	«IEECCriticalSeverity»
3	SEQ	«IEEEReqMissing»	Paralelismo	CentralSystem	«IEECCriticalSeverity»
4	SEQ	«IEEEReqMissing»	Paralelismo	OnBoardComputer	«IEECCriticalSeverity»
5	SEQ	«IEEEReqMissing»	Paralelismo	DriveAwayProtection	«IEECCriticalSeverity»

**REQ & SEQ (SYSMOD)**

**T4**  
comp

Def.	Diag.	Tipo de Discrepancia	Conceito	Nome do Requisito/Bloco	Severidade
1	MEF	«IEEEReqMissing»	Hierarquia	UsageTransition	«IEEECriticalSeverity»
2	MEF	«IEEEReqMissing»	Hierarquia	InUse	«IEEECriticalSeverity»
3	MEF	«IEEEReqMissing»	Hierarquia	Pickup	«IEEECriticalSeverity»
4	MEF	«IEEEReqMissing»	Hierarquia	Return	«IEEECriticalSeverity»

**REQ & MEF (SYSMOD)**

## REQ & IBD (SYSMOD)

**T1**  
reg

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	DesignMissing	Registrador	GrantAccessToCar «IEEECriticalSeverity»	
2	REQ	«IEEE DesignMissing»	Registrador	StartUsingCar «IEEECriticalSeverity»	
3	IBD	DesignMissing	Registrador	OnBoardComputerControl «IEEECriticalSeverity»	
4	IBD	«IEEE ReqMissing»	Registrador	CommunicationUnit «IEEECriticalSeverity»	

**T1**  
int

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Interrupção	StartUsingCar «IEEECriticalSeverity»	
2	REQ	«IEEEDesignMissing»	Interrupção	EndUsageOfCar «IEEECriticalSeverity»	
3	IBD	«IEEEReqMissing»	Interrupção	OnBoardComputerControl «IEEECriticalSeverity»	
4	IBD	«IEEEReqMissing»	Interrupção	CommunicationUnit «IEEECriticalSeverity»	

**T1**  
mem

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEE DesignMissing»	Memória	StartUsingCar «IEEECriticalSeverity»	
2	REQ	«IEEE DesignMissing»	Memória	EndUsageOfCar «IEEECriticalSeverity»	
3	IBD	«IEEE CriticalS ReqMissing»	Memória	OnBoardComputerControl «IEEECriticalSeverity»	
4	IBD	«IEEE ReqMissing»	Memória	CommunicationUnit «IEEECriticalSeverity»	

**T1**  
in

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Entrada	StartUsingCar «IEEECriticalSeverity»	
2	REQ	«IEEEDesignMissing»	Entrada	EndUsageOfCar «IEEECriticalSeverity»	
3	IBD	«IEEEReqMissing»	Entrada	OnBoardComputeControl «IEEECriticalSeverity»	
4	IBD	«IEEEReqMissing»	Entrada	CommunicationUnit «IEEECriticalSeverity»	

**T1**  
out

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEE DesignMissing»	Saída	StartUsingCar «IEEECriticalSeverity»	
2	REQ	«IEEE DesignMissing»	Saída	EndUsageOfCar «IEEECriticalSeverity»	
3	IBD	«IEEE DesignMissing»	Saída	OnBoardComputerControl «IEEECriticalSeverity»	
4	IBD	«IEEE ReqMissing»	Saída	CommunicationUnit «IEEECriticalSeverity»	

**T2**  
reg

Def.	Diag. amar	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	DesignMissing	Registrador	StartUsingCar «IEEECriticalSeverity»	
2	BDD	«IEEE ReqMissing»	Registrador	Customer «IEEECriticalSeverity»	

**T2**  
int

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	BDD	«IEEEReqMissing»	Interrupção	UsageData «IEEECriticalSeverity»	
2	BDD	«IEEEReqMissing»	Interrupção	Route «IEEECriticalSeverity»	

**T2**  
mem

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Memória	StartUsingCar «IEEECriticalSeverity»	
2	REQ	«IEEEDesignMissing»	Memória	EndUsageOfCar «IEEECriticalSeverity»	
3	BDD	«IEEEReqMissing»	Memória	UsageData «IEEECriticalSeverity»	
4	BDD	«IEEEReqMissing»	Memória	PhoneCall «IEEECriticalSeverity»	
5	BDD	«IEEEReqMissing»	Memória	Route «IEEECriticalSeverity»	
6	BDD	«IEEEReqMissing»	Memória	RouteKind «IEEECriticalSeverity»	

**T2**  
out

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	REQ	«IEEEDesignMissing»	Saída	StartUsingCar «IEEECriticalSeverity»	
2	REQ	«IEEEDesignMissing»	Saída	EndUsageOfCar «IEEECriticalSeverity»	
3	BDD	«IEEEReqMissing»	Saída	Route «IEEECriticalSeverity»	
4	BDD	«IEEEReqMissing»	Saída	RouteKind «IEEECriticalSeverity»	

**T3**  
par

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito	Severidade
1	SEQ	«IEEEReqMissing»	Paralelismo	Customer	«IEEECriticalSeverity»
2	SEQ	«IEEEReqMissing»	Paralelismo	ReservationSystem	«IEEECriticalSeverity»
3	SEQ	«IEEEReqMissing»	Paralelismo	CentralSystem	«IEEECriticalSeverity»
4	SEQ	«IEEEReqMissing»	Paralelismo	OnBoardComputer	«IEEECriticalSeverity»
5	SEQ	«IEEEReqMissing»	Paralelismo	DriveAwayProtection	«IEEECriticalSeverity»

**REQ & SEQ (SYSMOD)**

**T4**  
comp

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	MEF	«IEEEReqMissing»	Hierarquia	UsageTransition	«IEECCriticalSeverity»
2	MEF	«IEEEReqMissing»	Hierarquia	InUse	«IEECCriticalSeverity»
3	MEF	«IEEEReqMissing»	Hierarquia	Pickup	«IEECCriticalSeverity»
4	MEF	«IEEEReqMissing»	Hierarquia	Return	«IEECCriticalSeverity»

**REQ & MEF (SYSMOD)**

# Estudos de Caso: VANT Tiriba

LaPEB

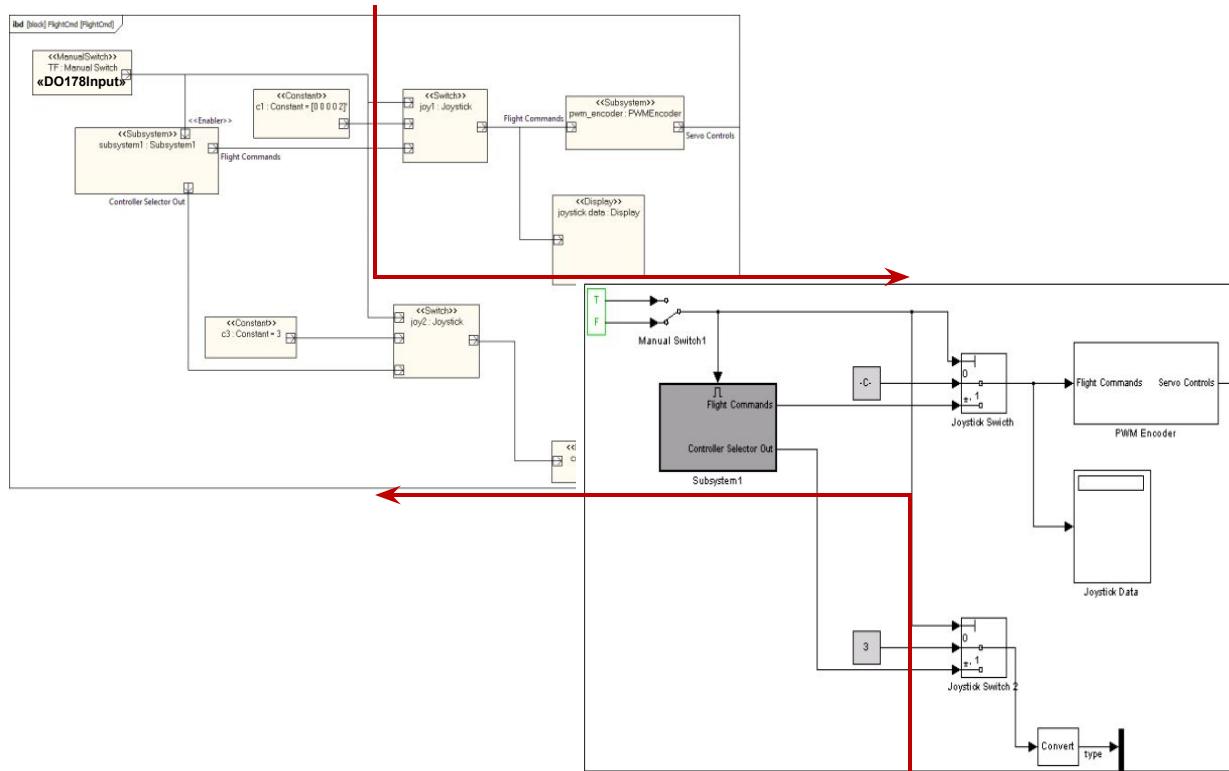
Especificação arquitetural da VANT Tiriba  
disponível no trabalho de mestrado do aluno  
Rogério Ferreira da Silva (UEM)

SILVA, R. F. DA. **SyMPLES: Uma Abordagem de Desenvolvimento de Linha de Produto para Sistemas Embarcados baseada em SysML**: Universidade Estadual de Maringá (UEM), Dissertação de Mestrado, 2012.



<http://www.agx.com.br/n2/pages/index.php>

# Estudos de Caso: T5<sub>cond</sub>



V&V

Def.	Diag.	Tipo de Discrepância	Conceito	Nome do Requisito/Bloco	Severidade
1	SML	«IEEEDesignMissing»	Condição	Joystick1	«IEEEMajorSeverity»
2	SML	«IEEEDesignMissing»	Condição	Joystick2	«IEEEMajorSeverity»

# Conclusão

- Apresentou-se as técnicas RTSS com as características:
  - (i) normas de certificação;
  - (ii) possíveis defeitos de transcrição sintática/semântica
  - (iii) estereótipos definidos a partir da taxonomia IEEE STD 1044:2009
- As técnicas são capazes de detectar defeitos - SysML/Simulink;
- As técnicas RTSS podem ser utilizadas ao longo de um processo, e.g., SYSMOD;
- Definiu-se um processo para sistematicamente construir as técnicas;
- A partir dos experimentos, pode-se observar:
  - As técnicas estão consistentemente escritas;
  - RTSS são viáveis de serem aplicadas em um tempo hábil;
  - O formato – texto e fluxo – são igualmente efetivos e eficientes;
  - Técnicas com diretrizes menores são melhores manipuladas; e
  - As técnicas detectam defeitos com base em UL-98, DO178C e SysML

# Contribuições e Limitações

- ❑ Uma Família de Técnicas de Leitura
  - *Reading Technique for SysML and Simulink (RTSS)*
- ❑ Diretrizes de como aplicar as técnicas ao longo de um processo
  - SYSMOD (*referência*)
- ❑ Estereótipos para anotar os artefatos em uma atividade de inspeção
- ❑ Normas de Certificação para inspecionar modelos
  - Restritas ao contexto de SEs
- ❑ Dificuldade em se localizar modelos de domínio público
  - Produzidos em SysML e Simulink;
- ❑ Embora as técnicas de leitura tenham sido elaboradas com a preocupação de minimizar a subjetividade da atividade de inspeção, esse aspecto não pode ser avaliado no contexto deste trabalho.

# Lições Aprendidas

- ❑ Para a produção de técnicas de leitura é importante delimitar o escopo de aplicação das técnicas;
  - A elaboração de técnicas de leitura para SEs é uma atividade multidisciplinar;
- ❑ A organização das técnicas de leitura em três partes distintas permite que o inspetor siga a técnica mais fielmente;
- ❑ As técnicas devem ser escritas de forma a contemplar os seguintes aspectos:
  - (i) simplicidade; (ii) concisão; e (iii) tamanho da técnica;
- ❑ A facilidade em conduzir atividades de inspeção no contexto de SEs envolve um mínimo de conhecimento tanto em Engenharia de Software como na área específica.

# Trabalhos Futuros

- Aprimoramento das técnicas de leitura, para incorporar defeitos relacionados a outras normas de certificação, deixando as técnicas apropriadas para outros domínios;
- Aprimoramento dos tipos de defeitos tratados pelas técnicas de leitura;
- Condução de estudos experimentais para avaliação das técnicas RTSS por indivíduos de diferentes perfis;
- Continuidade à investigação das métricas definidas para modelos Simulink;
- Levantamento e produção, junto à comunidade de SEs, de um repositório de domínio público de modelos SysML e Simulink.

# Muito Obrigado !