

前言

本应用笔记为系统开发者们提供了所需的开发板特性硬件实现概述，如供电电源、时钟管理、复位控制、自举模式设置、调试管理。它显示了如何使用 STM32L1xxx 产品系列，说明了开发 STM32L1xxx 应用所需的最低硬件资源。

本文还包括了详细的参考设计原理图，说明了其主元件、接口和模式。

表 1. 适用产品

类型	产品类别
微控制器	STM32L1 系列

目录

1	词汇表	6
2	电源	7
2.1	前言	7
2.1.1	独立 A/D 转换器电源和参考电压	8
2.1.2	独立 LCD 供电	9
2.1.3	调压器	9
2.2	电源方案	10
2.3	复位和电源监控	11
2.3.1	上电复位 (POR)/ 掉电复位 (PDR), 欠压复位 (BOR)	13
2.3.2	可编程电压检测器 (PVD)	13
2.3.3	欠压复位 (BOR)	14
2.3.4	系统复位	15
3	时钟	16
3.1	MSI 时钟	16
3.2	HSE OSC 时钟	17
3.2.1	外部源 (HSE 旁路)	17
3.2.2	外部晶振 / 陶瓷谐振器 (HSE 晶振)	17
3.3	LSE OSC 时钟	18
3.3.1	外部源 (LSE 旁路)	18
3.3.2	外部晶振 / 陶瓷谐振器 (LSE 晶振)	18
3.4	时钟安全系统 (CSS)	19
4	自举配置	20
4.1	自举模式选择	20
4.2	自举引脚连接	20
4.3	嵌入式自举模式	21
5	调试管理	22
5.1	前言	22
5.2	SWJ 调试端口 (串行接口和 JTAG)	22
5.3	引脚排列和调试端口引脚	23

5.3.1	SWJ 调试端口引脚	23
5.3.2	灵活的 SWJ-DP 引脚分配	23
5.3.3	JTAG 引脚上的内部上拉和下拉	24
5.3.4	使用标准 JTAG 连接器的 SWJ 调试端口连接	24
6	建议	25
6.1	印刷电路板	25
6.2	元件位置	25
6.3	接地和供电 (V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA})	25
6.4	去耦	25
6.5	其它信号	26
6.6	不使用的 I/O 和特性	26
7	参考设计	27
7.1	说明	27
7.1.1	时钟	27
7.1.2	复位	27
7.1.3	自举模式	27
7.1.4	SWJ 接口	27
7.1.5	电源	27
7.2	元件参考	28
8	修订历史	32

表格索引

表 1. 适用产品 1

表 2. 自举模式 20

表 3. 调试端口引脚分配 23

表 4. 用到的 SWJ I/O 引脚 23

表 5. 必备元件 28

表 6. 可选元件 28

表 7. 所有封装的参考连接 30

表 8. 文档修订历史 32



图片索引

图 1.	电源概述	7
图 2.	电源方案	10
图 3.	可选的 LCD 供电电源方案	11
图 4.	电源监控器	12
图 5.	上电复位 / 掉电复位波形	13
图 6.	PVD 阈值	14
图 7.	复位电路	15
图 8.	外部时钟	17
图 9.	晶振 / 陶瓷谐振器	17
图 10.	外部时钟 ⁽¹⁾	18
图 11.	晶振 / 陶瓷谐振 ⁽¹⁾⁽²⁾	18
图 12.	自举模式选择实现样例	20
图 13.	主机到板的连接	22
图 14.	JTAG 连接器实现	24
图 15.	V _{DD} /V _{SS} 对的典型布局	26
图 16.	STM32L152VB (T6) 微控制器参考原理图	29

1 词汇表

- 中容量器件为 Flash 范围为 32 至 128 K 字节的微控制器。
- 中容量 + 器件为 Flash 等于 256 K 字节的微控制器。
- 高容量器件为 Flash 等于 384 K 字节的微控制器。

2 电源

2.1 前言

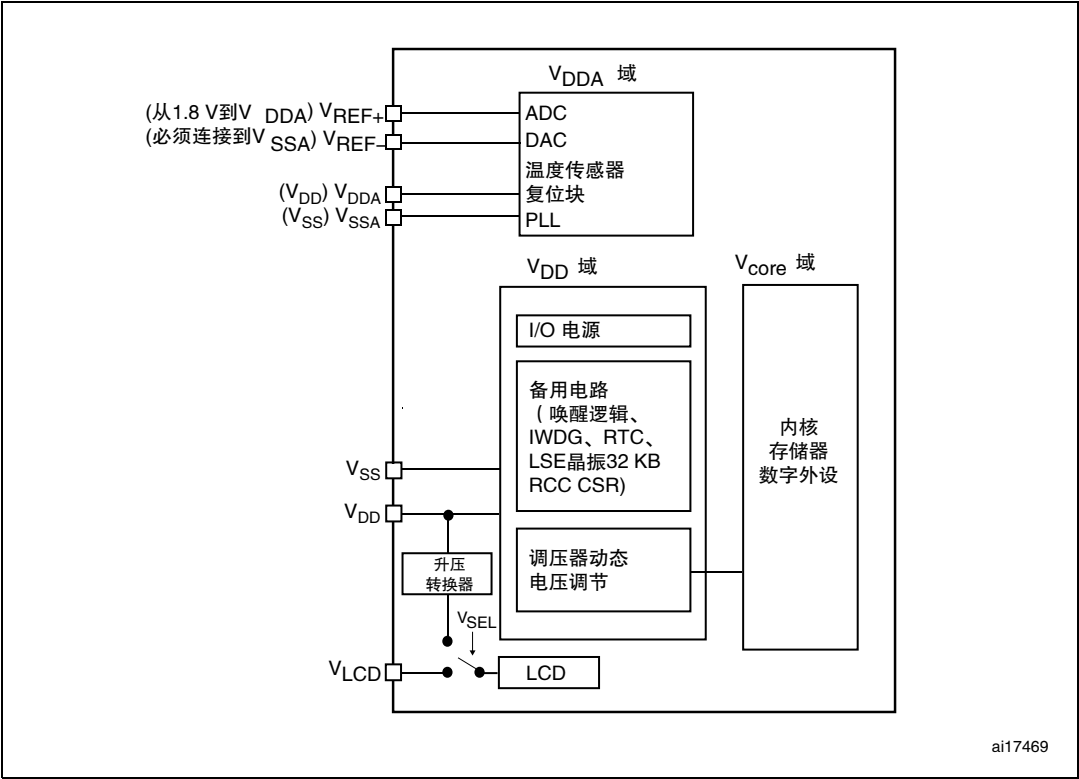
数字电源电压 (V_{CORE}) 配有嵌入式的线性调压器, 具有 1.2 至 1.8 V 的三个不同的可编程范围。

为达到全速、全功能, 器件需要 2.0 至 3.6 V 的工作电压供电 (V_{DD}), 可达到 1.8 V 的数字电源电压 V_{CORE} (产品电压范围 1)。

当 V_{DD} 工作于 1.65 至 3.6 V 时, 可选择产品电压范围 2 ($V_{\text{CORE}} = 1.5 \text{ V}$) 和 3 ($V_{\text{CORE}} = 1.2 \text{ V}$)。因此, 频率分别限定为 16 MHz 和 4 MHz。

当不使用 ADC 和欠压复位 (BOR) 时, 器件可在 1.8 V 下至 1.65 V 的电源电压工作。

图 1. 电源概述



注: V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

2.1.1 独立 A/D 转换器电源和参考电压

为了提高转换精度，ADC 和 DAC 配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

- ADC 电压源从单独的 V_{DDA} 引脚输入。
- V_{SSA} 引脚提供了独立的电源接地连接。

V_{DDA} 和 V_{REF} 需要一个稳定的电压。 V_{DDA} 上的耗电电流可达若干 mA（若需更多信息，请参见产品手册中的 I_{DD} （ADCx）、 I_{DD} （DAC）、 I_{DD} （COMPx）、 I_{VDDA} 、 I_{VREF} ）。

当可行时（取决于封装）， V_{REF-} 必须连至 V_{SSA} 。

在 BGA 64 引脚和所有超过 100 引脚的封装上

为确保低电压输入和输出上的更好精度，用户可将 V_{REF+} 连接至一个独立的，低于 V_{DD} 的外部参考电压源。对于模拟输入（ADC）或输出（DAC）信号， V_{REF+} 为最高电压，以满量程值表示。

- 对于 ADC
 - 对于全速（ADCCLK = 16 MHz，1 Msps）， $2.4\text{ V} \leq V_{REF+} = V_{DDA}$
 - 对于中速（ADCCLK = 8 MHz，500 Ksps）， $1.8\text{ V} \leq V_{REF+} = V_{DDA}$
 - 对于中速（ADCCLK = 8 MHz，500 Ksps）， $2.4\text{ V} \leq V_{REF+} \neq V_{DDA}$
 - 对于低速（ADCCLK = 4 MHz，250 Ksps）， $1.8\text{ V} \leq V_{REF+} < V_{DDA}$
 - 当选择产品电压范围 3 时（ $V_{CORE} = 1.2\text{ V}$ ），ADC 为低速（ADCCLK = 4 MHz，250 Ksps）
- 对于 DAC
 - $1.8\text{ V} \leq V_{REF+} < V_{DDA}$

在 64 引脚及以下的封装上（除了 BGA 封装）

V_{REF+} 和 V_{REF-} 引脚不可用。它们内部连至 ADC 电压供电（ V_{DDA} ）和地（ V_{SSA} ）。

2.1.2 独立 LCD 供电

V_{LCD} 引脚用于控制玻璃 LCD 的对比度。可用两种方法使用这一引脚：

- 它可从外部电路接收所需的最大电压，由微控制器通过 segment 和 common 线供给玻璃 LCD。
- 还可用它连接外部电容，微控制器将该电容用于内部的升压转换器。此升压转换器由软件控制，以向玻璃 LCD 的 segment 和 common 线提供所需的电压。请参考专门的产品数据手册以获得该电容值。

向 segment 和 common 线提供的电压定义了玻璃 LCD 像素的对比度。当在帧间配置了死区时，可降低此对比度。

2.1.3 调压器

此内部调压器在复位后始终处于使能状态。可配置其为内核提供三个不同的电压范围。选择一个低 V_{core} 范围可降低耗电，但会降低最大可接受内核速度。以降序排列的耗电范围如下：

- 范围 1，仅对高于 2.0 V 的 V_{DD} 可用，具有最大速度
- 范围 2 具有高至 16 MHz 的 CPU 频率
- 范围 3 具有高至 4 MHz 的 CPU 频率

根据应用模式的不同，调压器可采用三种不同的模式工作。

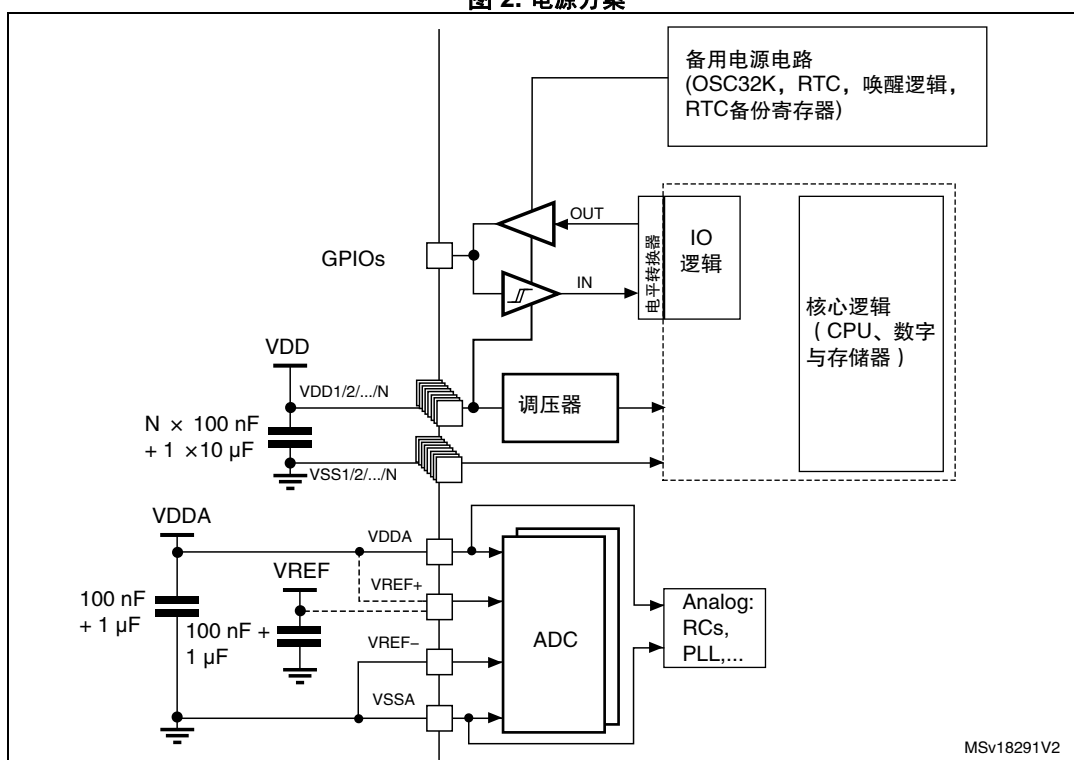
- 在运行模式中，调压器为 V_{core} 域（内核、存储器和数字外设）提供全功率。
- 在停止模式、低功耗运行与低功耗等待模式中，调压器为 V_{core} 域提供低功耗，以保留寄存器和 SRAM 的内容。
- 在待机模式中，调压器掉电。除了连至备用电路的部分，寄存器和 SRAM 的内容丢失。

2.2 电源方案

电路由稳定的供电电源 V_{DD} 供电。

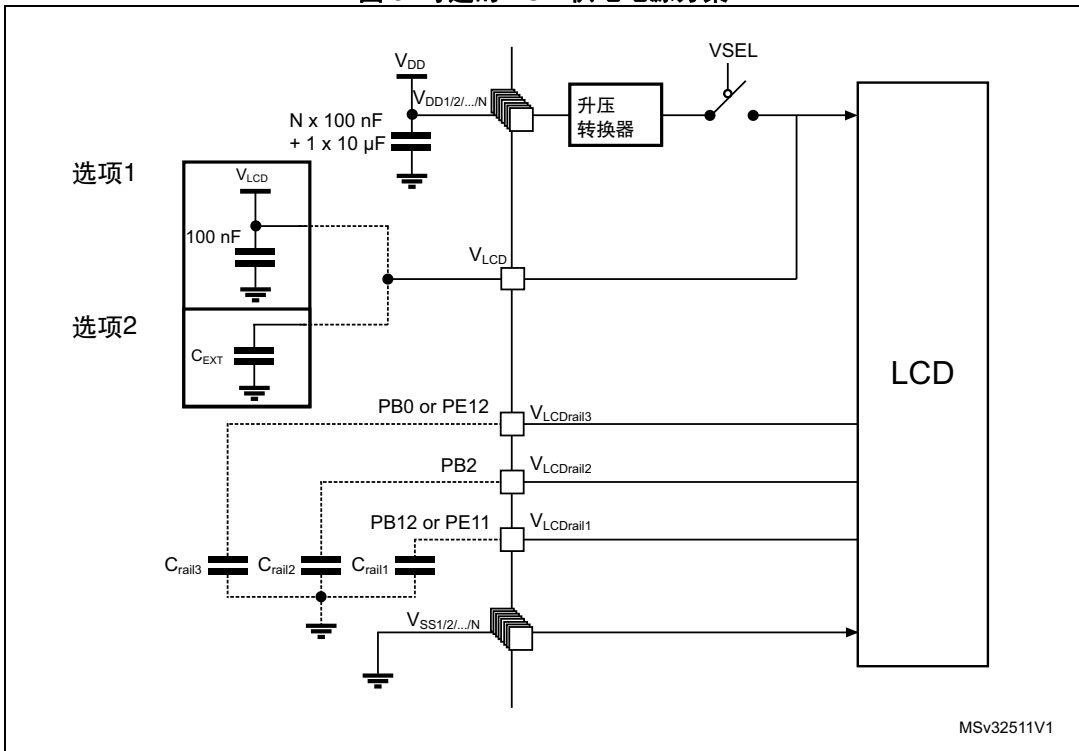
- V_{DD} 引脚必须连至带有外部去耦电容的 V_{DD} ；封装的单个钽电容或陶瓷电容（最低 $4.7\ \mu\text{F}$ ，典型 $10\ \mu\text{F}$ ）+ 每个 V_{DD} 引脚一个 $100\ \text{nF}$ 陶瓷电容）。
- V_{DDA} 引脚必须连至两个外部去耦电容（ $100\ \text{nF}$ 陶瓷电容 + $1\ \mu\text{F}$ 钽电容或陶瓷电容）。
- $V_{\text{REF}+}$ 引脚可连至 V_{DDA} 外部供电电源。若在 $V_{\text{REF}+}$ 上施加了一个单独的外部参考电压，则必须将一个 $100\ \text{nF}$ 和一个 $1\ \mu\text{F}$ 电容连至此引脚。若需补偿 V_{ref} 上的峰值耗电，当采样速度高时，可将 $1\ \mu\text{F}$ 电容增加至最大 $10\ \mu\text{F}$ 。当使用 ADC 或 DAC 时， $V_{\text{REF}+}$ 必须保持在 $1.8\ \text{V}$ 和 V_{DDA} 之间。当 ADC 和 DAC 未激活时， $V_{\text{REF}+}$ 可接地；这能让用户能够关闭外部电压参考。
- 可采用更多措施过滤模拟噪声： V_{DDA} 可通过铁氧体磁环连至 V_{DD} 。

图 2. 电源方案



1. $V_{\text{REF}+}$ 连至 V_{DDA} 或 V_{REF} 。
2. N 为 V_{DD} 和 V_{SS} 输入数目。

图 3. 可选的 LCD 供电电源方案



- **选项 1:** 由专用 VLCD 电源为 LCD 供电，VSEL 开关为开。
- **选项 2:** 由内部升压转换器为 LCD 供电，VSEL 开关关闭，需要外部电容以确保此转换器行为正确。

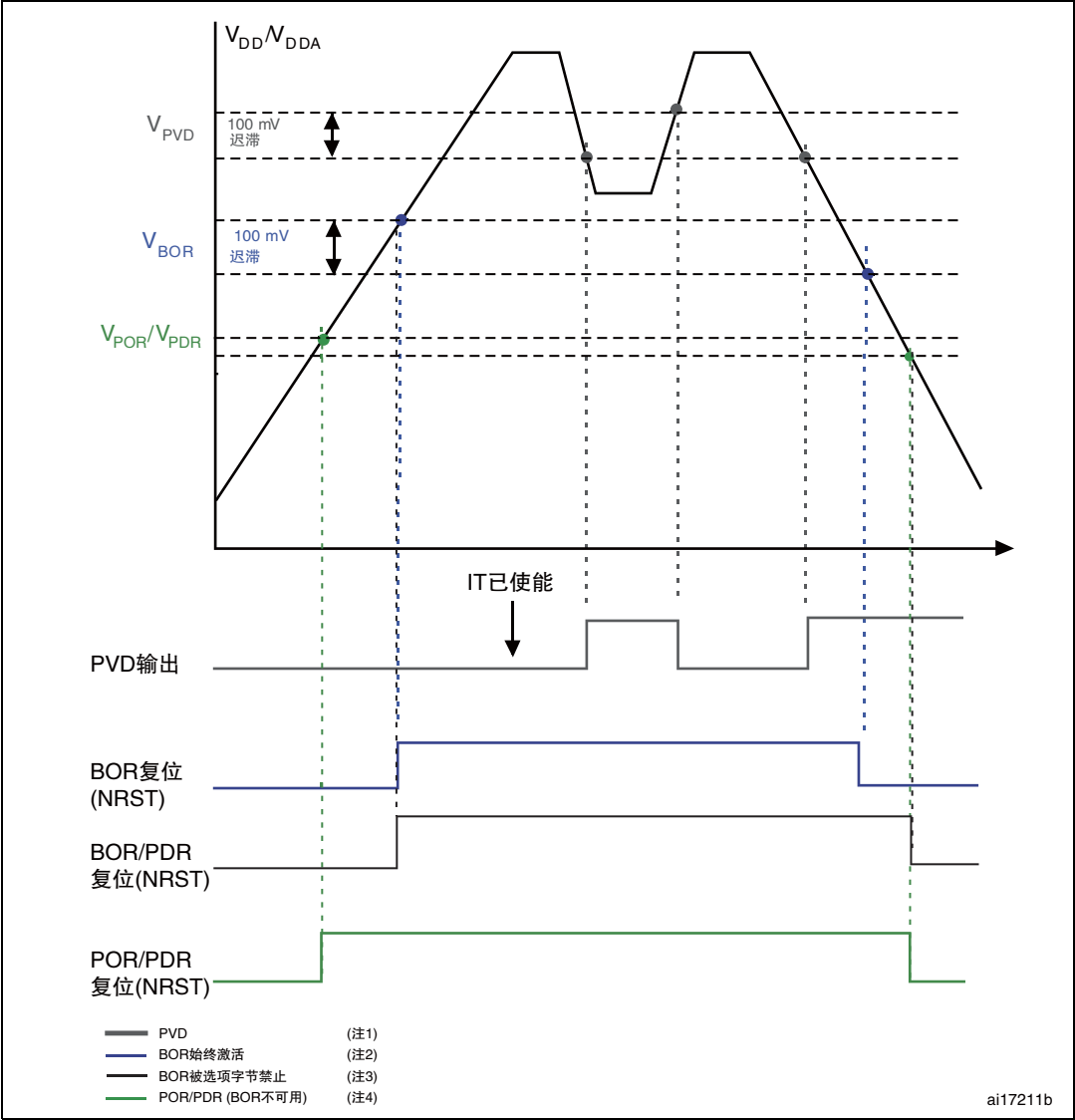
注： V_{LCD} 轨的可用性取决于器件；请参考您的产品数据手册以获取更详细信息。

2.3 复位和电源监控

对主调压器和低功耗调压器的输入供电由上电 / 掉电 / 欠压复位电路监控。上电 / 掉电复位为零耗电监控，具有固定的门限电压，而欠压复位有多种门限可选，耗电极低但不为零。

此外，STM32L1xxx 内置了一个可编程的电压检测器，用于将供电电压与可编程门限比较。当供电低于 V_{PVD} 门限和 / 或当供电高于 V_{PVD} 门限时，会生成中断。随后，中断服务程序会生成一条警告消息并且 / 或者使 MCU 进入安全状态。

图 4. 电源监控器



1. 所有 STM32L 器件上都有 PVD，它可由软件启用或禁用。
2. BOR 仅在工作电压从 1.8 至 3.6 V 的器件上可用，除非被选项字节禁用，它会掩盖 POR/PDR 门限。
3. 当选项字节禁用 BOR 时，当 V_{DD} 低于 PDR 电平时，会发生复位。
4. 工作于 1.65 至 3.6 V 的器件没有 BOR，当 V_{DD} 高于 POR 电平时，会释放复位，当 V_{DD} 低于 PDR 电平时，会发生复位。

2.3.1 上电复位 (POR)/ 掉电复位 (PDR), 欠压复位 (BOR)

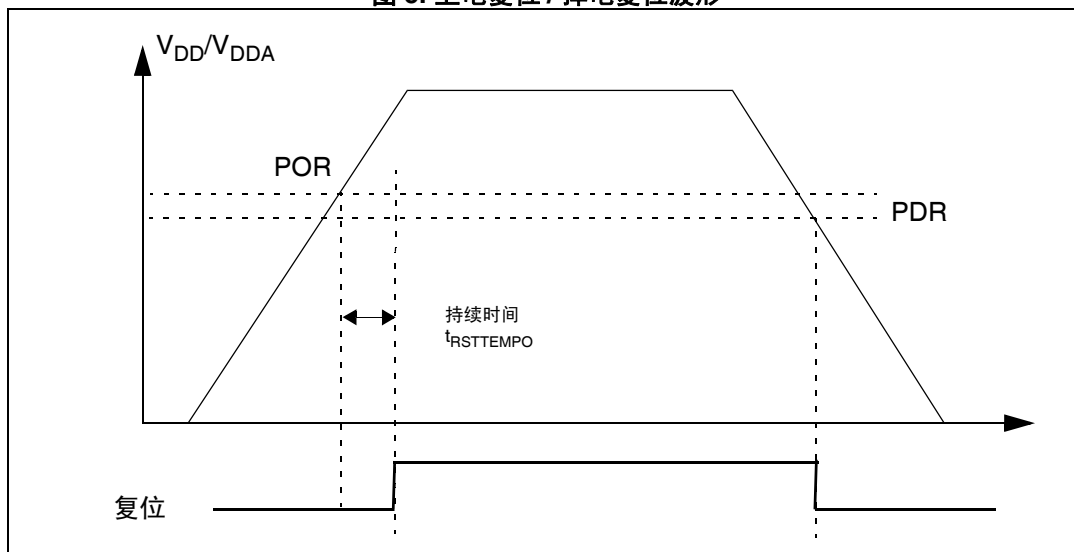
监控电压从 0.7 V 起。

上电期间, 对于工作于 1.8 和 3.6 V 的器件, BOR 会保持器件处于复位, 直到供电电压 (V_{DD} 和 V_{DDIO}) 接近最低的可接受电压 (1.8 V)。在上电时, 此内部复位会维持 ~1 ms, 以等待供电达到最终值并稳定。

在掉电时, 一旦电源低于最低限, 则立即激活复位 (1.65 V)。

在开机时, 应维持一个 0.7 V 以下的预定义复位。复位释放的上限在产品数据手册的电气特性一节中定义。

图 5. 上电复位 / 掉电复位波形

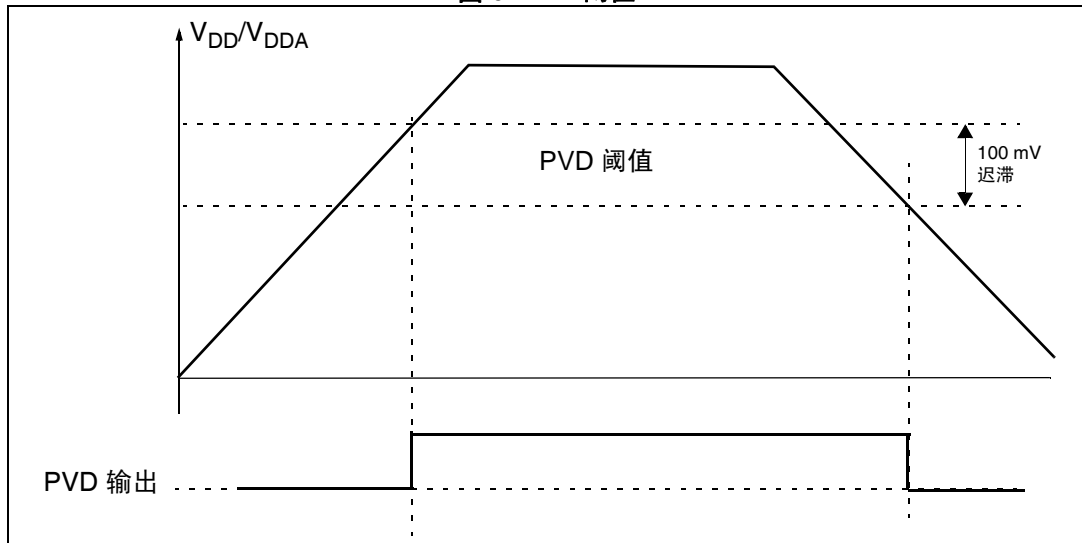


若您希望 cpu 运行于全速, 则门限应提高至 2.0 V。对于高于芯片最低限的可编程门限, 可将欠压复位配置至需要的值。BOR 还可用于提前检测电源压降。BOR 的门限值可通过 FLASH_OBR 选项字节配置。

2.3.2 可编程电压检测器 (PVD)

该器件还有一个嵌入式可编程电压检测器 (PVD), 用于监视 V_{DD}/V_{DDA} 电源并将其与 V_{PVD} 阈值进行比较。可由软件选择 1.85 V 和 3.05 V 之间的七个不同的 PVD 电平, 步长为 200 mV。当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值和 / 或 V_{DD}/V_{DDA} 高于 V_{PVD} 阈值时, 将产生中断。随后, 中断服务程序会生成一条警告消息并且 / 或者使 MCU 进入安全状态。PVD 由软件配置使能。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 6. PVD 阈值



2.3.3 欠压复位 (BOR)

上电期间，欠压复位 (BOR) 将使器件保持复位状态，直到电源电压达到指定的 V_{BOR} 阈值。

对于工作于 1.65 至 3.6 V 间的器件，BOR 选项不可用，电源供电由 POR/PDR 监控。由于 POR/PDR 门限为 1.5 V，因此在 V_{POR}/V_{PDR} 门限和最低产品工作电压 1.65 V 之间存在一个“盲区”。

对于工作于 1.8 至 3.6 V 之间的器件，BOR 在开机时一直激活，门限为 1.8 V。

当释放系统复位时，可通过加载选项字节重新配置或禁用 BOR 电平。

若 BOR 电平在开机时保持在最低电平 1.8 V，在掉电时为 1.65 V，则 BOR 完全管理系统复位，产品工作电压处于安全范围内。

当选项字节禁用 BOR 选项时，掉电复位由 PDR 控制，在 1.65 V 和 V_{PDR} 之间存在“盲区”。

V_{BOR} 通过器件选项字节进行配置。默认情况下，激活 4 级门限。可选择五个可编程的 V_{BOR} 门限（请参见产品手册，以获得实际的 V_{BOR0} 至 V_{BOR4} 门限）。

当电源电压 (V_{DD}) 降至所选 V_{BOR} 阈值以下时，将使器件复位。当 V_{DD} 高于 V_{BOR} 上限时，释放器件复位，系统可以启动。

通过对器件选项字节进行编程可以禁止 BOR。要禁止 BOR 功能， V_{DD} 必须高于 V_{BOR0} ，以启动器件选项字节编程序列。上电和掉电由 POR 和 PDR 监控（参见产品手册中的上电复位 (POR)/掉电复位 (PDR) 一节）。

BOR 阈值滞回电压约为 100 mV（电源电压的上升沿与下降沿之间）。

2.3.4 系统复位

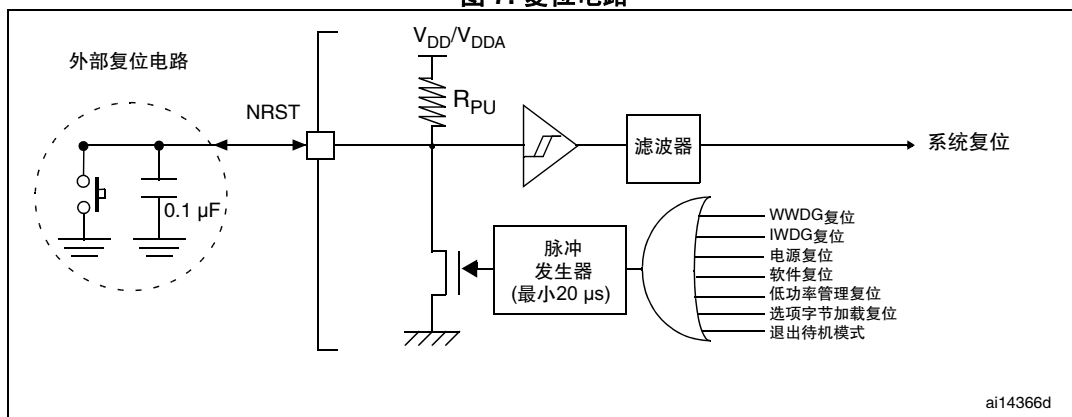
除了 RTC、备份寄存器、RCC 控制 / 状态寄存器、RCC_CSR 以外，一次系统复位会将所有寄存器设为其复位值。

只要发生以下事件之一，就会产生系统复位：

1. NRST 引脚低电平（外部复位）
2. 窗口看门狗计数结束（WWDG 复位）
3. 独立看门狗计数结束（IWDG 复位）
4. 由软件设置复位位（SWreset）
5. 进入所配置的待机或停止模式，生成复位（低功耗管理复位）
6. 选项字节加载复位
7. 退出待机模式

可通过查看控制 / 状态寄存器（RCC_CSR）中的复位标志确定复位源。

图 7. 复位电路



STM32L 不需外部复位电路即可正确上电。仅建议一个下拉电容以提高 EMS 性能，保护器件不受非正常的复位影响（参见图 7）。

通过内部电阻对下拉电容充电 / 放电会增加器件功耗。该电容的建议值为 100 nF，可将其降至 10 nF 以限制此功耗。

3 时钟

可以使用四种不同的时钟源来驱动系统时钟 (SYSCLK)。它们是：

- HSI（高速内部）振荡器时钟
- HSE（高速外部）振荡器时钟
- PLL 时钟
- MSI（多速内部）振荡器时钟

在从复位重启、从停止模式或待机低功耗模式唤醒后，MSI 时钟被用作系统时钟源。

器件具有以下两个次级时钟源：

- 37 kHz 低速内部 RC (LSI RC)，该 RC 用于驱动独立看门狗，也可选择提供给 RTC 用于停机 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振（LSE 晶振），用于驱动实时时钟 (RTCCLK)

对于每个时钟源来说，在未使用时都可单独打开或者关闭，以降低功耗。

若需时钟树的说明，请参考 STM32L1xxx 参考手册（RM0038）。

3.1 MSI 时钟

MSI 时钟信号是从内部 RC 振荡器生成的。其频率范围可由软件通过 RCC_ICSCR 寄存器调整。有七个频率范围可用：65.5 kHz、131 kHz、262 kHz、524 kHz、1.05 MHz、2.1 MHz（默认值）和 4.2 MHz。这些频率都为 32.768 kHz 的倍数。

MSI 时钟被用作从复位重启后的系统时钟。

MSI RC 振荡器的优势在于可提供一个低成本（无外部元件）低功耗的时钟源。它被用作低功耗模式中的唤醒时钟，以降低功耗和唤醒时间。

RCC_CR 寄存器中的 MSIRDY 标志指示了 MSI RC 是否稳定。在启动时，硬件将此位置 1 后，MSI RC 输出时钟才可以使用。

可通过 RCC_CR 寄存器开关 MSI RC（默认为开）。

如果应用受到电压或温度变化影响，则这可能也会影响到 RC 振荡器的速度。您可通过 RCC_ICSCR 寄存器微调应用中的 MSI 频率。典型情况下，需要使用 HSE 作为参考（若需使用 TIM9/TIM10/TIM11 做时钟测量的详细信息，请参见 RM0038）。若需更多信息，请参考 AN3300 “如何校准 STM32L1xx 内部 RC 振荡器”。

3.2 HSE OSC 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源：

- HSE 用户外部时钟（参见图 8）
- HSE 外部晶振 / 陶瓷谐振（参见图 9）

图 8. 外部时钟

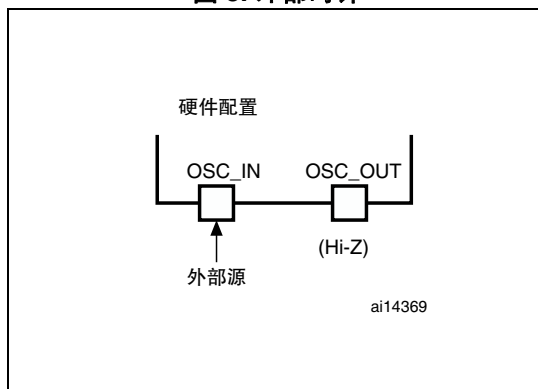
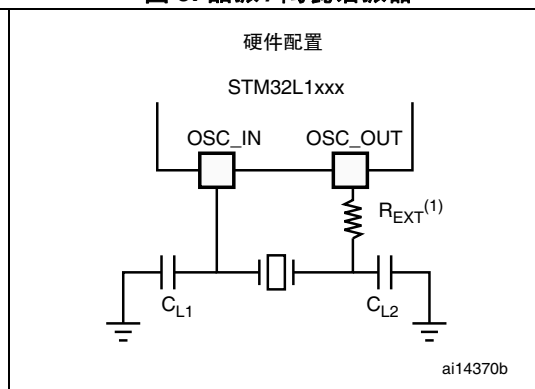


图 9. 晶振 / 陶瓷谐振器



1. R_{EXT} 的值取决于晶振特性。典型值的范围为 5 至 6 R_S （谐振串联电阻）。
2. 负载电容 C_L 的公式如下： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 为引脚电容以及与电路板或 PCB 走线相关的电容。典型情况下，它在 2 pF 和 7 pF 之间。请参考第 6 章节：建议第 25 页以使其值最小。

3.2.1 外部源（HSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 32 MHz。

必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，同时 OSC_OUT 引脚必须保持为高阻态（请参见图 8 和图 9）。

3.2.2 外部晶振 / 陶瓷谐振器（HSE 晶振）

外部振荡器频率范围为 1 至 24 MHz。

外部振荡器的优点是主时钟精度非常高。相关的硬件配置如图 9 所示。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 pF 到 25 pF（典型值）之间的高质量陶瓷电容。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10 pF）。

有关详细信息，请参见您产品数据手册的电气特性部分。

3.3 LSE OSC 时钟

低速外部时钟信号 (LSE) 有 2 个时钟源：

- LSE 用户外部时钟（参见图 10）
- LSE 外部晶振 / 陶瓷谐振（参见图 11）

图 10. 外部时钟 (1)

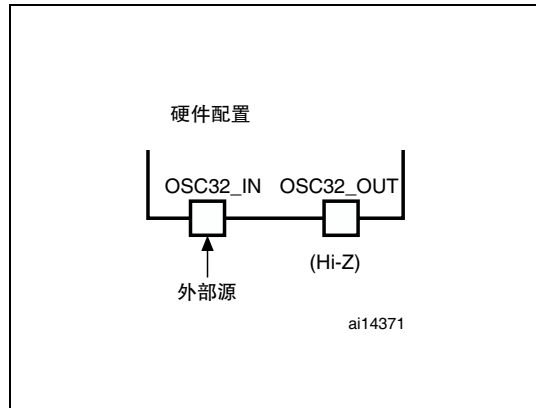
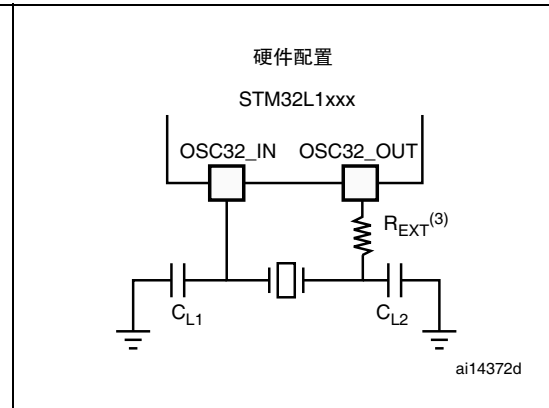


图 11. 晶振 / 陶瓷谐振 (1)(2)



1. OSC32_IN 和 OSC32_OUT 引脚也可用作 GPIO，但建议在同一应用中不要既用作 RTC 又用作 GPIO 引脚。
2. 为避免超过 CL1 和 CL2 的最大值（15 pF），强烈建议使用负载电容 $CL \leq 7$ pF 的谐振器。永远不要使用负载电容为 12.5 pF 的谐振器。
3. REXT 的值取决于晶振特性。0 W 的电阻能工作，但不是最优的。典型值的范围为 5 至 6 RS（谐振串联电阻）。若需精调 RS 的值，请参考 AN2867（ST 微控制器振荡器设计指南）。

3.3.1 外部源（LSE 旁路）

在此模式下，必须提供外部时钟源。频率必须为 32.768 kHz。必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，同时 OSC_OUT 引脚必须保持为高阻态（请参见图 10）。

3.3.2 外部晶振 / 陶瓷谐振器（LSE 晶振）

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器。可作为实时时钟外设 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

可由软件开关振荡器（默认为关）。当打开时，振荡器不会立即稳定。当振荡器变为稳定时，RCC_CSR 寄存器中的一位将置位，若 RCC_CIR 寄存器中启用了中断，也会产生中断。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整（参见图 11）。

3.4 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。如果 HSE 振荡器时钟发生故障，此振荡器将自动禁止，并且同时还将生成一个中断来向软件通知此故障（时钟安全系统中断，CSSI），以使 MCU 能够执行救援操作。CSSI 与 Cortex™-M3 NMI（不可屏蔽中断）异常向量相链接。

如果直接或间接使用 HSE 振荡器作为系统时钟（间接是指：该振荡器直接用作 PLL 的输入时钟，并且该 PLL 时钟为系统时钟）并且检出故障，则系统时钟将切换到 MSI 振荡器并且外部 HSE 振荡器将被禁止。如果 HSE 振荡器时钟是充当系统时钟的 PLL 的时钟输入，则在发生故障时，PLL 也会被禁止。

若需详细信息，请参见 STM32L1xxx 参考手册（RM0038）。

4 自举配置

4.1 自举模式选择

在 STM32L1xxx 中，可通过 BOOT[1:0] 引脚选择三种不同的自举模式，如 **STM32L1xxx** 所示。

表 2. 自举模式

自举模式选择引脚		自举模式	自举空间
BOOT1	BOOT0		
x	0	主 Flash	选择主 Flash 作为自举空间
0	1	系统存储器	选择系统存储器作为自举空间
1	1	嵌入式 SRAM	选择嵌入式 SRAM 作为自举空间

复位后，在 SYSCLK 的第四个上升沿锁存 BOOT 引脚的值。复位后，用户可以通过设置 BOOT1 和 BOOT0 引脚来选择需要的自举模式。

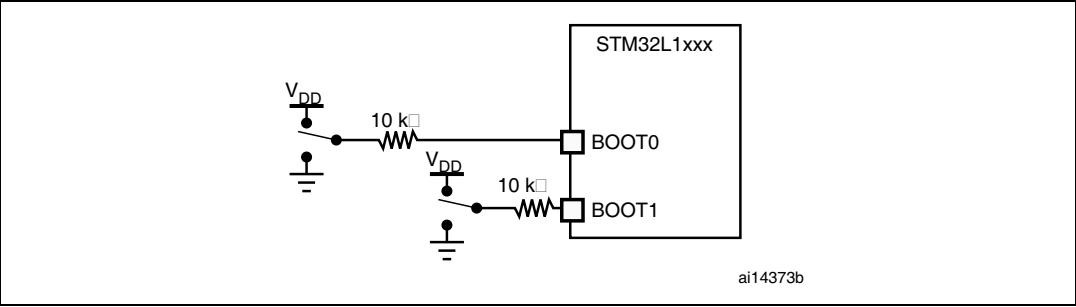
BOOT0 为专用引脚，而 BOOT1 则与 GPIO 引脚共用。一旦完成对 BOOT1 的采样，相应 GPIO 引脚即进入空闲状态，可用于其它用途。

退出待机模式时，还会对 BOOT 引脚重新采样。因此，当处于待机模式时，这些引脚必须保持所需的自举模式配置。这样的启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

4.2 自举引脚连接

图 12 显示了选择 STM32L1xxx 的自举存储器所需的外部连接。

图 12. 自举模式选择实现样例



1. 电阻值仅作为典型举例给出。

4.3 嵌入式自举模式

嵌入式自举用于对 Flash 重新编程。它使用以下接口之一：USART1、USART2、或对于中密度 + 和高密度器件使用 USB。此程序位于系统存储器中，由 ST 在生产期间编程（若需更详细信息，请参见 STM32L Flash 编程手册）。

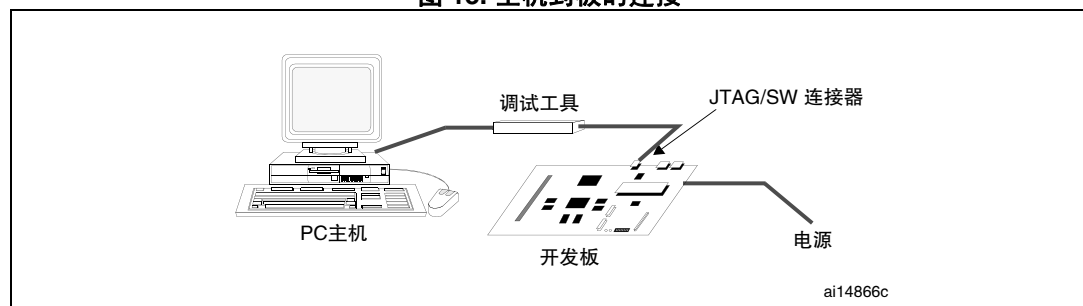
5 调试管理

5.1 前言

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、JTAG 或 SW 连接器，以及连接主机与调试工具的电缆。

图 13 显示了主机到开发板的连接。评估板（STM32L152-EVAL 和 STM32L152D-EVAL）内置了调试工具（ST-LINK），所以它可通过 USB 线直接连至 PC。

图 13. 主机到板的连接



5.2 SWJ 调试端口（串行接口和 JTAG）

STM32L1xxx 内核集成了串行 /JTAG 调试端口 (SWJ-DP)。该端口是 ARM® 标准 CoreSight™ 调试端口，具有 JTAG-DP（5 引脚）接口和 SW-DP（2 引脚）接口。

- JTAG 调试端口 (JTAG-DP) 提供用于连接到 AHP-AP 端口的 5 引脚标准 JTAG 接口。
- 串行线调试端口 (SW-DP) 提供用于连接到 AHP-AP 端口的 2 引脚（时钟 + 数据）接口。

在 SWJ-DP 中，SW-DP 的 2 个 JTAG 引脚与 JTAG-DP 的 5 个 JTAG 引脚中的部分引脚复用。

5.3 引脚排列和调试端口引脚

STM32L1xxx MCU 的不同封装有不同的有效引脚数。因此，一些与引脚可用性有关的功能可能会因封装不同而不同。

5.3.1 SWJ 调试端口引脚

五个引脚被用作 SWJ-DP 的端口，作为通用 I/O（GPIO）的复用功能。所有封装（如表 3 所示）都提供这些引脚。

表 3. 调试端口引脚分配

SWJ-DP 引脚名称	JTAG 调试端口		SW 调试端口		引脚分配
	类型	说明	类型	调试分配	
JTMS/SWDIO	I	JTAG 测试模式选择	I/O	串行线数据输入 / 输出	PA13
JTCK/SWCLK	I	JTAG 测试时钟	I	串行线时钟	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO/TRACESWO	O	JTAG 测试数据输出	-	TRACESWO（如果使能异步跟踪）	PB3
JNTRST	I	JTAG 测试 nReset	-	-	PB4

5.3.2 灵活的 SWJ-DP 引脚分配

复位（SYSRESETn 或 PORESETn）后，会将用于 SWJ-DP 的全部 5 个引脚指定为专用引脚，可供调试工具立即使用（请注意，除非由调试工具明确编程，否则不分配跟踪输出）。

然而，STM32L1xxx MCU 实现了一个寄存器以禁用所有或部分的 SWJ-DP 端口，以此释放相关端口用于通用 I/O。此寄存器映射至连在 Cortex™-M3 系统总线的一个 APB 桥上。它由用户软件程序而不是调试器主机编程。

表 4 显示了释放一些引脚的多种可能。若需更详细信息，请参见 STM32L1xxx 参考手册（RM0038）。

表 4. 用到的 SWJ I/O 引脚

可用的调试端口	用到的 SWJ I/O 引脚				
	PA13/ JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ JNTRST
全部 SWJ (JTAG-DP + SW-DP) - 复位状态	X	X	X	X	X
全部 SWJ (JTAG-DP + SW-DP)，但不包括 JNTRST	X	X	X	X	
禁止 JTAG-DP 和使能 SW-DP	X	X			
禁止 JTAG-DP 和禁止 SW-DP	已释放				

5.3.3 JTAG 引脚上的内部上拉和下拉

JTAG 输入引脚不得悬空，因为这些引脚直接连接到用于控制调试模式功能的触发器。还必须特别注意 SWCLK/TCK 引脚，该引脚直接连接到一些触发器的时钟。

为避免 I/O 电平浮空，STM32L1xxx 在 JTAG 输入引脚上内置有内部上拉和下拉电阻：

- JNTRST：内部上拉
- JTDI：内部上拉
- JTMS/SWDIO：内部上拉
- TCK/SWCLK：内部下拉

用户软件释放 JTAG I/O 后，GPIO 控制器便会再次取得控制权。GPIO 控制寄存器的复位状态会将 I/O 置于以下同等状态：

- JNTRST：输入上拉
- JTDI：输入上拉
- JTMS/SWDIO：输入上拉
- JTCK/SWCLK：输入下拉
- JTDO：输入浮空

软件可以把这些 I/O 口作为普通的 I/O 口使用。

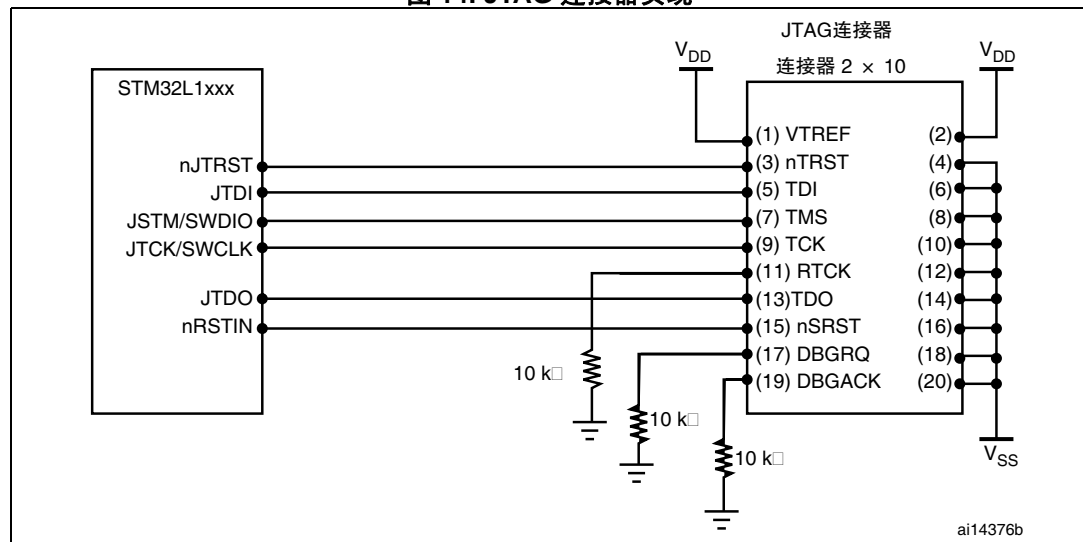
注： JTAG IEEE 标准建议在 TDI、TMS、nTRST 上增加上拉电阻，但对 TCK 没有特殊建议。然而，对于 STM32L1xxx，有一个集成的下拉电阻用于 JTCK。

由自带内部上拉和内部下拉电阻，因此无需添加外部电阻。

5.3.4 使用标准 JTAG 连接器的 SWJ 调试端口连接

图 14 显示了 STM32L1xxx 和标准 JTAG 连接器之间的连接。

图 14. JTAG 连接器实现



6 建议

6.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

6.2 元件位置

PCB 的初始布局必须使单独的电路具有以下特性：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 贡献分离的电路。这会降低 PCB 上会引入噪声的交叉耦合。

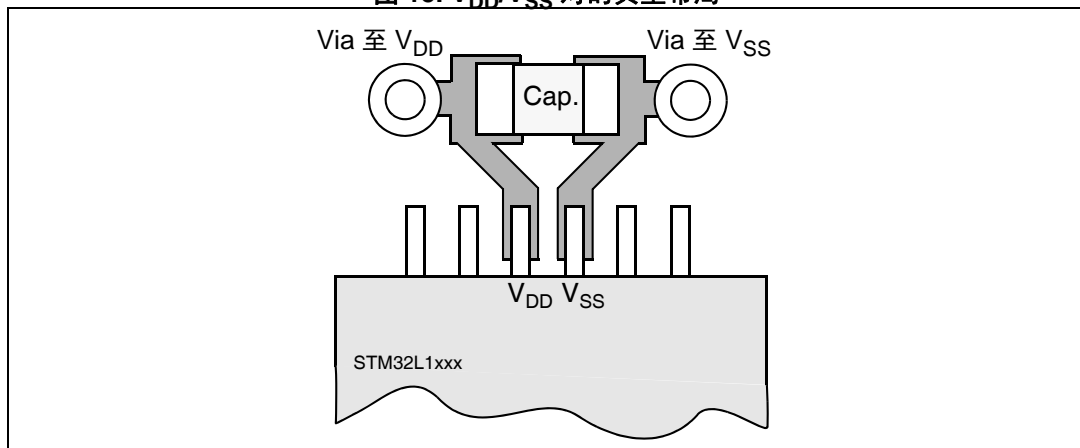
6.3 接地和供电（ V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA} ）

每个块（噪声、低电平敏感、数字等等）应单独接地，所有接地回路都应为一个点。必须避免出现环，或使环有最小面积。为提高模拟性能，您必须对 V_{DD} 和 V_{DDA} 使用单独的电源，将去耦电容放置在离器件尽可能近的位置。供电电源的实现应与地线尽可能近，以最小化供电环区域。这是因为供电环起到了天线及 EMI 主发收的作用。所有无元件的 PCB 区域都必须填充额外的接地，以创造屏蔽环境（尤其是当使用单层 PCB 时）。

6.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电电源对都应使用滤波陶瓷电容 C（100 nF）及约 10 μ F 的钽电容或陶瓷电容 C 去耦，两个电容并联在 STM32L1xxx 器件上。这些电容应放置在 PCB 下侧尽可能接近或低于适当引脚的位置。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。[图 15](#) 显示了这种 V_{DD}/V_{SS} 对的典型布局。

图 15. V_{DD}/V_{SS} 对的典型布局

6.5 其它信号

当设计应用时，可通过仔细研究以下几点来提高 EMC 性能：

- 临时扰动会永久影响运行过程的信号（中断和握手选通信号就是这个情况，但 LED 指令不是这个情况）。
对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
对于数字信号，两个逻辑状态必须达到可能的最佳电气边界，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（如时钟）
- 敏感信号（如高阻）

6.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。

为增加 EMC 性能、避免额外功耗，不使用的时钟、计数器、I/O 都不应浮空。应在不用的 I/O 引脚上都使用外部或内部上拉或下拉电阻将 I/O 连至固定逻辑电平 0 或 1。其它选项为使用软件将 GPIO 配置为输出模式。不使用的特性应被冻结或禁用为其默认值。

7 参考设计

7.1 说明

示于 [图 16](#) 中的参考设计基于 STM32L152VB (T6)。

使用 [表 7: 所有封装的参考连接](#) 中给出的引脚对应关系, 可将不同封装的任何 STM32L1xxx 器件定制此参考设计。

7.1.1 时钟

微控制器使用两个时钟源:

- LSE: X1——32.768 kHz 晶振用于嵌入式 RTC
- HSE: X2——8 MHz 晶振用于 STM32L1xxx 微控制器

请参见 [第 3 章节: 时钟第 16 页](#)。

7.1.2 复位

[图 16](#) 中的复位信号为低电平有效。复位源包括:

- 复位按钮 (B1)
- 调试工具通过连接器 CN1 连接

请参见 [第 2.3 章节: 复位和电源监控第 11 页](#)。

7.1.3 自举模式

通过设置开关 SW2 (Boot 0) 和 SW1 (Boot 1) 配置自举选项。请参见 [第 4 章节: 自举配置第 20 页](#)。

注: 当从待机模式唤醒时, Boot 引脚被采样。在此情况下, 您需要注意它们的值。

7.1.4 SWJ 接口

参考设计显示了 STM32L1xxx 和标准 JTAG 连接器之间的连接。请参见 [第 5 章节: 调试管理第 22 页](#)。

注: 建议连接复位引脚, 以便能从工具复位应用。

7.1.5 电源

请参见 [第 2 章节: 电源第 7 页](#)。

7.2 元件参考

表 5. 必备元件

缩写	元件名称	数值	数量	注释
U1A	微控制器	STM32L152VB(T6)	1	100 引脚封装
C5, C10, C11, C12, C13, C14	电容	100 nF	3 ... 6	陶瓷电容（去耦电容）
C9	电容	10 μ F	1	陶瓷电容（去耦电容）
C4, C6	电容	1 μ F	2	陶瓷电容（LCD 调压器或去耦电容）

表 6. 可选元件

缩写	元件名称	数值	数量	注释
R2, R4, R5, R7, R8	电阻	10 k Ω	9	用于 JTAG 和自举模式的上拉和下拉电阻。
R6	电阻	390 Ω	1	用于 HSE：值取决于晶振特性。
R1	电阻	x Ω	1	用于 LSE：值取决于晶振特性。 此电阻值取决于所选的晶振（请参考应用笔记 AN2867）。
R3	电阻	0 Ω	1	对于低通滤波器
C3, C15	电容	100 nF	2	陶瓷电容（去耦电容）
C1, C2	电容	6.8 pF	2	用于 LSE：值取决于晶振特性。适合 MC-306 32.768K-E3，它有一个 6 pF 的负载电容。
C7, C8	电容	20 pF	2	用于 HSE：值取决于晶振特性。
X2	石英	8 MHz	1	用于 HSE
X1	石英	32 kHz	1	用于 LSE
CN1	JTAG 连接器	HE10	1	
SW1, SW2	开关		2	用于选择正确的自举模式
B1	按钮		1	
L1	铁氧体磁环		1	用于降低 V_{DDA} 电源上的 EMC

图 16. STM32L152VB (T6) 微控制器参考原理图

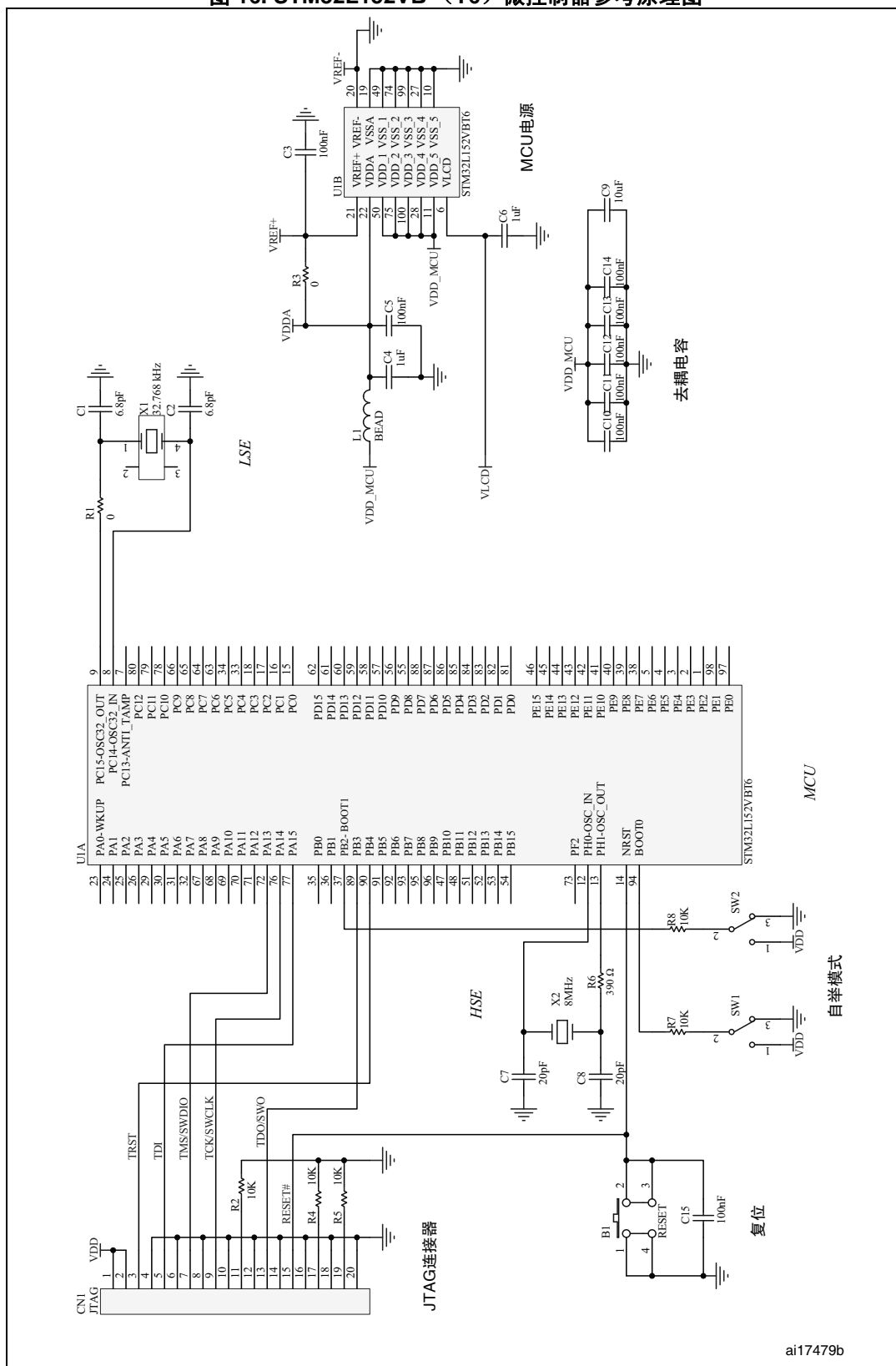


表 7. 所有封装的参考连接

引脚名称	LQFP 封装的引脚数				BGA 封装的引脚数			UFQFPN 封装的引脚数
	144 个引脚	100 个引脚	64 个引脚	48 个引脚	132 个引脚	100 个引脚	64 个引脚	48 个引脚
PH0-OSC_IN	23	12	5	5	F1	F1	C1	5
PH1-OSC_OUT	24	13	6	6	G1	G1	D1	6
PC15-OSC32_OUT	9	9	4	4	E1	E1	B1	4
PC14-OSC32_IN	8	8	3	3	D1	D1	A1	3
BOOT0	138	94	60	44	A4	A4	B4	44
PB2-BOOT1	48	37	28	20	L6	L6	G6	20
NRST	25	14	7	7	H2	H2	E1	7
PA13	105	72	46	34	A11	A11	A8	34
PA14	109	76	49	37	A10	A10	A7	37
PA15	110	77	50	38	A9	A9	A6	38
PB4	134	90	56	40	A7	A7	A4	40
PB3	133	89	55	39	A8	A8	A5	39
V _{SS_1}	71	49	31	23	F12	F12	D6	23
V _{SS_2}	107	74	47	35	F11	F11	D5	35
V _{SS_3}	143	99	63	47	D3	D3	D4	47
V _{SS_4}	38	27	18	-	-	E3	C2	—
V _{SS_5}	16	10	-	-	F2	F2	-	—
V _{SS_6}	51	-	-	-	E3	-	-	—
V _{SS_7}	61	-	-	-	-	-	-	—
V _{SS_8}	83	-	-	-	-	-	-	—
V _{SS_9}	94	-	-	-	F6	-	-	—
V _{SS_10}	120	-	-	-	F7	-	-	—
V _{SS_11}	130	-	-	-	-	-	-	—
V _{DD_1}	72	50	32	24	G12	G12	E6	24
V _{DD_2}	108	75	48	36	G11	G11	E5	36
V _{DD_3}	144	100	64	48	C4	C4	E4	48
V _{DD_4}	39	28	19	-	-	H3	D2	—
V _{DD_5}	17	11	-	-	G2	G2	-	—
V _{DD_6}	52	-	-	-	H3	-	-	—
V _{DD_7}	62	-	-	-	-	-	-	—
V _{DD_8}	84	-	-	-	-	-	-	—

表 7. 所有封装的参考连接（续）

引脚名称	LQFP 封装的引脚数				BGA 封装的引脚数			UFQFPN 封装的引脚数
	144 个引脚	100 个引脚	64 个引脚	48 个引脚	132 个引脚	100 个引脚	64 个引脚	48 个引脚
V _{DD_9}	95	--	-	-	G6	-	-	—
V _{DD_10}	121	--	-	-	G7	-	-	—
V _{DD_11}	131	-	-	-	-	-	-	—
V _{REF+}	32	21	-	-	L1	L1	G1	—
V _{REF-}	31	20	-	-	-	K1	-	—
V _{SSA}	30	19	12	8	J1	J1	F1	8
V _{DDA}	33	22	13	9	M1	M1	H1	9
V _{LCD}	6	6	1	1	E2	E2	B2	1

8 修订历史

表 8. 文档修订历史

日期	修订	变更
2010 年 6 月 28 日	1	初始版本
2010 年 7 月 29 日	2	更新了如下章节：第 2.1 章节：前言、第 2.1.1 章节：独立 A/D 转换器电源和参考电压、第 2.1.2 章节：独立 LCD 供电、第 2.3.1 章节：上电复位 (POR)/ 掉电复位 (PDR)、欠压复位 (BOR)、第 2.3.4 章节：系统复位。 增加第 2.3.3 章节：欠压复位 (BOR)。 替换了图 4、图 5、图 6、图 7。 在第 3.3.2 章节中，将 RCC_ICR 寄存器替换为 RCC_CIR 寄存器。 在图 16 和表 7 中，将 PF0_OSC_IN 和 PF1_OSC_OUT 替换为 PH0_OSC_IN 和 PH1_OSC_OUT。 更新了图 16 中 C4 和 C9 去耦电容的值。
2010 年 10 月 01 日	3	修改了第 2.3.4 章节：系统复位第 15 页 更新了表 5 和表 5 中的电容
2011 年 4 月 07 日	4	将文档标题从“STM32L1xxx 硬件开发：入门”更改为“STM32L1xxx 硬件开发入门”。 修改了第 3.1 章节：MSI 时钟、第 2.2 章节：电源方案和图 2。
2011 年 6 月 29 日	5	更新了第 2.1.1 章节：独立 A/D 转换器电源和参考电压和第 2.2 章节：电源方案。
2012 年 5 月 30 日	6	为适配 STM32L1xxx 大容量器件而做了更新
2013 年 6 月 20 日	7	文档格式更改。 在整个文档中将“STM32L15xxx”替换为“STM32L1xxx”。 更新了： – 第 2.1 章节：前言、第 2.1.2 章节：独立 LCD 供电、第 6.2 章节：元件位置、第 6.3 章节：接地和供电 (V _{SS} 、V _{DD} 、V _{SSA} 、V _{DDA})、第 6.4 章节：去耦和 第 7.1.3 章节：自举模式 – 图 1：电源概述、图 2：电源方案、图 7：复位电路和 图 16：STM32L152VB (T6) 微控制器参考原理图 – 表 5：必备元件和 表 6：可选元件 增加了： – 表 1：适用产品 – 第 1 章节：词汇表 – 图 3：可选的 LCD 供电电源方案



请仔细阅读：

中文翻译仅为方便阅读之目的。该翻译也许不是对本文档最新版本的翻译，如有任何不同，以最新版本的英文原版文档为准。

本文档中信息的提供仅与 ST 产品有关。意法半导体公司及其子公司（“ST”）保留随时对本文档及本文所述产品与服务进行变更、更正、修改或改进的权利，恕不另行通知。

所有 ST 产品均根据 ST 的销售条款出售。

买方自行负责对本文所述 ST 产品和服务的选择和使用，ST 概不承担与选择或使用本文所述 ST 产品和服务相关的任何责任。

无论之前是否有任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为 ST 授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在 ST 的销售条款中另有说明，否则，ST 对 ST 产品的使用和 / 或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

意法半导体的产品不得应用于武器。此外，意法半导体产品也不是为下列用途而设计并不得应用于下列用途：（A）对安全性有特别要求的应用，例如，生命支持、主动植入设备或对产品功能安全有要求的系统；（B）航空应用；（C）汽车应用或汽车环境，且 / 或（D）航天应用或航天环境。如果意法半导体产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向意法半导体发出了书面通知，采购商仍将独自承担因此而导致的任何风险，意法半导体的产品规格明确指定的汽车、汽车安全或医疗工业领域专用产品除外。根据相关政府主管部门的规定，ESCC、QML 或 JAN 正式认证产品适用于航天应用。

经销的 ST 产品如有不同于本文档中提出的声明和 / 或技术特点的规定，将立即导致 ST 针对本文所述 ST 产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大 ST 的任何责任。

ST 和 ST 徽标是 ST 在各个国家或地区的商标或注册商标。

本文档中的信息取代之前提供的所有信息。

ST 徽标是意法半导体公司的注册商标。其他所有名称是其各自所有者的财产。

© 2015 STMicroelectronics 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 中国香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

www.st.com

