

前言

本应用笔记为系统设计人员提供了所需的开发板硬件实现概述，关注如下特性：

- 电源
- 封装选择
- 时钟管理
- 复位控制
- 自举模式设置
- 调试管理。

本文档展示了如何使用 [表 1](#) 中列举的大容量高性能微控制器，同时讲述了基于这些产品开发应用所需的最低硬件资源要求。

本文还包括了详细的参考设计原理图，说明了其主元件、接口和模式。

表 1. 适用产品

类型	产品编号
微控制器	STM32F401xB / STM32F401xC
	STM32F401xD / STM32F401xE
	STM32F405xx / STM32F407xx
	STM32F411xC / STM32F411xE
	STM32F415xx / STM32F417xx
	STM32F427xx / STM32F429xx
	STM32F437xx / STM32F439xx
	STM32F446xx

目录

1	参考文档	6
2	电源	7
2.1	前言	7
2.1.1	独立 A/D 转换器电源和参考电压	7
2.1.2	电池备份	7
2.1.3	调压器	8
2.2	电源方案	8
2.3	复位和电源监控	10
2.3.1	上电复位 (POR)/ 掉电复位 (PDR)	10
2.3.2	可编程电压检测器 (PVD)	10
2.3.3	系统复位	11
2.3.4	PDR_ON 电路示例	12
2.3.5	NRST 电路示例 (仅用于 STM32F411xx 和 STM32F446xx)	14
2.3.6	调压器 OFF 模式	16
2.3.7	调压器 ON/OFF 及内部复位 ON/OFF 的可用性	17
3	封装	18
3.1	封装选择	18
3.2	引脚排列兼容性	20
3.2.1	STM32F4x 系列兼容性	21
3.2.2	STM32F1x 和 STM32F2x 系列兼容性	23
3.3	引脚复用映射	25
4	时钟	26
4.1	HSE OSC 时钟	26
4.1.1	外部源 (HSE 旁路)	27
4.1.2	外部晶振 / 陶瓷谐振器 (HSE 晶振)	27
4.2	LSE OSC 时钟	28
4.2.1	外部源 (LSE 旁路)	28
4.2.2	外部晶振 / 陶瓷谐振器 (LSE 晶振)	28
4.3	时钟安全系统 (CSS)	29
5	自举配置	30

5.1	自举模式选择	30
5.2	自举引脚连接	30
5.3	嵌入式自举模式	31
6	调试管理	32
6.1	前言	32
6.2	SWJ 调试端口（串行接口和 JTAG）	32
6.3	引脚排列和调试端口引脚	32
6.3.1	SWJ 调试端口引脚	32
6.3.2	灵活的 SWJ-DP 引脚分配	33
6.3.3	JTAG 引脚上的内部上拉和下拉	33
6.3.4	使用标准 JTAG 连接器的 SWJ 调试端口连接	34
7	建议	35
7.1	印刷电路板	35
7.2	元件位置	35
7.3	接地和供电（ V_{SS} 、 V_{DD} ）	35
7.4	去耦	35
7.5	其它信号	36
7.6	不使用的 I/O 和特性	36
8	参考设计	37
8.1	说明	37
8.1.1	时钟	37
8.1.2	复位	37
8.1.3	启动模式	37
8.1.4	SWJ 接口	37
8.1.5	电源	37
8.2	元件参考	38
9	修订历史	43

表格索引

表 1. 适用产品 1

表 2. 参考文档 6

表 3. 调压器 ON/OFF 及内部供电监控器的可用性 17

表 4. 封装总览（不包括 WCSP） 18

表 5. WCSP 封装总览 19

表 6. 引脚排列总览 20

表 7. 自举模式 30

表 8. 调试端口引脚分配 33

表 9. 用到的 SWJ I/O 引脚 33

表 10. 必备元件 38

表 11. 可选元件 38

表 12. 所有封装的参考连接 40

表 13. 文档修订历史 43



图片索引

图 1.	电源方案	9
图 2.	上电复位 / 掉电复位波形	10
图 3.	PVD 阈值	11
图 4.	复位电路	11
图 5.	PDR_ON 简单电路示例 (STM32F411xx 和 STM32F446xx 不需要)	12
图 6.	PDR_ON 时序示例 (不按比例, STM32F411xx 和 STM32F446xx 不需要)	13
图 7.	NRST 电路示例 (仅用于 STM32F411xx 和 STM32F446xx)	14
图 8.	NRST 电路时序示例 (不按比例, 只适用于 STM32F411xx 和 STM32F446xx)	15
图 9.	BYPASS_REG 监控器复位连接	16
图 10.	STM32F4 系列的 LQFP64 封装兼容板设计	21
图 11.	STM32F4 系列的 LQFP100 封装兼容板设计	22
图 12.	STM32F4xx / STM32F446xx 兼容的电路板设计 用于 LQFP144 封装	22
图 13.	STM32F10xx/STM32F4xx 兼容的电路板设计 用于 LQFP64 封装	23
图 14.	STM32F10xx/STM32F2xx/STM32F4xx 兼容的电路板设计 用于 LQFP100 封装	23
图 15.	STM32F10xx/STM32F2xx/STM32F4xx 兼容的电路板设计 用于 LQFP144 封装	24
图 16.	STM32F2xx 和 STM32F4xx 兼容的电路板设计 用于 LQFP176 和 UFBGA176 封装	24
图 17.	STM32CubeMX 示例截图	25
图 18.	HSE 外部时钟	26
图 19.	HSE 晶振 / 陶瓷谐振器	26
图 20.	LSE 外部时钟	28
图 21.	LSE 晶振 / 陶瓷谐振器	28
图 22.	启动模式选择实现样例	30
图 23.	主机到板的连接	32
图 24.	JTAG 连接器实现	34
图 25.	V _{DD} /V _{SS} 引脚对的典型布局	36
图 26.	STM32F407IG (H6) 微控制器参考原理图	39

1 参考文档

以下文档可从 www.st.com 获得。

表 2. 参考文档

参考	标题
AN2867	ST 微控制器振荡器设计指南
AN2606	STM32 微控制器系统存储器自举模式
AN3364	STM32 微控制器应用移植和兼容性指南

2 电源

2.1 前言

工作电压 (V_{DD}) 范围是 1.8 V 到 3.6 V，正如产品数据手册所述，在某些约束条件下也可以降低至 1.7 V。内嵌的稳压器用于提供内部 1.2 V 数字电源。

当主电源 V_{DD} 断电时，可通过 V_{BAT} 电压为实时时钟 (RTC) 和备份寄存器供电。

2.1.1 独立 A/D 转换器电源和参考电压

为了提高转换精度，ADC 配有独立电源引脚，可以单独滤波并屏蔽 PCB 上的噪声。

- ADC 电压源从单独的 V_{DDA} 引脚输入。
- V_{SSA} 引脚提供了独立的电源接地连接
在所有情况下， V_{SSA} 引脚应该外部连接到相同的供电地，而不是 VSS。

在具有 100 个或更多引脚的封装上

为了确保测量低电压时具有更高的精度，用户可以在 V_{REF+} 上连接单独的 ADC 外部参考电压输入。 V_{REF+} 上的电压的取值范围是从 ($V_{DDA} - 1.2$ V) 到 V_{DDA} （最小值为 1.7 V）。

当存在 V_{REF-} 引脚时（取决于封装）， V_{REF-} 必须从外部连至 V_{SSA} 。

在具有少于 100 个引脚的封装上

当 V_{REF+} 引脚和 V_{REF-} 引脚没有引出时，它们内部连至 ADC 电源电压 (V_{DDA}) 和地 (V_{SSA})。

2.1.2 电池备份

为了在 V_{DD} 关闭后保留备份寄存器的内容，可以将 V_{BAT} 引脚连接到电池或其它电源供电的可选备用电压。

V_{BAT} 引脚还为 RTC 单元供电，因此即使当主数字供电 (V_{DD}) 关闭时 RTC 也能工作。 V_{BAT} 电源的开关由复位模块中内置的掉电复位 (PDR) 电路进行控制。

若应用中没有使用外部电池，则强烈建议将 V_{BAT} 外部连至 V_{DD} 。

2.1.3 调压器

此调压器在复位后始终处于使能状态。根据应用模式的不同，可采用三种不同的模式工作。

- 在运行模式中，调压器为 1.2 V 域（内核、存储器和数字外设）提供全功率。
- 在停止模式中，调压器为 1.2 V 域提供低功率，保留寄存器和 SRAM 中的内容。
- 在待机模式中，调压器掉电。除涉及待机电路和备份域外，寄存器和 SRAM 的内容都将丢失。

注： 根据不同的封装选择，为激活或停用稳压器，应将特定引脚连接到 V_{SS} 或 V_{DD} 。有关详细信息，请参见数据手册的稳压器部分。

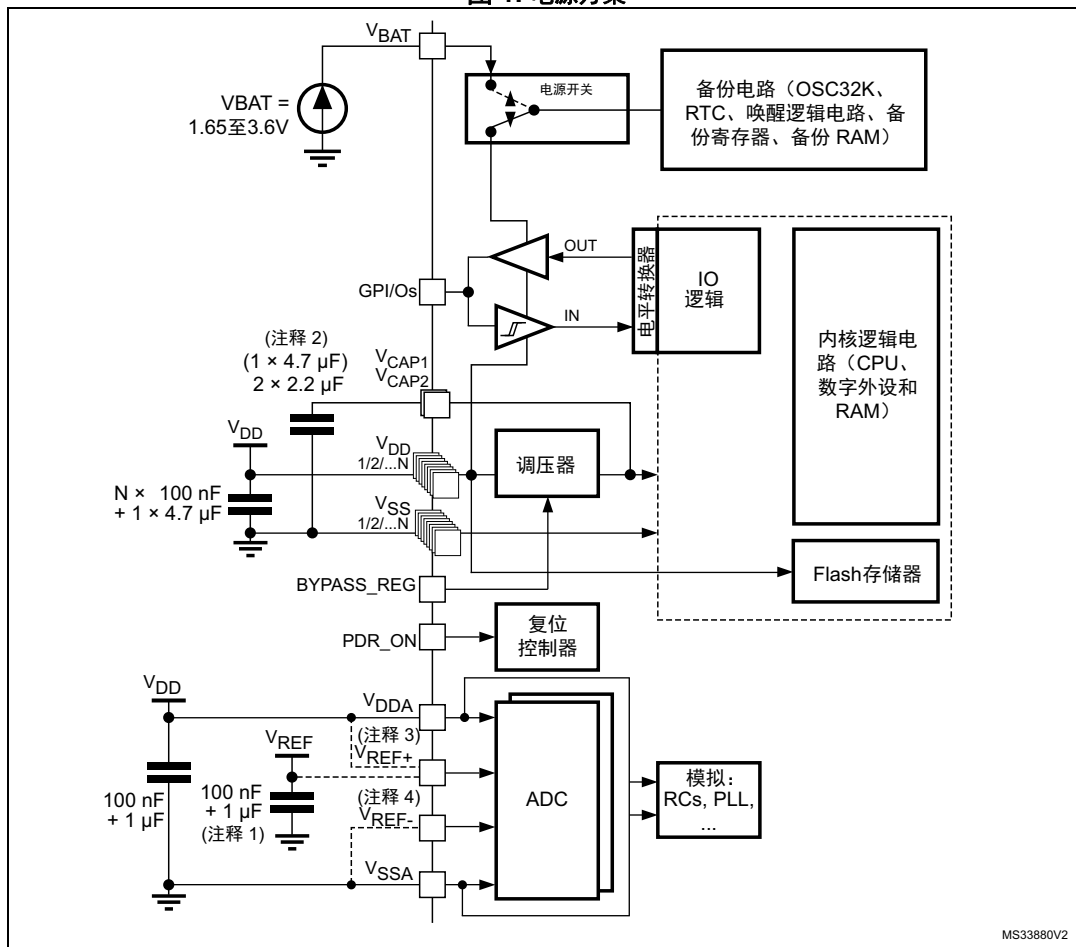
2.2 电源方案

电路由稳定的供电电源 V_{DD} 供电。

注意： V_{DD} 电压范围是 1.8 V 到 3.6 V（在某些限制下最小低至 1.7 V，更多信息请参见相关的数据手册）

- V_{DD} 引脚必须连接到外加去耦电容（一个单独的钽电容或者陶瓷电容（至少是 4.7 μ F，典型值为 10 μ F）+ 每一个单独的 V_{DD} 加一个 100 nF 的陶瓷电容）的 V_{DD} 电压上。
- V_{BAT} 引脚可连至外部电池 ($1.65\text{ V} < V_{BAT} < 3.6\text{ V}$)。如果没有使用任何外部电池，建议将该引脚连接到带有 100 nF 外部去耦陶瓷电容的 V_{DD} 上。
- V_{DDA} 引脚必须连至两个外部去耦电容（100 nF 陶瓷电容 + 1 μ F 钽电容或陶瓷电容）。
- V_{REF+} 引脚可连至 V_{DDA} 外部供电电源。若在 V_{REF+} 上施加了一个单独的外部参考电压，则必须将一个 100 nF 和一个 1 μ F 电容连至此引脚。在所有情况下， V_{REF+} 必须保持在 ($V_{DDA}-1.2\text{ V}$) 和 V_{DDA} （最小值为 1.7 V）。
- 必须保持在 1.65 V 和 V_{DDA} 之间。
- 可采用更多措施过滤模拟噪声：
 - V_{DDA} 可通过铁氧体磁环连至 V_{DD} 。
 - V_{REF+} 引脚可通过一个电阻连至 V_{DDA} 外部供电电源（典型值 47 Ω ）。
- 为激活或停用稳压器，必须将特定引脚 BYPASS_REG（不是所有的封装都有）连接到 V_{SS} 或 V_{DD} 。
 - 有关详细信息，请参见第 2.3.6 节和相关的器件数据手册的稳压器部分。
- 当稳压器开启时， V_{CAP1} 和 V_{CAP2} 引脚必须与 $2 \times 2.2\text{ }\mu\text{F LowESR} < 2\text{ }\Omega$ 陶瓷电容连接（或者如果在某些封装上只提供有 V_{CAP1} 引脚，那么与 $1 \times 4.7\text{ }\mu\text{F LowESR} < 1\text{ }\Omega$ 陶瓷电容连接）。

图 1. 电源方案



1. 可选。若在 V_{REF+} 上施加了一个单独的外部参考电压，则必须将一个 100 nF 和一个 1 μ F 电容连至此引脚。
2. V_{CAP2} 并不是在所有封装上都有。在这种情况下，一个单独的 4.7 μ F ($ESR < 1\Omega$) 电容连接到 VCAP1 上。
3. V_{REF+} 连至 V_{REF+} 或 V_{DDA} （取决于封装）。
4. V_{REF-} 连至 V_{REF-} 或 V_{SSA} （取决于封装）。
5. N 为 V_{DD} 和 V_{SS} 输入数目。
6. 若需连接 BYPASS_REG 和 PDR_ON 引脚，请参考数据手册（表 1）中的“稳压器”。

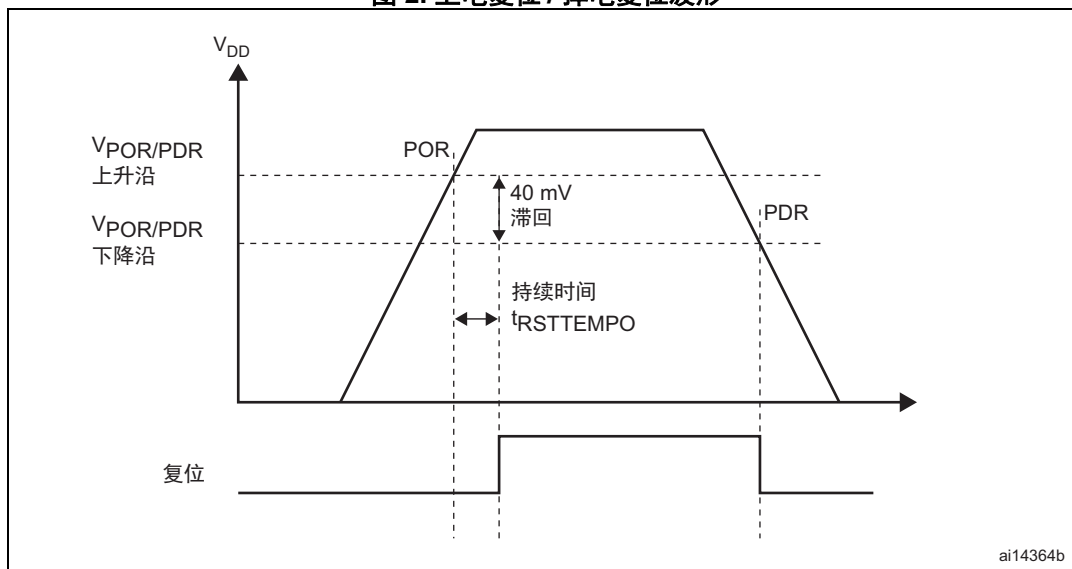
2.3 复位和电源监控

2.3.1 上电复位 (POR)/ 掉电复位 (PDR)

本器件内部集成有 POR/PDR 电路，可以从 1.8 V 开始正常工作。

当 V_{DD} 低于指定阈值 $V_{POR/PDR}$ 时，器件无需外部复位电路便会保持复位状态。有关上电 / 掉电复位阈值的相关详细信息，请参见产品数据手册的电气特性部分。

图 2. 上电复位 / 掉电复位波形



1. $t_{RSTTEMPO}$ 大约为 2.6 ms。 $V_{POR/PDR}$ 的上升沿为 1.74 V（典型值）， $V_{POR/PDR}$ 下降沿为 1.70 V（典型值）。有关实际值，请参见 STM32F4xxx 数据手册。

通过 PDR_ON 引脚可禁用内部上电复位（POR） / 掉电复位（PDR）电路。外部供电监控器应监控 V_{DD} ，应一直将器件保持在复位模式，直到 V_{DD} 高于指定门限。PDR_ON 应连至此外部电源监控器。详细信息，请参见[第 2.3.4 节](#)和[第 2.3.5 节](#)。

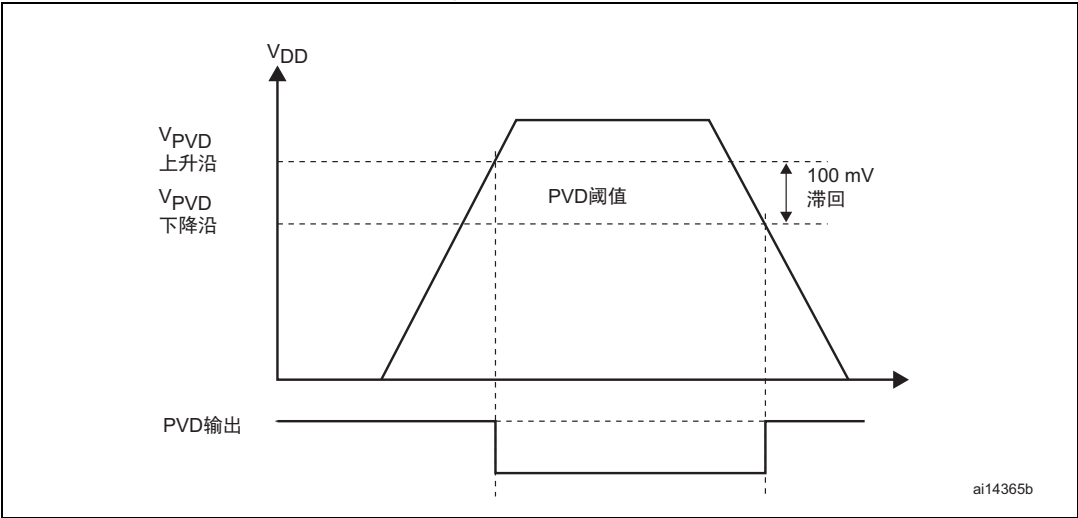
2.3.2 可编程电压检测器 (PVD)

可以使用 PVD 监视 V_{DD} 电源，将其与电源控制寄存器（PWR_CR）中 PLS[2:0] 位所选的阈值进行比较。

通过设置 PVDE 位来使能 PVD。

电源控制 / 状态寄存器（PWR_CR）中提供了 PVDO 标志，用于指示 V_{DD} 是大于还是小于 PVD 阈值。该事件内部连接到 EXTI 线 16，如果通过 EXTI 寄存器使能，则可以产生中断。当 V_{DD} 降至 PVD 阈值以下以及 / 或者当 V_{DD} 升至 PVD 阈值以上时，可以产生 PVD 输出中断，具体取决于 EXTI 线 16 上升沿 / 下降沿的配置。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 3. PVD 阈值



2.3.3 系统复位

除了时钟控制寄存器 CSR 中的复位标志和备份域中的寄存器外，系统复位会将其它全部寄存器都复位为复位值（请参见图 1）。

只要发生以下事件之一，就会产生系统复位：

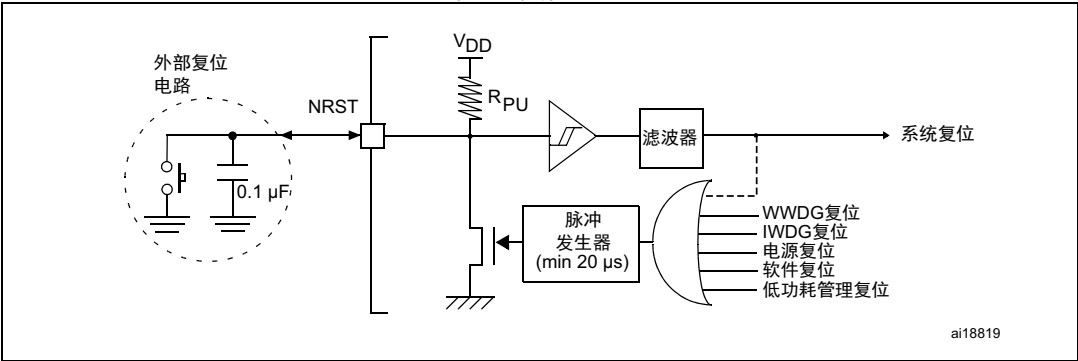
1. NRST 引脚低电平（外部复位）
2. 窗口看门狗计数结束（WWDG 复位）
3. 独立看门狗计数结束（IWDG 复位）
4. 软件复位（SW 复位）
5. 低功耗管理复位

可通过查看控制 / 状态寄存器（RCC_CSR）中的复位标志确定复位源。

表 1 中列举的产品不需外部复位电路即可正确上电。仅建议一个下拉电容以提高 EMS 性能，保护器件不受非正常的复位影响，参见图 4。

通过内部电阻对下拉电容充电和放电会增加器件功耗。该电容的建议值 (100 nF) 可降至 10 nF，以限制此功耗。

图 4. 复位电路



2.3.4 PDR_ON 电路示例

注：这个例子并不适用于 STM32F411xx 和 STM32F446xx，这些器件中的 PDR_ON 可以连接至 VSS，以永久禁用内部复位电路（NRST 引脚上要有外部电压监控器）。总之（由于向后兼容），为其它 STM32F4xxxx 产品建立的电路也可以用于 STM32F411xx 和 STM32F446xx。

注：如果您想使用与以下描述不同的电路，请联系您本地的意法半导体代表或者访问 www.st.com。

限制：

- PDR_ON = 0 主要针对在 1.7 V 和 1.9V 之间的 V_{DD} 供电情况（即 1.8V +/- 5% 电源）。供电电压可以由内部电路更好地控制，且永远不低于 1.8V（由于具有全嵌入式的复位控制器，因此不需要额外的元件）。
- 为了确保安全电源关闭，在电源关闭序列期间，要求外部电压监控器（或者等效的）驱动 PDR_ON=1。

当内部复位为 OFF 时，将不再支持下列集成特性：

- 集成的上电复位（POR）/ 掉电复位（PDR）电路禁用。
- 欠压复位（BOR）电路必须禁用。
- 嵌入式的可编程电压检测器（PVD）禁用。
- V_{BAT} 功能不再可用， V_{BAT} 引脚应连至 V_{DD} 。

图 5. PDR_ON 简单电路示例
(STM32F411xx 和 STM32F446xx 不需要)

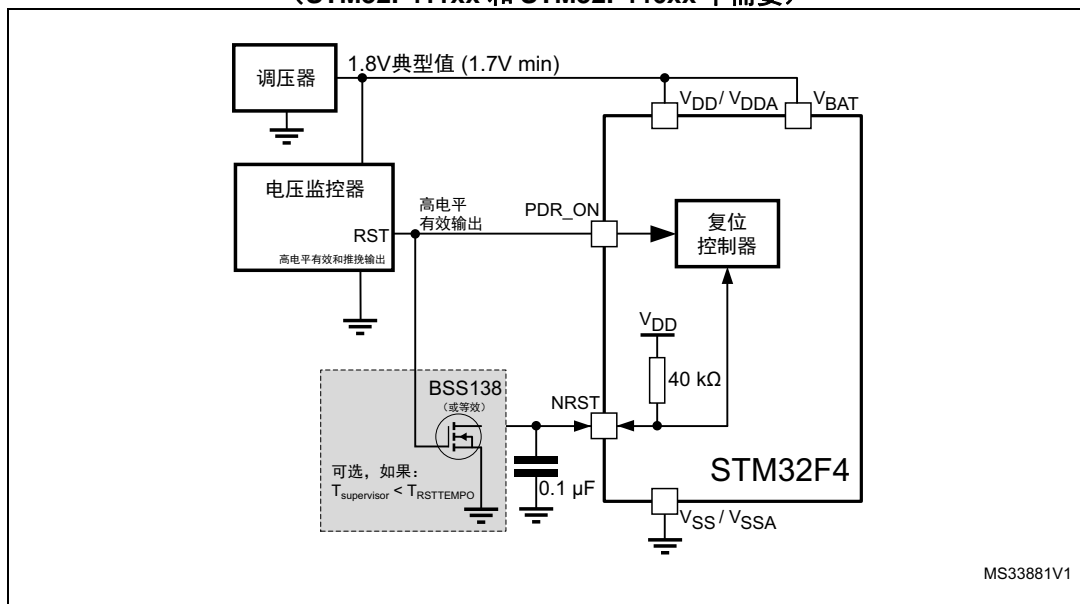
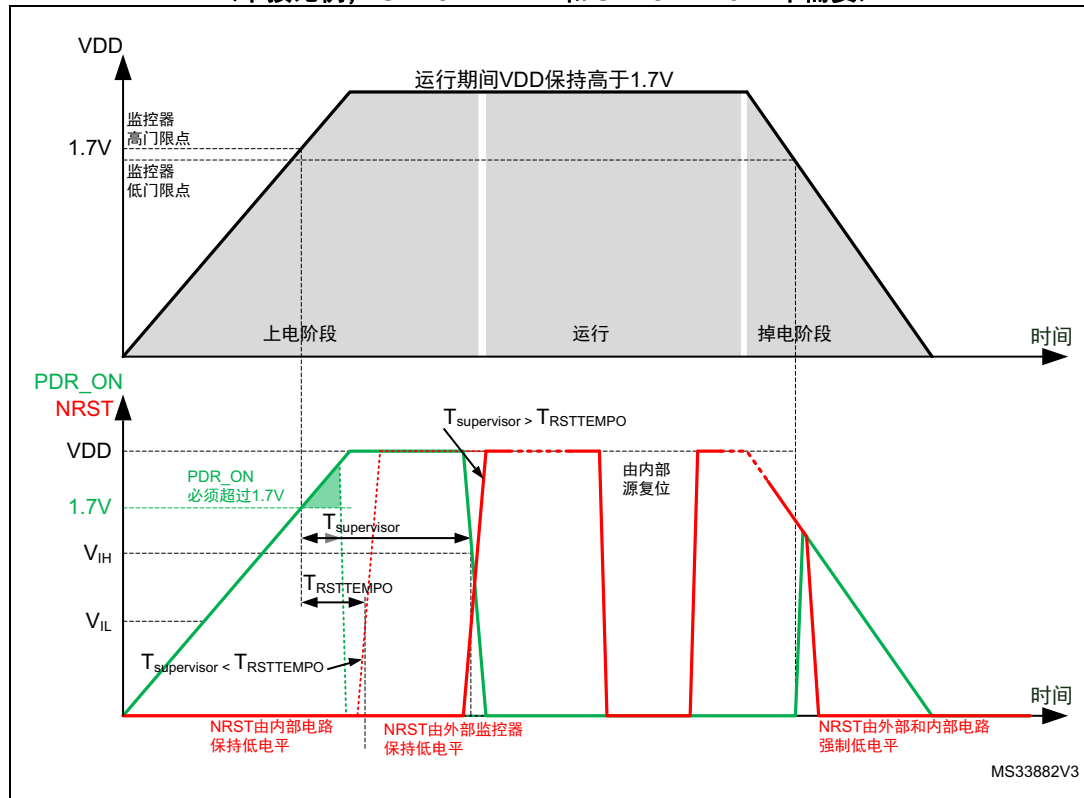


图 6. PDR_ON 时序示例
(不按比例, STM32F411xx 和 STM32F446xx 不需要)



PDR_ON 电压监控器的选择

电压监控器应该具有以下特性

- 复位输出为**高电平有效推挽输出**（当电压小于门限值时，输出驱动为高）
- 监控器的门限值（包括容限和迟滞）应该符合预期的 V_{DD} 范围。

注意到监控器参数通常指定电源下降沿的门限值，因此应添加迟滞以检查上电状态。

示例：

- 稳压器 $1.8V \pm 5\%$ 意味着 V_{DD} 最小值为 $1.71V$
- 监控器指定在 $1.66V \pm 2.5\%$ 并具有 0.5% 迟滞意味着
 - 上升触发最大值 = $1.71V$ ($1.66V + 2.5\% + 0.5\%$)
 - 下降触发最小值 = $1.62V$ ($1.66V - 2.5\%$)。

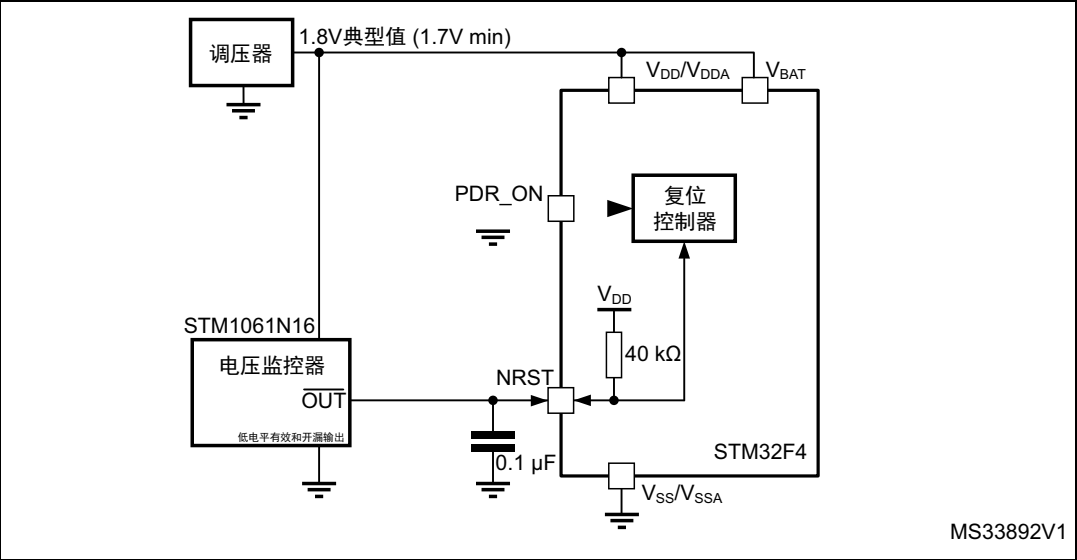
2.3.5 NRST 电路示例（仅用于 STM32F411xx 和 STM32F446xx）

这个例子适用于 STM32F411xx 和 STM32F446xx，这些器件中的 PDR_ON 可以连接至 VSS，以永久禁用内部复位电路。

限制：

- PDR_ON = 0 主要针对在 1.7 V 和 1.9V 之间的 V_{DD} 电源（即 1.8V +/- 5% 电源）。供电电压可以由内部电路更好地控制，且永远不低于 1.8V（由于具有全嵌入式的复位控制器，因此不需要额外的元件）。
- 当内部复位为 OFF 时，将不再支持下列集成特性：
 - 集成的上电复位（POR）/ 掉电复位（PDR）电路禁用。
 - 欠压复位（BOR）电路必须禁用。
 - 嵌入式的可编程电压检测器（PVD）禁用。
 - VBAT 功能不再可用，VBAT 引脚应连至 V_{DD} 。

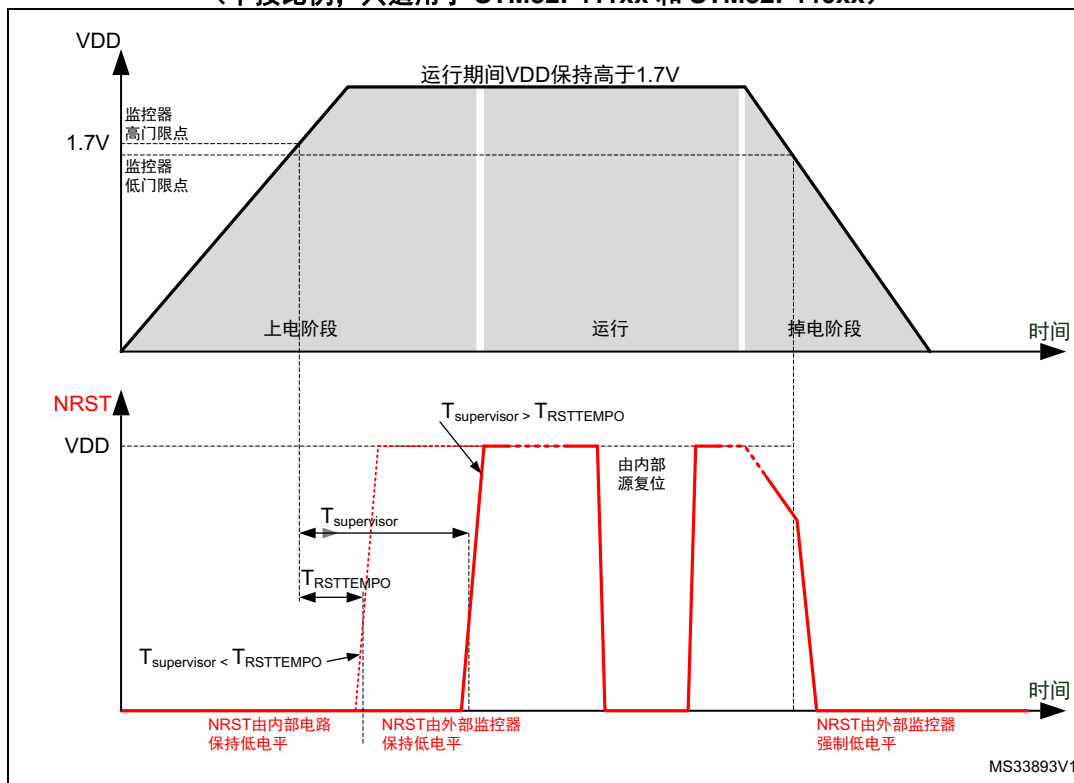
图 7. NRST 电路示例
(仅用于 STM32F411xx 和 STM32F446xx)



即使 PDR_ON=0，在上电时，NRST 由内部复位控制器驱动到低电平在 $T_{RSTTEMPO}$ 期间，以使内部模拟电路稳定。请参见 STM32F4xxxx 数据手册，以获得实际的时序值。



图 8. NRST 电路时序示例
(不按比例, 只适用于 STM32F411xx 和 STM32F446xx)



NRST 电压监控器的选择

电压监控器应该具有以下特性

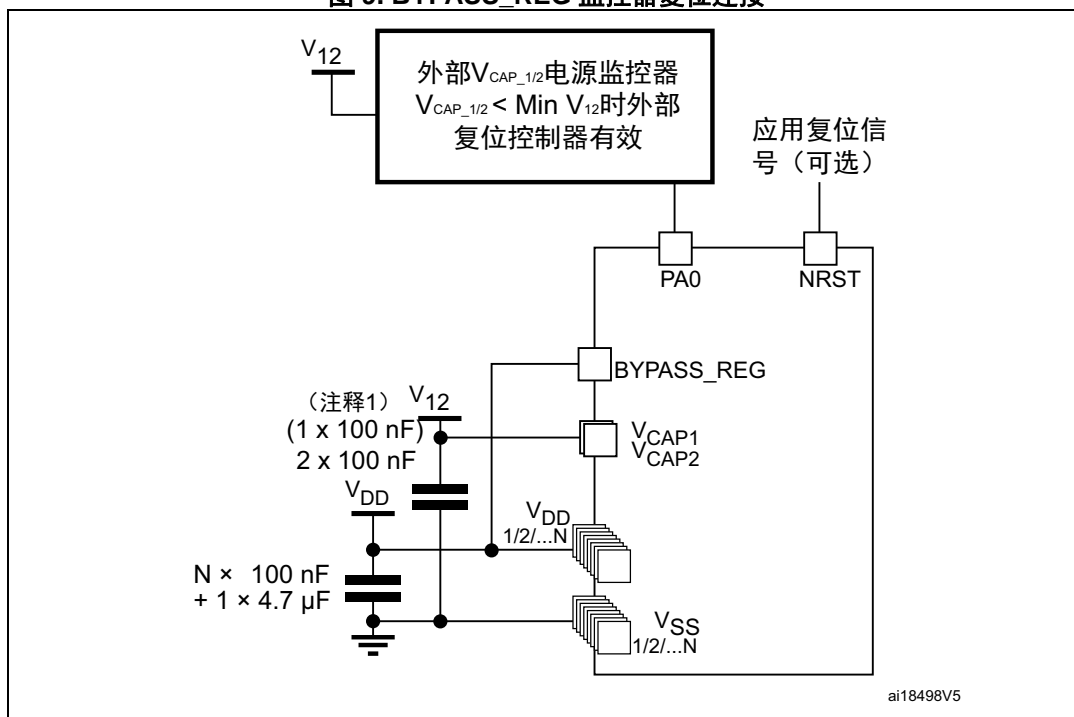
- 复位输出为**低电平开漏输出**（当电压小于门限点时，输出驱动为低）
- 监控器的门限点（包括容限和迟滞）应该符合预期的 V_{DD} 范围。
注意到监控器参数通常指定电源下降沿的门限点，因此应添加迟滞以检查上电状态。
以 STM1061N16 这颗低电压监测芯片为例：
 - 稳压器 $1.8\text{ V} \pm 5\%$ 意味着 V_{DD} 最小值为 1.71 V
 - 监控器指定在 $1.60\text{ V} \pm 2\%$ 并具有 5% 迟滞意味着
 - 上升触发最大值 = 1.71 V ($1.60\text{ V} + 2\% + 5\%$)
 - 下降触发最小值 = 1.57 V ($1.60\text{ V} - 2\%$)。

2.3.6 调压器 OFF 模式

有关详细信息，请参见数据手册的稳压器部分。

- 当 $BYPASS_REG = V_{DD}$ 时，内核供电应该由 V_{CAP1} 提供，并且 V_{CAP1} 的引脚连接到一起。
 - 两个 V_{CAP} 陶瓷电容应替换为两个 100 nF 去耦电容。
 - 因为内部电压分级并不在内部管理，所以外部电压值必须与目标的最大频率匹配。
 - 当内部调压器 OFF 时，V12 上不再有内部监控。应使用外部电源监控器来监控逻辑电源域的 V12 (V_{CAP})。
PA0 引脚应用于此目的，作为 V12 电源域上的上电复位。
- 在调压器 OFF 模式，不再支持下列特性：
 - PA0 不能用作 GPIO 引脚，因为它可复位一部分 V12 逻辑电源域，而该域不能由 NRST 引脚复位。
 - 当 PA0 为低电平时，不能在上电复位下使用调试模式。因此，若需要复位或预复位下的调试连接，则必须单独管理 PA0 和 NRST 引脚。
 - 超载和低载模式不可用。
 - 待机模式不可用。

图 9. BYPASS REG 监控器复位连接



1. V_{CAP2} 并不是在所有封装上都有。在这种情况下，只需要一个单独的 100 nF 去耦电容连接到 V_{CAP1} 上。

必须考虑以下条件：

- V_{DD} 应一直高于 V_{CAP_1} ，以防止电源域之间的电流注入。
- 若 V_{CAP} 达到 V_{12} 最小值的时间比 V_{DD} 达到 1.7 V 的时间更短，则 PA0 应保持为低电平直到满足两个条件： V_{CAP} 达到 V_{12} 最小值以及 V_{DD} 达到 1.7 V。
- 否则，若 V_{CAP} 达到 V_{12} 最小值的时间比 V_{DD} 达到 1.7 V 的时间短，则 PA0 应外部处于低电平。
- 如果 V_{CAP} 小于 V_{12} 的最小值以及 V_{DD} 高于 1.7 V，则 PA0 应外部处于低电平。

2.3.7 调压器 ON/OFF 及内部复位 ON/OFF 的可用性

表 3. 调压器 ON/OFF 及内部供电监控器的可用性

封装	引脚	调压器 ON	调压器 OFF	电源监控器 ON	电源监控器 OFF
4 边有引脚的封装	48	有 ⁽¹⁾	无	有 ⁽²⁾	无
	64				
	100				
	144				
	176	有 ⁽⁴⁾	有 ⁽⁵⁾	有 PDR_ON 设为 V _{DD}	有 PDR_ON 外部控制 ⁽³⁾
	208	有 ⁽¹⁾	无		
BGA 封装	100	有 ⁽⁴⁾	有 ⁽⁵⁾		
	144				
	169				
	176				
	216				
芯片尺寸封装	49	有 ⁽¹⁾	无		
	81	有 ⁽⁴⁾	有 ⁽⁵⁾		
	90				
	143				

1. BYPASS_REG 内部连接到 V_{SS}

2. PDR_ON 内部连接到 V_{DD}

3. 对于 STM32F411xx 和 STM32F446xx 器件，PDR_ON 可以永久设置为 VSS。对于其它器件，参见 2.3.4 节

4. BYPASS_REG 设为 V_{SS}

5. BYPASS_REG 设为 V_{DD}

3 封装

3.1 封装选择

封装选择应该考虑一些主要取决于应用的限制。

下面汇总了常见的一些限制：

- 需要的接口数量。
某些接口在有的封装上可能没有。
某些接口组合在有的封装上可能没有。
- PCB 技术限制。
窄间距和高焊球密度可能要求更多的 PCB 层数和更高级的 PCB
- 封装高度
- 可用的 PCB 面积
- 噪声发射或者高速接口的信号完整性。
更小的封装通常具有更好的信号完整性。由于窄间距和高焊球密度需要多层 PCB，这样可以有更好的电源 / 地分布，因此这一点得到进一步增强。
- 与其它器件的兼容性。

表 4. 封装总览（不包括 WCSP）

大小 (mm) ⁽¹⁾	7 x 7	10 x 10	14 x 14	7 x 7	20 x 20	7 x 7	10 x 10	24 x 24	7 x 7	10 x 10	28 x 28	13 x 13
脚间距 (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.8	0.5	0.5	0.65	0.5	0.8
高度 (mm)	0.6	1.6	1.6	0.6	1.6	0.6	0.6	1.6	0.6	0.6	1.6	1.1
销售序号	UFQFPN48	LQFP64	LQFP100	UFBGA100	LQFP144	UFBGA144 (0.5)	UFBGA144(0.8)	LQFP176	UFBGA169	UFBGA176+25	LQFP208	TFBGA216
STM32F405xx / 407xx / 415xx / 417xx	-	X	X	-	X	-	-	X	-	X	-	-
STM32F42xxx / 43xxx	-	-	X	-	X	-	-	X	X	X	X	X
STM32F401xB/C	X	X	X	X	-	-	-	-	-	-	-	-
STM32F401xD/E	X	X	X	X	-	-	-	-	-	-	-	-
STM32F411xx	X	X	X	X	-			-	-	-	-	-
STM32F446XX	-	X	X	-	X	X	X	-	-	-	-	-

1. 不包括引脚的大小

表 5. WCSP 封装总览

销售序号	球数目	大小 (mm)	脚间距 (mm)	高度 (mm)
STM32F405xx / 407xx / 415xx / 417xx	90	4.258 x 4.004	0.4	0.62
STM32F42xxx / 43xxx	143	4.556 x 5.582	0.4	0.585
STM32F401xB/C	49 ⁽¹⁾	3 x 3	0.4	0.585
STM32F401xD/E	49 ⁽¹⁾	3.064 x 3.064	0.4	0.585
STM32F411xx	49 ⁽¹⁾	3.034 x 3.22	0.4	0.585
STM32F446XX	81	3.648 X 3.770	0.4	0.585

1. 同样的焊球布局和焊球间距，只有改变了封装整体尺寸

3.2 引脚排列兼容性

表 6 允许根据要求的信号选择正确的封装。注意分别对应于 64 和 100 引脚的两种不同的排列，如果对板子兼容性有要求，它们需要特定的连接。见表 10 和 11。

注意，不同产品的芯片尺寸封装可能会具有不同的封装尺寸，即使它们具有相同的引脚排列，在 PCB 间距设定中可能需要考虑这一点。请参见表 5。

表 6. 引脚排列总览

引脚名称	xQFP/xQFN						xBGA					xCSP			
	48	64	100	144	176	208	100	144	169	176	216	49	81	90	143
IO 数量	36	51 ⁽¹⁾ 50 ⁽²⁾	82 ⁽¹⁾ 81 ⁽²⁾	114	140	168	81	114	130	140	168	36	63	72	114
是否有专用 IO															
PA0-WKUP	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PB2-BOOT1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PC13-ANTI_TAMP	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PC14-OSC32_IN	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PC15-OSC32_OUT	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PH0 - OSC_IN	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PH1 - OSC_OUT	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
PI8- ANTI TAMP2	-	-	-	-	X	X	-	-	-	X	X	-	-	-	-
系统相关引脚															
BOOT0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
NRST	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
BYPASS_REG	-	-	-	-	X		X	X	X	X	X		X	X	X
PDR_ON	-	-	-	X	X	X	X	X	X	X	X	X	X	X	X
电源引脚															
VBAT	X	X	X	X	X	X	X	X	X	X	X	X	-	X	X
VDDA	-	-	X	X	X	X	X	X	X	X	X	-	-	-	X
VREF+	-	-	X	X	X	X	X	X	X	X	X	-	-	-	X
VDDA/VREF+	X	X	-	-	-	-	-	-	-	-	-	X	X	X	
VSSA	-	-	-	-	-	-	X	X	X	X	X	-	-	-	-
VREF-	-	-	-	-	-	-	X	X	X	X	X	-	-	-	-
VSSA/VREF-	X	X	X	X	X	X	-	-	-	-	-	X	X	X	X
VDDUSB33	-	-	-	X ⁽³⁾	-	-	-	X	-	-	-	-	X	-	-
VDD 数量 ⁽⁴⁾	3	4	6	12 ⁽¹⁾ 11 ⁽⁵⁾	15	17	4	12	14	14	18	3	5	5	13

表 6. 引脚排列总览（续）

引脚名称	xQFP/xQFN						xBGA					xCSP			
	48	64	100	144	176	208	100	144	169	176	216	49	81	90	143
VSS 数量	3	2 ⁽¹⁾ 4 ⁽³⁾	4 ⁽¹⁾ 5 ⁽³⁾	9	11	14	4	7	10	11	19	3	4	4	6
VCAP1	X	X	X	X	X	X	X	X	-	X	-	X	X	X	X
VCAP2	-	X ⁽¹⁾	X	X	X	X	X	X	-	X	-	-	X	X	X

- 1. 适用于 STM32F405xx / F407xx / F415xx / F417xxx / F427xx / F429xx / F437xx / F439xx。
- 2. STM32F401xx / F411xx 的 64 和 100 引脚 xQFP/xQFN 封装中没有 PB11。
- 3. 适用于 STM32F401xx / F411xx。
- 4. 一个单独钽电容或者陶瓷电容（最小值 4.7μF，典型值 10μF）+ 每个 V_{DD} 引脚一个 100 nF 陶瓷电容。
- 5. 适用于 STM32F446xx。

3.2.1 STM32F4x 系列兼容性

图 10. STM32F4 系列的 LQFP64 封装兼容板设计

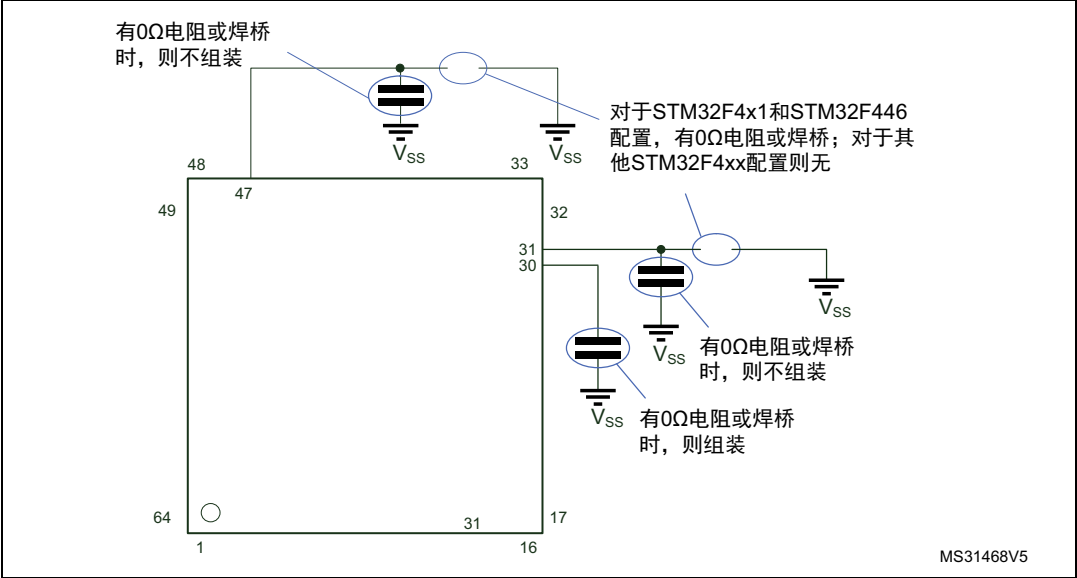


图 11. STM32F4 系列的 LQFP100 封装兼容板设计

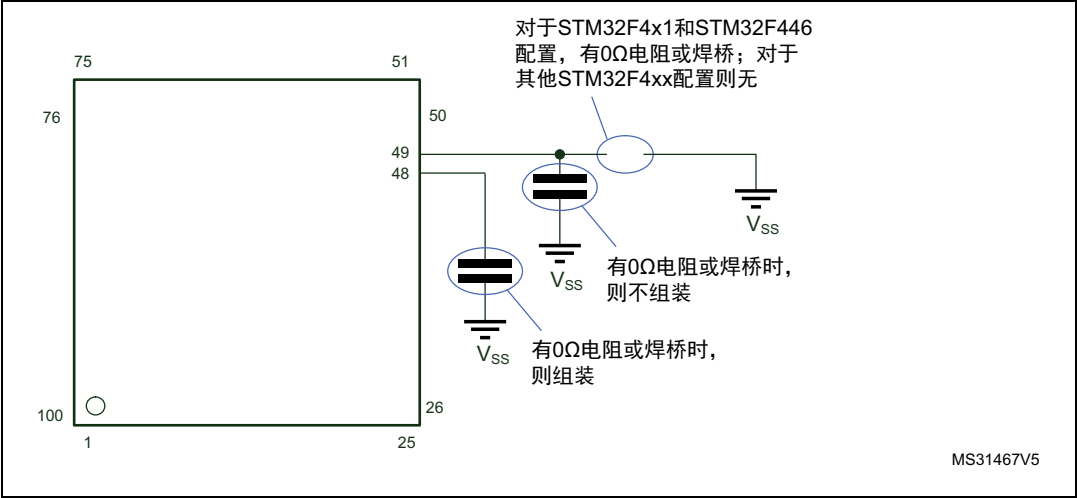
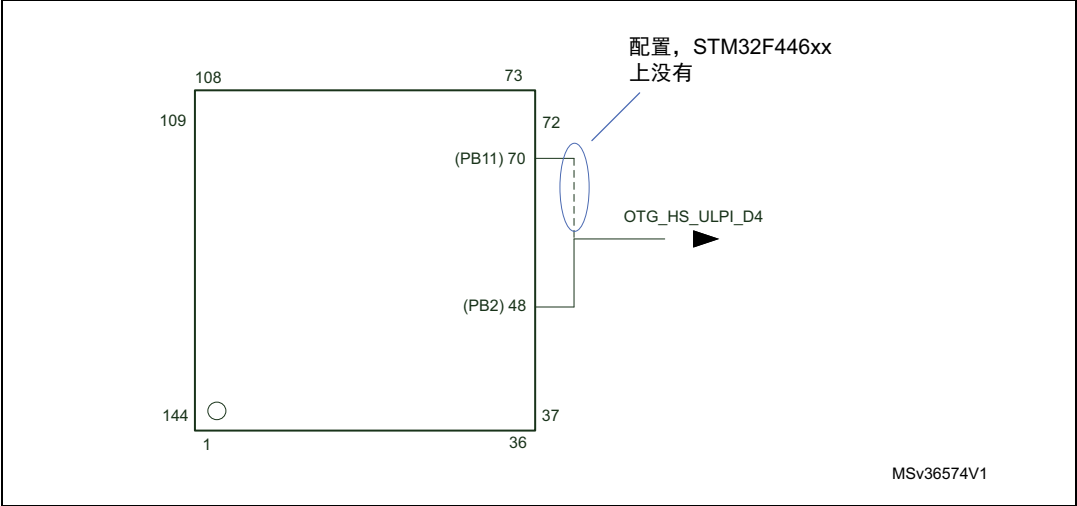


图 12. STM32F4xx / STM32F446xx 兼容的电路板设计
用于 LQFP144 封装



3.2.2 STM32F1x 和 STM32F2x 系列兼容性

图 13. STM32F10xx/STM32F4xx 兼容的电路板设计
用于 LQFP64 封装

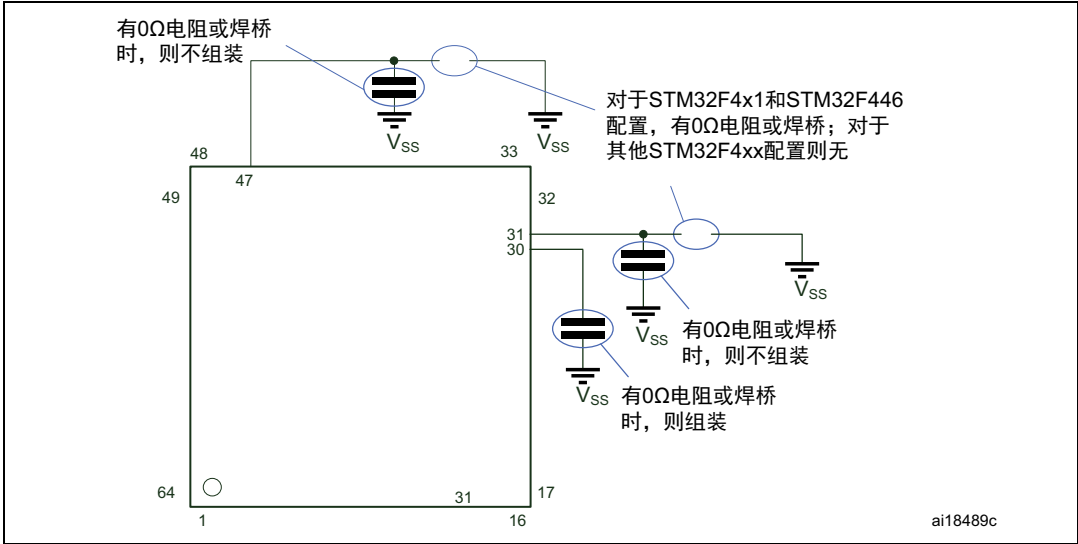


图 14. STM32F10xx/STM32F2xx/STM32F4xx 兼容的电路板设计
用于 LQFP100 封装

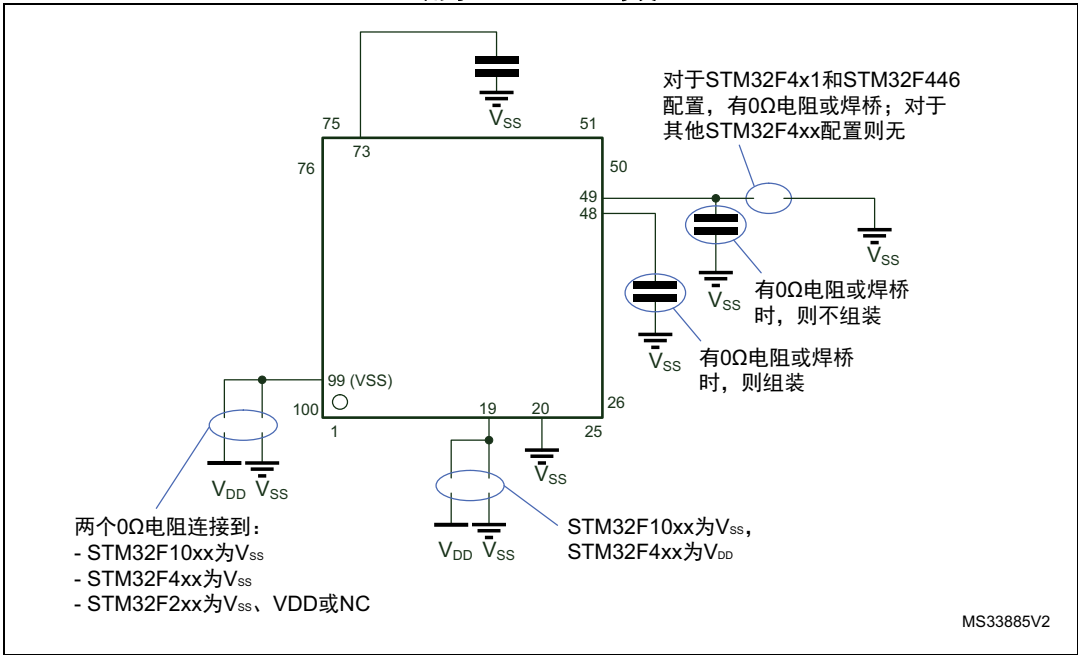


图 15. STM32F10xx/STM32F2xx/STM32F4xx 兼容的电路板设计
用于 LQFP144 封装

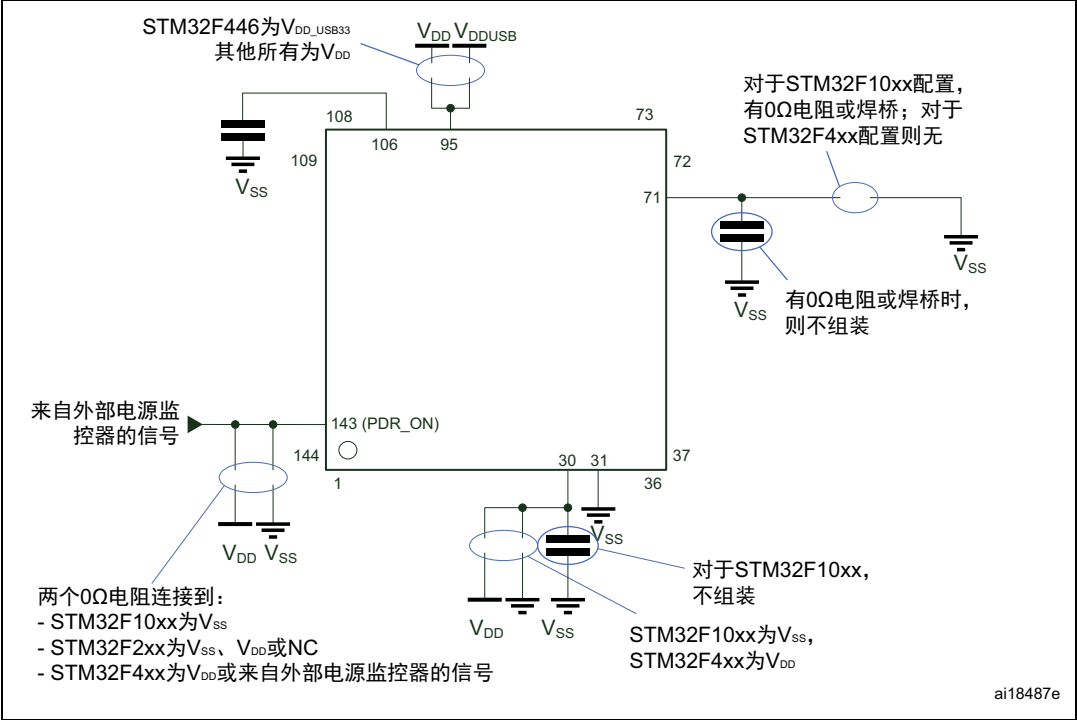
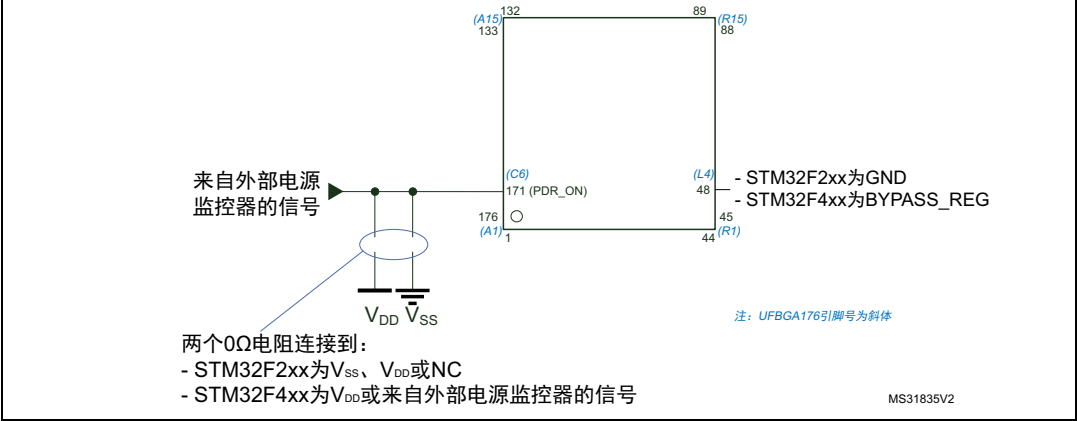


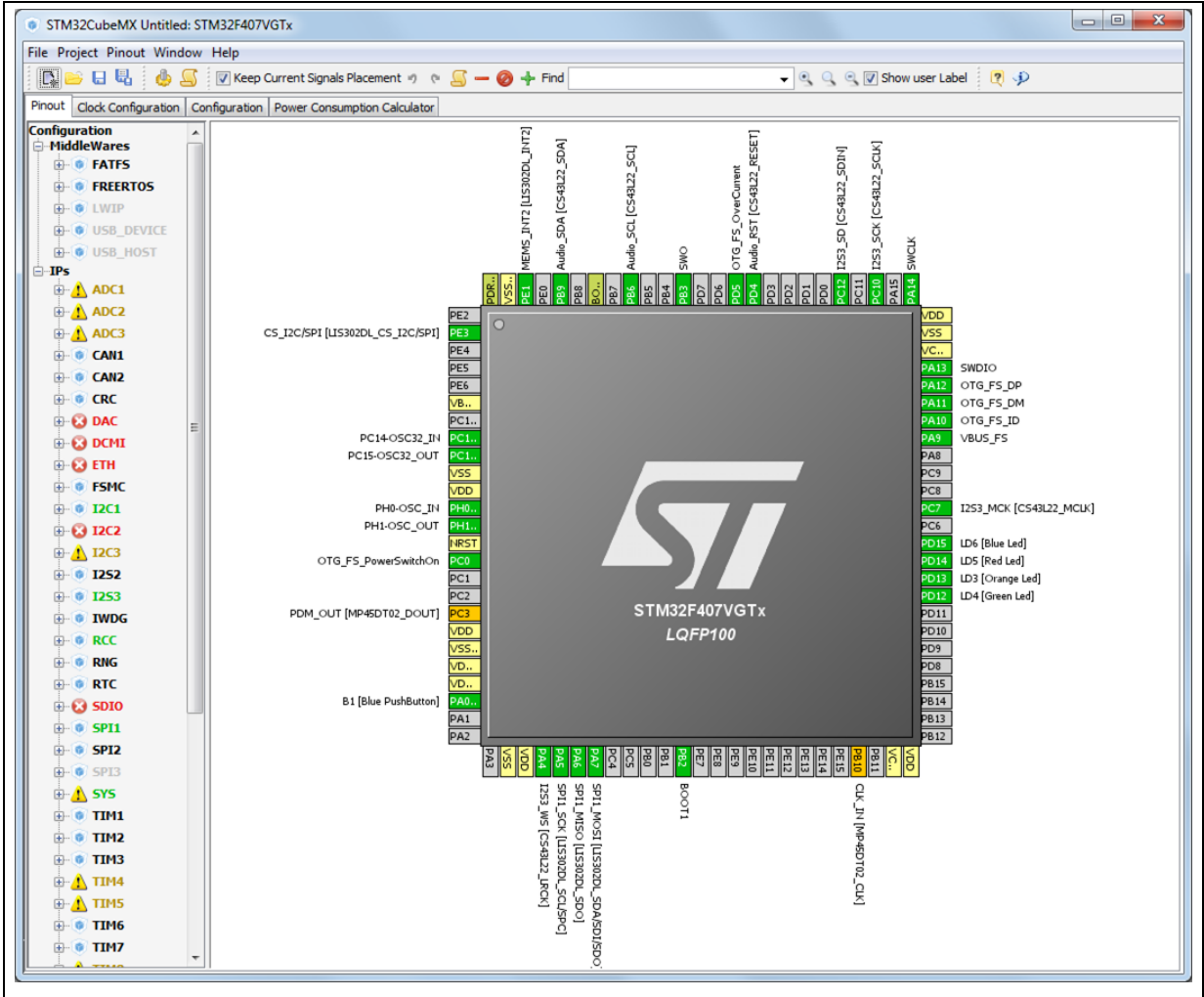
图 16. STM32F2xx 和 STM32F4xx 兼容的电路板设计
用于 LQFP176 和 UFBGA176 封装



3.3 引脚复用映射

为了更容易地探索外设复用映射，建议使用 STM32CubeMX 工具，该工具可以在 www.st.com 上获得。

图 17. STM32CubeMX 示例截图



4 时钟

可以使用三种不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI 振荡器时钟 (高速内部时钟信号)
- HSE 振荡器时钟 (高速外部时钟信号)
- PLL 时钟

器件具有两个次级时钟源:

- 32 kHz 低速内部 RC (LSI RC), 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停机 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于驱动实时时钟 (RTCCLK)

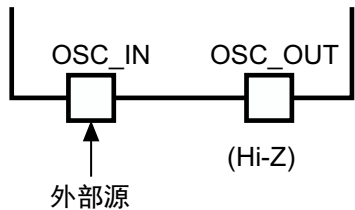
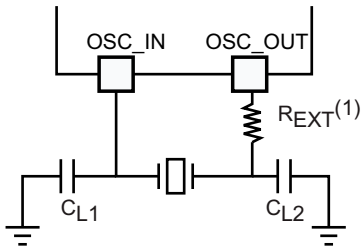
对于每个时钟源来说, 在未使用时都可单独打开或者关闭, 以降低功耗。

若需时钟树的说明, 请参考参考手册。

4.1 HSE OSC 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源:

- HSE 用户外部时钟 (参见图 18)
- HSE 外部晶振 / 陶瓷谐振 (参见图 19)

图 18. HSE 外部时钟	图 19. HSE 晶振 / 陶瓷谐振器
<p>硬件配置</p>  <p>ai14369</p>	<p>硬件配置</p> <p>STM32F</p>  <p>ai14370a</p>

1. R_{EXT} 的值取决于晶振特性。典型值的范围为 5 至 6 R_S (谐振串联电阻)。
2. 负载电容 C_L 的公式如下: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 为引脚电容以及与电路板或 PCB 走线相关的电容。典型情况下, 它在 2 pF 和 7 pF 之间。请参考第 7 节: 建议第 35 页以使其值最小。

4.1.1 外部源（HSE 旁路）

在此模式下，必须提供外部时钟源。它的频率可以是 1 到 50 MHz（参考 STM32F4xxx 数据手册获取实际最大值）。

必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，同时 OSC_OUT 引脚必须保持为高阻态（请参见图 19 和图 18）。

4.1.2 外部晶振 / 陶瓷谐振器（HSE 晶振）

外部振荡器频率范围为 4 至 26 MHz。

外部振荡器的优点是主时钟精度非常高。相关的硬件配置如图 19 所示。使用一个 25 MHz 的振荡器频率对于得到精确的以太网、USB OTG 高速外设和 I2S 是一个好的选择。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

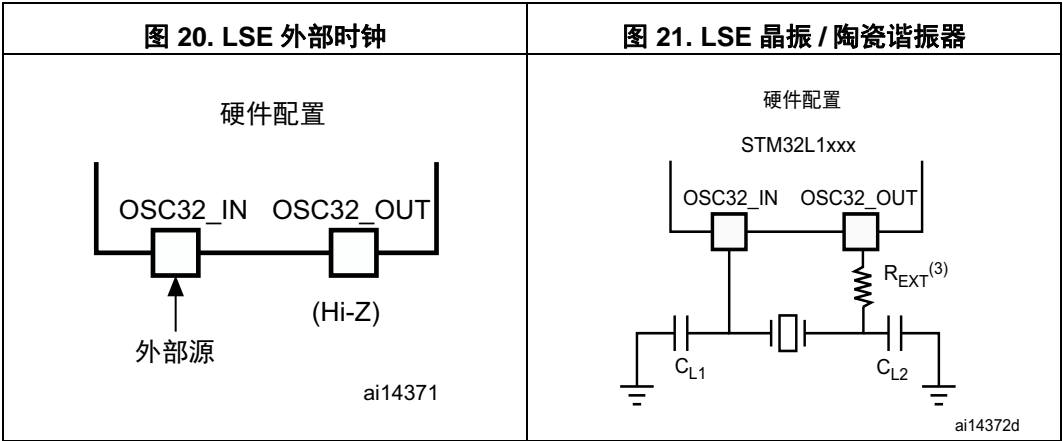
对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 pF 到 25 pF（典型值）之间的高质量陶瓷电容。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10 pF）。

更多信息请参考专用应用笔记（AN2867 - ST 微控制器振荡器设计指南）和您的产品数据手册的电气特性部分。

4.2 LSE OSC 时钟

低速外部时钟信号 (LSE) 有 2 个时钟源：

- LSE 用户外部时钟（参见图 20）
- LSE 外部晶振 / 陶瓷谐振（参见图 21）



1. “LSE 晶振 / 陶瓷谐振器” 图片：
为避免超过 C_{L1} 和 C_{L2} 的最大值（15 pF），强烈建议使用负载电容 $C_L \leq 7$ pF 的谐振器。永远不要使用负载电容为 12.5 pF 的谐振器。
2. “LSE 外部时钟” 和 “LSE 晶振 / 陶瓷谐振器” 图片：
OSC32_IN 和 OSC32_OUT 引脚也可用作 GPIO，但建议在同一应用中不要既用作 RTC 又用作 GPIO 引脚。
3. “LSE 晶振 / 陶瓷谐振器” 图片：
 R_{EXT} 的值取决于晶振特性。一个 0 Ω 电阻可能有用，但是不一定最佳。若需精调 R_S 的值，请参考 AN2867 - ST 微控制器振荡器设计指南（表 2）。

4.2.1 外部源（LSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC32_IN 引脚，同时 OSC32_OUT 引脚必须保持为高阻抗（请参见图 20）。

4.2.2 外部晶振 / 陶瓷谐振器（LSE 晶振）

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器。可作为实时时钟外设 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

更多信息请参考专用应用笔记（AN2867 - ST 微控制器振荡器设计指南）和您的产品数据手册的电气特性部分。

4.3 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。

- 若 HSE 振荡器时钟上检测到故障，则振荡器自动禁用。一个时钟故障事件将被发送到高级控制定时器 TIM1 的断路输入，并且同时生成一个中断来向软件通知此故障（时钟安全系统中断，CSSI），以使 MCU 能够执行救援操作。CSSI 与 Cortex®-M4 NMI（不可屏蔽中断）异常向量相链接。
- 如果直接或间接使用 HSE 振荡器作为系统时钟（间接是指它用作 PLL 输入时钟，PLL 时钟用作系统时钟），检测到故障时会导致系统时钟切换到 HSI 振荡器并禁用外部 HSE 振荡器。当故障发生时，若 HSE 振荡器时钟（分频或不分频）为正在用作系统时钟的 PLL 时钟输入，则也会禁用该 PLL。

更多信息请见参考手册，可以从意法半导体网站 www.st.com 上获得。

5 自举配置

5.1 自举模式选择

在 STM32F4xxxx 中，可通过 BOOT[1:0] 引脚选择三种不同的自举模式，如 表 7 所示。

表 7. 自举模式

自举模式选择引脚		启动模式	自举空间
BOOT1	BOOT0		
x	0	主 Flash	选择主 Flash 作为自举空间
0	1	系统存储器	选择系统存储器作为自举空间
1	1	嵌入式 SRAM	选择嵌入式 SRAM 作为自举空间

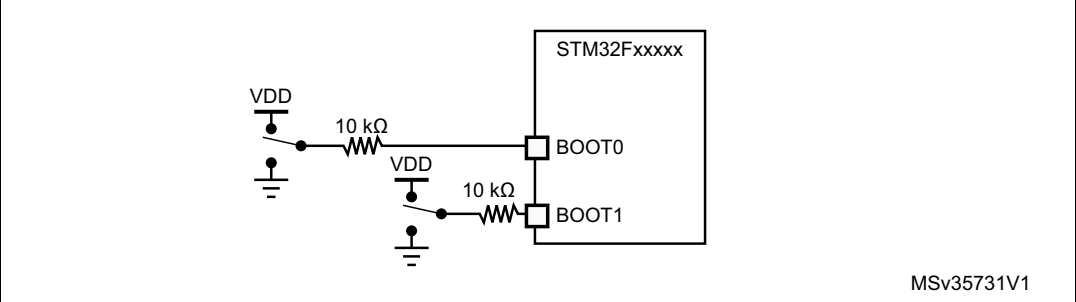
复位后，在 SYSCLK 的第四个上升沿锁存 BOOT 引脚的值。复位后，用户可以通过设置 BOOT1 和 BOOT0 引脚来选择需要的自举模式。

退出待机模式时，还会对 BOOT 引脚重新采样。因此，当处于待机模式时，这些引脚必须保持所需的自举模式配置。这样的启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

5.2 自举引脚连接

图 22 显示了选择 STM32F4xxxx 的自举存储器所需的外部连接。

图 22. 启动模式选择实现样例



1. 电阻值仅作为典型举例给出。

5.3 嵌入式自举模式

嵌入式自举程序位于片内引导程序中，由 ST 在生产阶段编程。

有关详细信息，请参见应用笔记 AN2606（[表 2](#)）。

USART 外设依靠内部 16 MHz 振荡器 (HSI) 运行。尽管如此，CAN 和 USB OTG FS 只能在一个频率为 1 MHz 整数倍的外部时钟（在 4 和 26 MHz 之间）存在时工作。

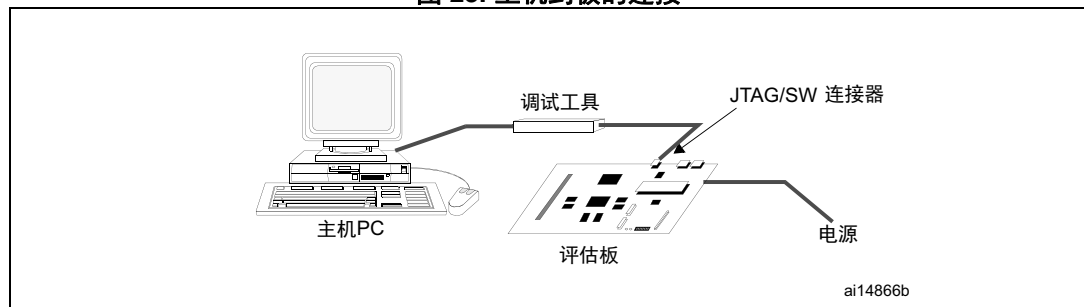
6 调试管理

6.1 前言

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、JTAG 或 SW 连接器，以及连接主机与调试工具的电缆。

图 23 显示了主机到评估板的连接。

图 23. 主机到板的连接



6.2 SWJ 调试端口（串行接口和 JTAG）

STM32F4xxxx 内核集成了串行 /JTAG 调试端口 (SWJ-DP)。该端口是 ARM® 标准 CoreSight™ 调试端口，具有 JTAG-DP（5 引脚）接口和 SW-DP（2 引脚）接口。

- JTAG 调试端口 (JTAG-DP) 提供用于连接到 AHP-AP 端口的 5 引脚标准 JTAG 接口。
- 串行线调试端口 (SW-DP) 提供用于连接到 AHP-AP 端口的 2 引脚（时钟 + 数据）接口。

在 SWJ-DP 中，SW-DP 的 2 个 JTAG 引脚与 JTAG-DP 的 5 个 JTAG 引脚中的部分引脚复用。

6.3 引脚排列和调试端口引脚

STM32F4xxxx MCU 的不同封装有不同的有效引脚数。因此，一些与引脚可用性有关的功能可能会因封装不同而不同。

6.3.1 SWJ 调试端口引脚

五个引脚被用作 SWJ-DP 的端口，作为通用 I/O（GPIO）的复用功能。所有封装（如表 8 所示）都提供这些引脚。

表 8. 调试端口引脚分配

SWJ-DP 引脚名称	JTAG 调试端口		SW 调试端口		引脚分配
	类型	说明	类型	调试分配	
JTMS/SWDIO	I	JTAG 测试模式选择	I/O	串行线数据输入 / 输出	PA13
JTCK/SWCLK	I	JTAG 测试时钟	I	串行线时钟	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO/TRACESWO	O	JTAG 测试数据输出	-	TRACESWO (如果使能异步跟踪)	PB3
JNTRST	I	JTAG 测试 nReset	-	-	PB4

6.3.2 灵活的 SWJ-DP 引脚分配

复位 (SYSRESETn 或 PORESETn) 后, 会将用于 SWJ-DP 的全部 5 个引脚指定为专用引脚, 可供调试工具立即使用 (请注意, 除非由调试工具明确编程, 否则不分配跟踪输出)。

然而, 表 9 中显示的一些 JTAG 引脚可通过 GPIOx_AFRx 寄存器配置为复用功能。

表 9. 用到的 SWJ I/O 引脚

可用的调试端口	用到的 SWJ I/O 引脚				
	PA13/ JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ JNTRST
全部 SWJ (JTAG-DP + SW-DP) - 复位状态	X	X	X	X	X
全部 SWJ (JTAG-DP + SW-DP), 但不包括 JNTRST	X	X	X	X	
禁止 JTAG-DP 和使能 SW-DP	X	X			
禁止 JTAG-DP 和禁止 SW-DP	已释放				

表 9 显示了释放一些引脚的多种可能。

更多信息请见参考手册 (表 1), 可以从意法半导体网站 www.st.com 上获得。

6.3.3 JTAG 引脚上的内部上拉和下拉

JTAG 输入引脚不得悬空, 因为这些引脚直接连接到用于控制调试模式功能的触发器。还必须特别注意 SWCLK/TCK 引脚, 该引脚直接连接到一些触发器的时钟。

为避免 I/O 电平浮空，STM32F4xxxx 在 JTAG 输入引脚上内置有内部上拉和下拉电阻：

- JNTRST：内部上拉
- JTDI：内部上拉
- JTMS/SWDIO：内部上拉
- TCK/SWCLK：内部下拉

用户软件释放 JTAG I/O 后，GPIO 控制器便会再次取得控制权。GPIO 控制寄存器的复位状态会将 I/O 置于：

- JNTRST：输入上拉
- JTDI：输入上拉
- JTMS/SWDIO：输入上拉
- JTCK/SWCLK：输入下拉
- JTDO：输入浮空

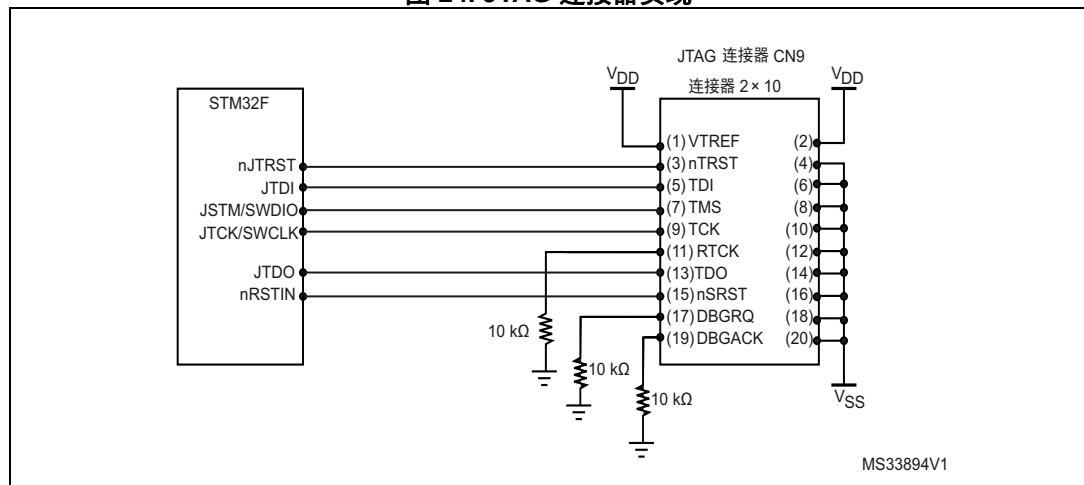
软件可以把这些 I/O 口作为普通的 I/O 口使用。

注： JTAG IEEE 标准建议在 TDI、TMS、nTRST 上增加上拉电阻，但对 TCK 没有特殊建议。然而，对于 STM32F4xxxx，有一个集成的下拉电阻用于 JTCK。由于带有上拉和下拉电阻，因此无需添加外部电阻。

6.3.4 使用标准 JTAG 连接器的 SWJ 调试端口连接

图 24 显示了 STM32F4xxxx 和标准 JTAG 连接器之间的连接。

图 24. JTAG 连接器实现



7 建议

7.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

7.2 元件位置

为了减少 PCB 上的交叉耦合，PCB 的初始布局必须对不同的电路的 EMI 贡献进行区分，不同的电路包括噪声、高电流电路、低电压电路和数字部分。

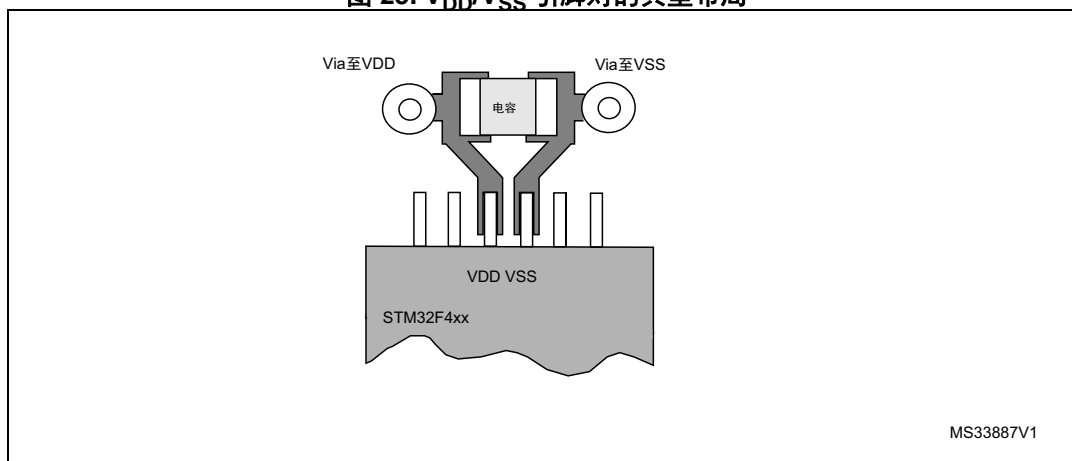
7.3 接地和供电（ V_{SS} 、 V_{DD} ）

每个块（噪声、底层敏感、数字等等）都应单独接地，所有接地返回都应为一个点。必须避免出现环，或使环有最小面积。供电应靠近地线实现，以最小化供电环的面积。这是因为供电环的行为类似天线，因此它是 EMI 的主要发送者和接收者。所有无元件的 PCB 区域必须用额外的接地填充，以创造屏蔽（尤其是使用单层 PCB 时）。

7.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电电源对都应使用滤波陶瓷电容（100 nF）及单独的钽电容或陶瓷电容去耦（最小值 4.7 μ F，典型值 10 μ F），两个电容并联。这些电容应放置在 PCB 下侧尽可能接近或低于适当引脚的位置。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。图 25 显示了这种 V_{DD}/V_{SS} 对的典型布局。

图 25. V_{DD}/V_{SS} 引脚对的典型布局

7.5 其它信号

当设计应用时，可仔细研究下述信号以提高 EMC 性能：

- 临时扰动会永久影响运行过程的信号（中断和握手选通信号就是这个情况，但 LED 指令不是这个情况）。
对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
对于数字信号，两个逻辑状态必须达到可能的最佳电气边界，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（时钟等）
- 敏感信号（高阻等）

7.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。

为了提高 EMC 性能，不使用的时钟、计数器、I/O 都不应浮空，例如，I/O 应该设置为 0 或者 1（上拉或者下拉至不用的 I/O 引脚），并且不使用的特性应被冻结或禁用。

8 参考设计

8.1 说明

[图 26](#) 中所示的参考设计基于 STM32F407IG(H6)，它是高度集成的微控制器，运行于 168 MHz，它结合了 Cortex[®]-M4 32 位 RISC CPU 内核、1 MB 的嵌入式 Flash 存储器、192+4 KB 的 SRAM，该 SRAM 包括 64 KB 的 CCM（内核耦合存储器）数据 RAM。

参考设计预期的工作电压 V_{DD} 是从最小值 1.8V 开始 ($PDR_ON = VDD_MCU$)，并且使用嵌入式稳压器为内核 1.2V 供电 ($BYPASS_REG = GND$)，尽管改变 JP1 跳线可以使 $BYPASS_REG = VDD_MCU$ ，却没有 [第 2.3.6 节](#) 中描述的额外硬件。

使用 [表 12：所有封装的参考连接](#) 中给出的引脚对应关系，可针对 [表 1](#) 中列出的其他任何器件定制此参考设计。

8.1.1 时钟

微控制器使用两个时钟源：

- LSE: X2 - 32.768 kHz 晶振用于嵌入式 RTC。
- HSE: X1 - 25 MHz 晶振用于 STM32F4xxxx 微控制器

请参见 [第 4 节：时钟 第 26 页](#)。

8.1.2 复位

[图 26](#) 中的复位信号为低电平有效。复位源包括：

- 复位按钮 (B1)
- 调试工具通过连接器 CN1 连接

请参见 [第 2.3 节：复位和电源监控 第 10 页](#)。

8.1.3 启动模式

通过设置开关 SW2 (Boot 0) 和 SW1 (Boot 1) 配置自举选项。请参见 [第 5 节：自举配置 第 30 页](#)。

注：在低功耗模式（特别是待机模式）下，自举模式是强制的，以便与工具连接（器件应该从 SRAM 自举）。

8.1.4 SWJ 接口

参考设计显示了 STM32F4xxxx 和标准 JTAG 连接器之间的连接。请参见 [第 6 节：调试管理 第 32 页](#)。

注：建议连接复位引脚，以便能从工具复位应用。

8.1.5 电源

请参见 [第 2 节：电源 第 7 页](#)。

8.2 元件参考

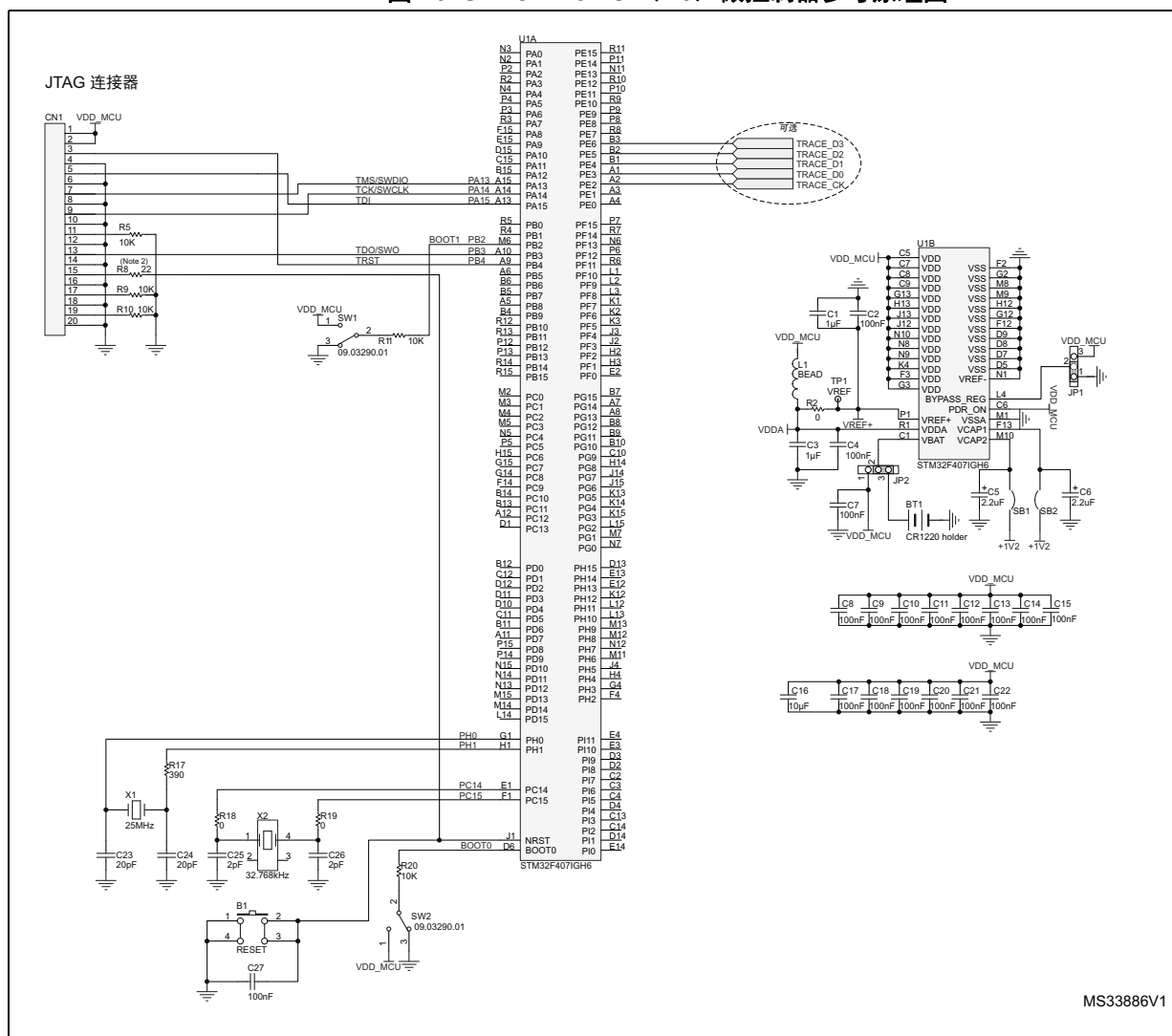
表 10. 必备元件

Id	元件名称	参考	数量	注释
1	微控制器	STM32F407IG(H6)	1	UFBGA176 封装
2	电容	100 nF	14	陶瓷电容（去耦电容）
3	电容	10 μ F	1	陶瓷电容（去耦电容）

表 11. 可选元件

Id	元件名称	参考	数量	注释
1	电阻	10 k Ω	5	用于 JTAG 和自举模式的上拉和下拉电阻。
2	电阻	390 Ω	1	用于 HSE：值取决于晶振特性。此电阻值仅为典型举例。
3	电阻	0 Ω	3	用于 LSE：值取决于晶振特性。此电阻值仅为典型举例。 用作 VDDA 和 V _{REF} 之间的星形连接点。
4	电容	100 nF	4	陶瓷电容
5	电容	2 pF	2	用于 LSE：值取决于晶振特性。
6	电容	1 μ F	2	用于 VDDA 和 V _{REF} 。
7	电容	2.2 μ F	2	用于内部稳压器（当其开启的时候）。
8	电容	20 pF	2	用于 HSE：值取决于晶振特性。
9	石英	25 MHz	1	用于 HSE。
10	石英	32.768 kHz	1	用于 LSE。
11	JTAG 连接器	HE10-20	1	
12	电阻	22 Ω	1	调试器复位连接
13	嵌入式	3V	1	若应用中没有使用外部电池，则建议将 V _{BAT} 外部连至 V _{DD} 。
14	开关	SPDT	2	用于选择正确的自举模式。
15	按钮	B1	1	复位按钮
16	跳线	3 个引脚	2	用于选择 V _{BAT} 源和 BYPASS_REG 引脚。
17	铁氧体磁环	FCM1608KF-601T03	1	用于 VDDA 的额外去耦

图 26. STM32F407IG (H6) 微控制器参考原理图



1. 若应用中没有使用外部电池，则建议将 V_{BAT} 外部连至 V_{DD} 。
2. 为了能够从工具中复位器件，必须保留这个电阻。

表 12. 所有封装的参考连接

引脚名称	4 边都有引脚封装的引脚数						BGA 封装的引脚数					芯片尺寸封装			
	48 个引脚	64 个引脚 ⁽¹⁾	100 个引脚 ⁽¹⁾	144 个引脚 ⁽²⁾	176 个引脚	208 个引脚	100 个引脚	144 个引脚	169 个引脚	176 个引脚	216 个引脚	49 个引脚	81 个引脚	90 个引脚	143 个引脚
PA13	34	46	72	105	124	147	A11	A12	E12	A15	A15	B3	D2	D4	D3
PA14	37	49	76	109	137	159	A10	A11	A11	A14	A14	A1	C3	A2	B1
PA15	38	50	77	110	138	160	A9	A10	B11	A13	A13	A2	B2	B3	C2
PB2	20	28	37	48	58	63	L6	J5	L5	M6	M5	G3	J6	J7	L7
PB3	39	55	89	133	161	192	A8	A7	B6	A10	A10	A3	A5	B6	B7
PB4	40	56	90	134	162	193	A7	A6	A6	A9	A9	A4	B5	A6	C7
PC14-OSC32_IN	3	3	8	8	9	9	D1	B1	E1	E1	E1	C7	C9	B10	D11
PC15-OSC32_OUT	4	4	9	9	10	10	E1	C1	F1	F1	F1	C6	D9	B9	E11
PH0 - OSC_IN	5	5	12	23	29	32	F1	D1	G2	G1	G1	D7	E9	F10	J11
PH1 - OSC_OUT	6	6	13	24	30	33	G1	E1	G1	H1	H1	D6	F9	F9	H10
BOOT0	44	60	94	138	166	197	A4	D5	A5	D6	E6	A5	A7	A7	C9
NRST	7	7	14	25	31	34	H2	F1	H2	J1	J1	E7	D8	G10	H9
BYPASS_REG	-	-	-	-	48	-	E3	H5	M1	L4	L5	-	J8	D9	N11
PDR_ON	-	-	-	143	171	203	H3	E5	C3	C6	E5	B6	B8	A8	A11
VBAT	1	1	6	6	6	6	E2	C2	E5	C1	C1	B7	B9	A10	C11
VDDA	-	-	22	33	39	42	M1	M1	J4	R1	R1	-	-	-	L10
VREF+	-	-	21	32	38	41	L1	L1	J3	P1	P1	-	-	-	L11
VDDA/VREF+	9	13	-	-	-	-	-	-	-	-	-	F7	H8	G9	-
VSSA	-	-	-	-	-	-	J1	J1	J1	M1	N1	-	-	-	-
VREF-	-	-	-	-	-	-	K1	K1	J2	N1	N1	-	-	-	-
VSSA/VREF-	8	12	20	31	37	40	-	-	-	-	-	E6	F7	H10	K10
VDDUSB33	-	-	-	- (95)	-	-	-	C11	-	-	-	-	E1	-	-
VDD	-	-	-	-	15	15	-	-	F4	F3	F4	-	-	-	E10
VDD	-	-	11	17	23	26	G2	D3	G8	G3	H5	-	-	B8	-
VDD	-	-	19	30	36	39	-	-	-	-	J5	-	H9	-	G7
VDD	-	19	28	39	49	52	-	F4	J11	K4	K5	-	-	E4	J8

表 12. 所有封装的参考连接 (续)

引脚名称	4 边都有引脚封装的引脚数						BGA 封装的引脚数					芯片尺寸封装			
	48 个引脚	64 个引脚 ⁽¹⁾	100 个引脚 ⁽¹⁾	144 个引脚 ⁽²⁾	176 个引脚	208 个引脚	100 个引脚	144 个引脚	169 个引脚	176 个引脚	216 个引脚	49 个引脚	81 个引脚	90 个引脚	143 个引脚
VDD	-	-	-	-	-	59	-	-	-	-	L7	-	-	-	J7
VDD	-	-	-	52	62	73	-	G5	D10	N8	L8	-	-	-	-
VDD	-	-	-	62	72	83	-	G6	G10	N9	L9	-	-	-	J5
VDD	24	32	50	72	82	94	G12	G7	F8	N10	L10	F2	J2	-	J6
VDD	-	-	-	-	91	103	-	-	H8	J12	K11	-	-	-	-
VDD	-	-	-	84	103	115	-	F8	F7	J13	J11	-	-	-	L1
VDD	-	-	-	-	-	124	-	-	-	-	H11	-	-	-	-
VDD	-	-	-	95 (-)	114	137	-	F10	E6	H13	G11	-	-	-	G1
VDD	36	48	75	108	127	150	G11	F9	H4	G13	F11	B2	A1	E6	C1
VDD	-	-	-	-	-	158	-	-	D3	-	E10	-	-	-	A1
VDD	-	-	-	-	136	171	-	F7	D6	C9	E9	-	-	-	C5
VDD	-	-	-	121	149	185	-	F6	L6	C8	E8	-	-	F7	E6
VDD	-	-	-	131	159	204	-	F5	K6	C7	E7	-	A8	A1	D7
VDD	48	64	100	144	172	-	-	-	-	C5	-	A7	-	-	-
VDD	-	-	-	-	-	-	C4	-	-	-	F5	-	-	-	-
VCAP1	22	31 (30)	49 (48)	71	81	92	L11	H7	N9	M10	L11	G2	J3	F4	N2
VCAP2	-	47 (-)	73	106	125	148	C11	G9	D12	F13	E11	-	C2	B1	D1
VSS	-	-	-	-	14	14	-	-	F6	F2	F2	-	-	-	E7
VSS	-	-	10	16	22	25	F2	D2	G7	G2	H6	-	-	C9	H7
VSS	-	18	27	38	-	-	-	-	-	-	J6	-	G8	-	-
VSS	-	-	-	-	-	51	-	G4	-	-	K6	-	-	E5	-
VSS	-	-	-	51	61	60	-	-	-	M8	L6	-	-	-	-
VSS	-	-	-	61	71	72	-	-	G9	M9	K7	-	-	-	-
VSS	23	- (31)	- (49)	-	-	82	F12	H6	J6	-	K8	D3	-	-	H3
VSS	-	-	-	-	-	93	-	-	-	-	K9	-	H3	-	H2

表 12. 所有封装的参考连接 (续)

引脚名称	4 边都有引脚封装的引脚数						BGA 封装的引脚数					芯片尺寸封装			
	48 个引脚	64 个引脚 ⁽¹⁾	100 个引脚 ⁽¹⁾	144 个引脚 ⁽²⁾	176 个引脚	208 个引脚	100 个引脚	144 个引脚	169 个引脚	176 个引脚	216 个引脚	49 个引脚	81 个引脚	90 个引脚	143 个引脚
VSS	-	-	-	-	-	-	-	-	E7	-	K10	-	-	-	-
VSS	-	-	-	-	-	114	-	G8	-	-	J10	-	-	-	-
VSS	-	-	-	-	-	125	-	-	-	-	H10	-	-	-	-
VSS	-	-	-	-	90	136	-	-	J7	H12	G10	-	-	-	D2
VSS	-	-	-	83	102	149	-	G10	J10	-	F10	-	B1	E7	-
VSS	-	-	-	-	-	-	-	-	D11	-	F9	-	-	-	F5
VSS	-	-	-	94	113	170	-	E7	-	G12	F8	-	-	-	-
VSS	35	- (47)	74	107	126	184	F11	-	D7	F12	F7	B1	-	E8	-
VSS	-	-	-	-	135	-	-	-	-	D9	-	-	-	-	-
VSS	-	-	-	120	148	202	-	E6	F5	D8	F6	-	B7	-	-
VSS	-	-	-	130	158	-	-	-	-	D7	G6	-	-	-	-
VSS	47	63	99	-	-	-	-	-	-	D5	-	A6	-	-	-
VSS	-	-	-	-	-	-	D3	-	-	-	G5	-	-	-	-

1. 圆括号中的引脚适用于 STM32F401xx / F411xx

2. 圆括号中的引脚适用于 STM32F446xx

9 修订历史

表 13. 文档修订历史

日期	版本	变更
2014 年 6 月 20 日	1	初始版本。
2014 年 10 月 28 日	2	<p>在 表 1 中增加了 STM32F411xC/xE。</p> <p>在 表 3 中增加了脚注。</p> <p>更新了 表 6 和 表 12</p> <p>更新了 图 1、图 5 和 图 6。</p> <p>更新了 第 2.3.4 节</p> <p>为 STM32F411xC/xE 增加了 第 2.3.5 节</p> <p>增加了 图 7 和 图 8。</p>
2015 年 3 月 20 日	3	<p>更新了 表 1：适用产品；</p> <p>更新了 表 3：调压器 ON/OFF 及内部供电监控器的可用性、表 4：封装总览（不包括 WCSP）、表 5：WCSP 封装总览、表 6：引脚排列总览和 表 12：所有封装的参考连接；</p> <p>更新了 图 10：STM32F4 系列的 LQFP64 封装兼容板设计、图 11：STM32F4 系列的 LQFP100 封装兼容板设计、图 13：STM32F10xx/STM32F4xx 兼容的电路板设计 用于 LQFP64 封装、图 14：STM32F10xx/STM32F2xx/STM32F4xx 兼容的电路板设计 用于 LQFP100 封装和 图 15：STM32F10xx/STM32F2xx/STM32F4xx 兼容的电路板设计 用于 LQFP144 封装；</p> <p>增加 图 12：STM32F4xx / STM32F446xx 兼容的电路板设计 用于 LQFP144 封装。</p>

重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和 / 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2015 STMicroelectronics - 保留所有权利 2015