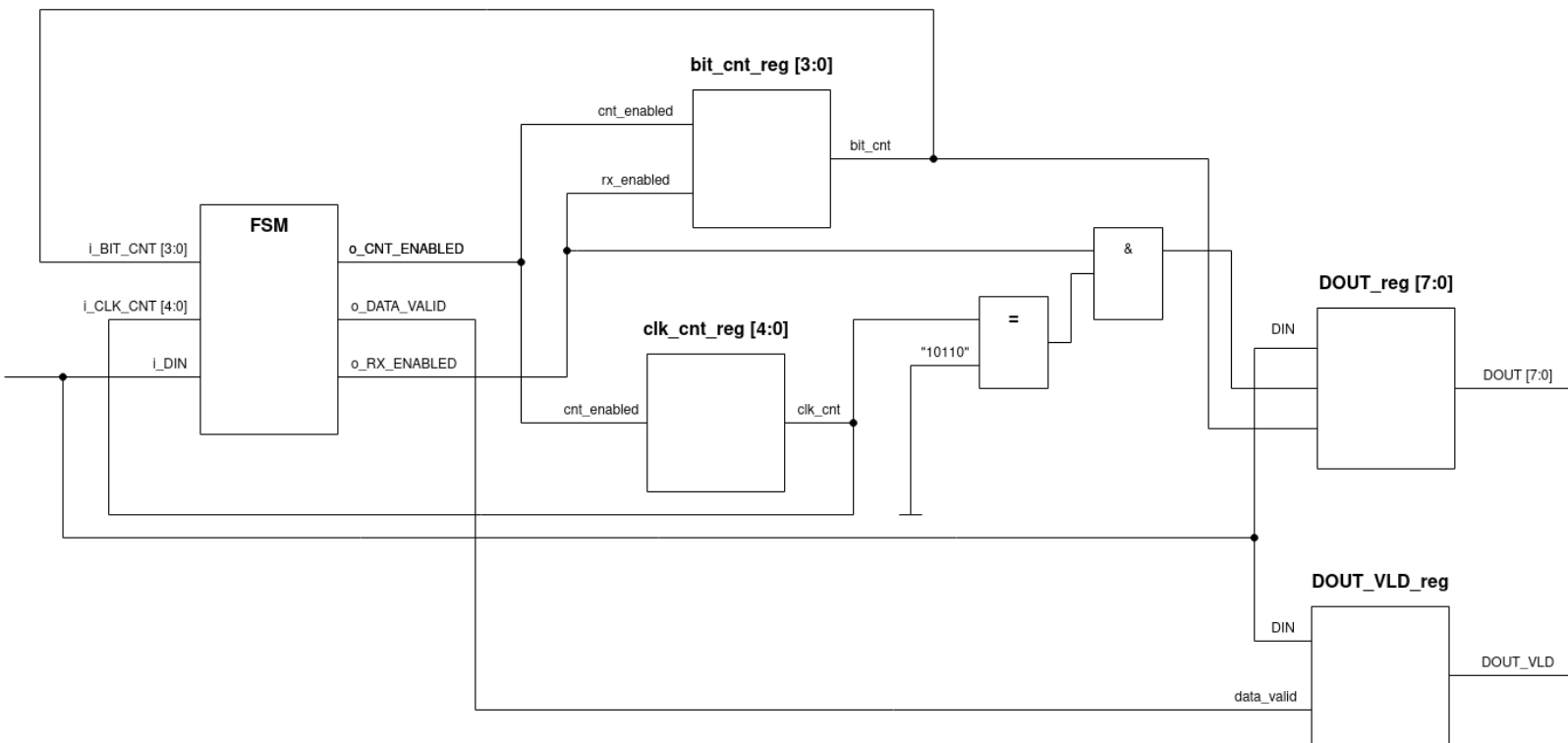


Výstupní zpráva

Jméno: Evgeny Torbin

Login: xtorbi00

Architektura navřeného obvodu (RTL schema obvodu)



FSM: součástka konečného automatu. Dostává na vstup data, počítadlo bitů a počítadlo hodinových taktů a podle toho mění svůj stav.

bit_cnt_reg [3:0]: počítá jednotlivé bity zprávy

clk_cnt_reg [4:0]: počítá takty hodinových signálu

DOUT_reg [7:0]: vypíše na výstup načtený bajt, pokud byli splněny podmínky

DOUT_VLD_reg [4:0]: pokud data_valid se rovná 1, vypíše na výstup log. 1 v intervalu 1 hodinového signálu

Návrh automatu

Legenda

Stavy automatu:

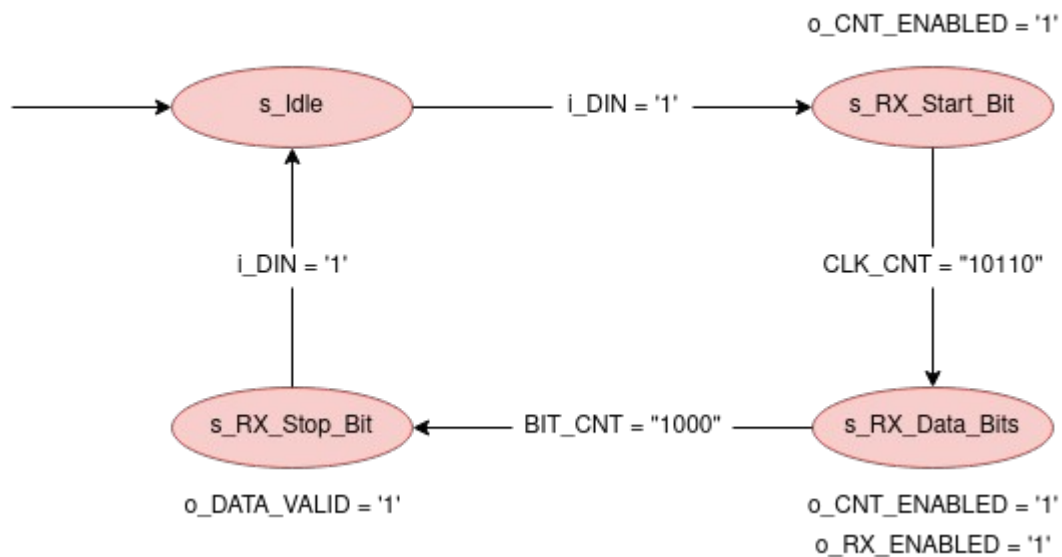
- s_Idle - počáteční stav
- s_RX_Start_Bit - stav po nalezení START bitu (log. 1)
- s_RX_Data_Bits - načítání dat
- s_RX_Stop_Bit - stav po nalezení STOP bitu (log. 0)

Vstupní signály:

- i_DIN - input signál
- CLK_CNT [4:0] - počítadlo hodinového taktu
- BIT_CNT [3:0] - počítadlo bitů

Moorovy výstupy:

- o_CNT_ENABLED - signálizuje o možnosti počítání hodinových taktu (CLK_CNT)
- o_RX_ENABLED - signálizuje o možnosti načítání dat
- o_DATA_VALID - signálizuje o správnosti načteného vstupu



Snímek obrazovky ze simulace

