

SWORD

XD-LAB-ARCH-003

Lab3: Pipelined CPU with forwarding

Hawk

2019-1-18

XINGDENG

修改记录

版本号.	作者	描述	修改日期
1.0	Hawk	初稿	2019-01-18

审核记录

姓名	职务	签字	日期

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	1 of 25
	作者	修改日期		
	Hawk	2019/1/18		公开

目录

修改记录	0
审核记录	1
1. 实验准备	5
1. 1 实验目的	5
1. 2 实验内容	5
1. 3 实验资料	5
2. 实验步骤	7
2. 1 新建工程	7
2. 2 修改文件	9
2. 3 功能仿真	15
2. 4 生成 bitstream 文件	19
2. 5 下载验证	21

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	2 of 25
作者	修改日期			
Hawk	2019/1/18			公开

图目录

图 1-1 实验资料网站.....	5
图 1-2 实验文档和工程源文件	6
图 2-1 运行 Vivado.....	7
图 2-2 打开工程	7
图 2-3 打开 Lab02 工程.....	8
图 2-4 工程另存为	8
图 2-5 工程另存为 Lab03.....	9
图 2-6 需要修改的 lab03 工程	9
图 2-7 展开 mips_top	10
图 2-8 删除文件	10
图 2-9 删除文件	10
图 2-10 继续删除	11
图 2-11 增加文件	11
图 2-12 增加 design sources	12
图 2-13 add files	12
图 2-14 切换目录	13
图 2-15 选择文件	13
图 2-16 增加文件完成	14
图 2-17 工程文件树	14
图 2-18 复制文件	15
图 2-19 粘贴文件	15
图 2-20 开始仿真	16
图 2-21 仿真视图	16
图 2-22 Run for...	17
图 2-23 缩放波形	17
图 2-24 仿真结果 1	18
图 2-25 仿真结果 2	18
图 2-26 仿真结果 3	19
图 2-27 关闭仿真	19
图 2-28 生成 bitstream	20
图 2-29 自动运行中间步骤	20
图 2-30 生成 bitstream 成功	21

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	3 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

图 2-31 连接 SWORD4.0.....	21
图 2-32 主要控制 IO	22
图 2-33 进入 Hardware Manager	22
图 2-34 自动连接到 SWORD4.0	23
图 2-35 Program Device	23
图 2-36 下载 bit 文件	24
图 2-37 运行效果.....	24

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	4 of 25
作者	修改日期			
Hawk	2019/1/18		公开	

1. 实验准备

1.1 实验目的

在实验 2 的基础上，增加 Forwarding 机制解决数据竞争，减少因数据竞争带来的流水线停顿延时，提高流水线处理器性能。

1.2 实验内容

本实验内容包括：

- 以 Lab02 为基础，修改设计 CPU 的数据通路 Datapath 和控制单元 Controller；
- 对设计的 CPU 进行行为仿真，检查功能正确性；
- 上板验证并观察 CPU 的执行过程。

1.3 实验资料

实验资料可以从网站 <https://gitee.com/SWORDfpga/ComputerArchitecture> 获得。

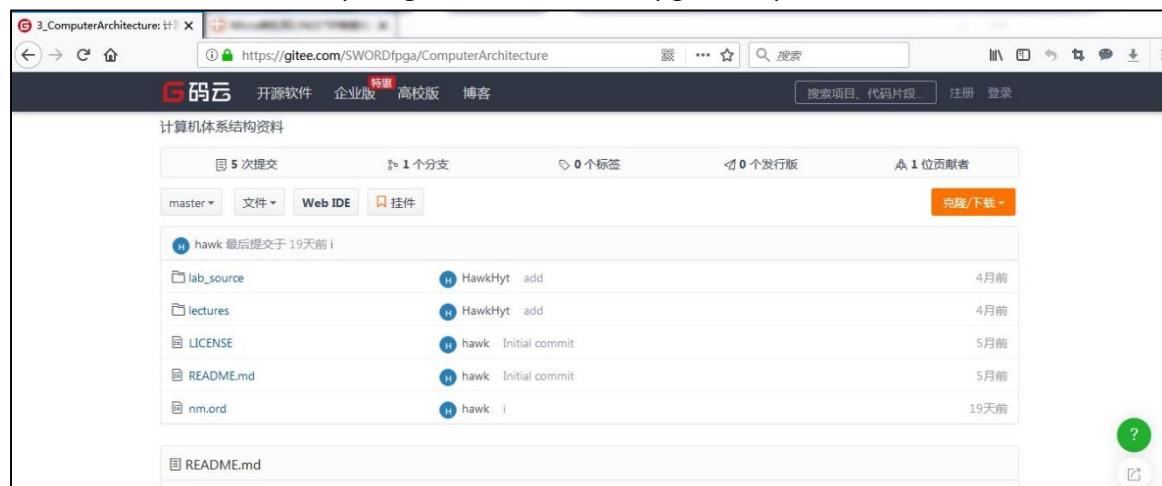


图 1-1 实验资料网站

XINGDENG	标题	文档编号	版本	页
	作者	修改日期		
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	5 of 25
	Hawk	2019/1/18		公开

为方便使用，建议建立 c:\archlabs 目录，放置实验资料和实验工程。

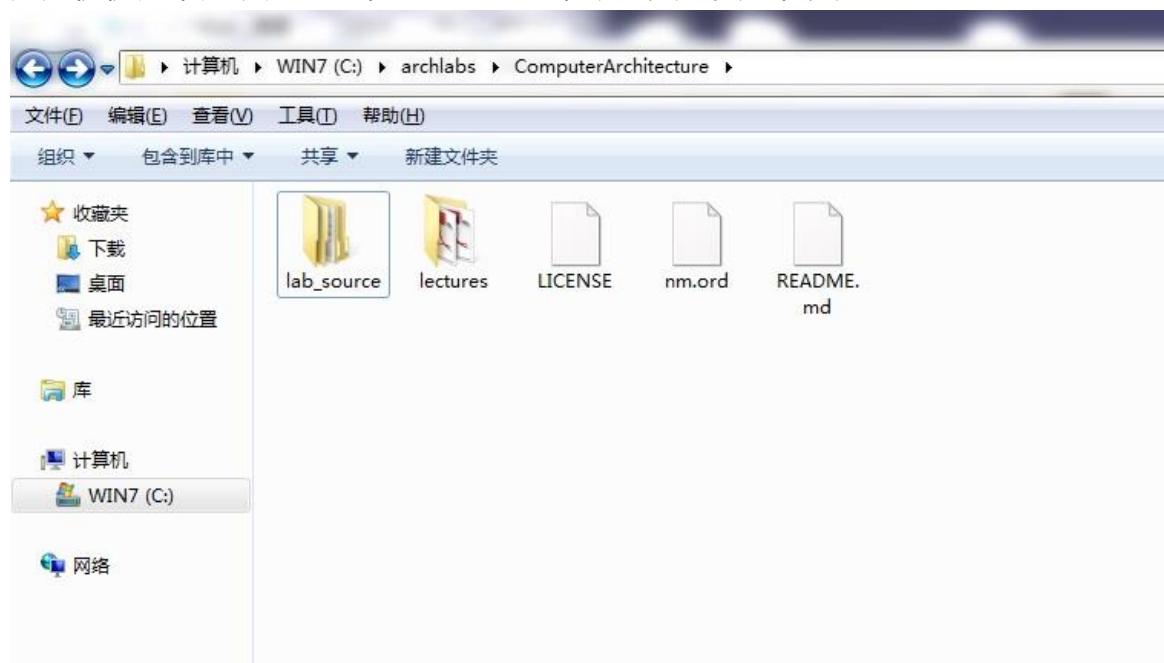


图 1-2 实验文档和工程源文件

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	6 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

2. 实验步骤

2.1 新建工程

首先启动 Vivado 2014.4 开发工具，如图 2-1 所示：



图 2-1 运行 Vivado

点击 Open Project。

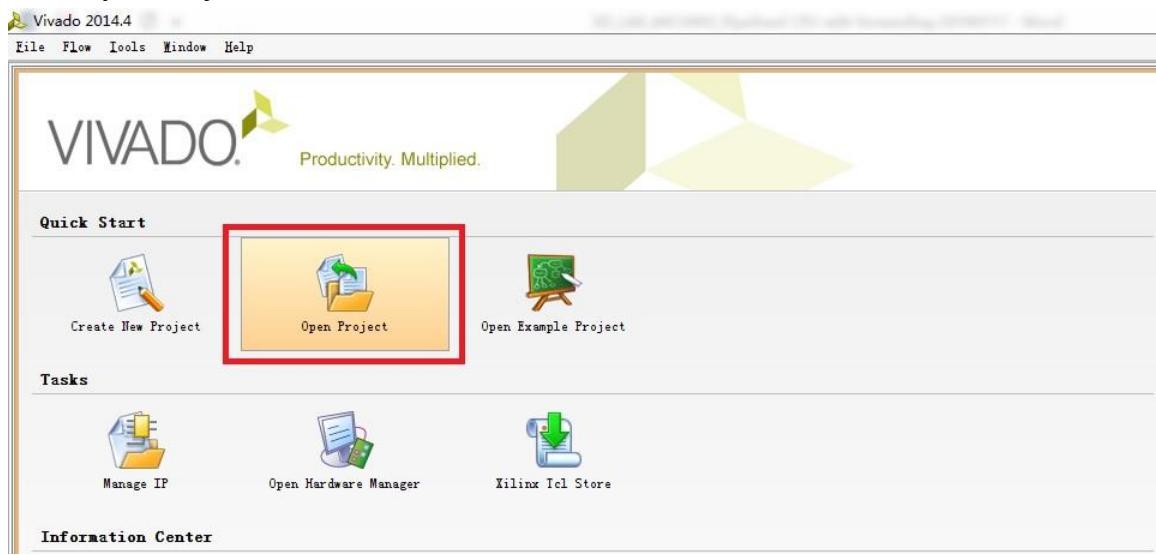


图 2-2 打开工程

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	7 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

选择我们已经完成的 Lab02 工程，点击 OK 打开工程。

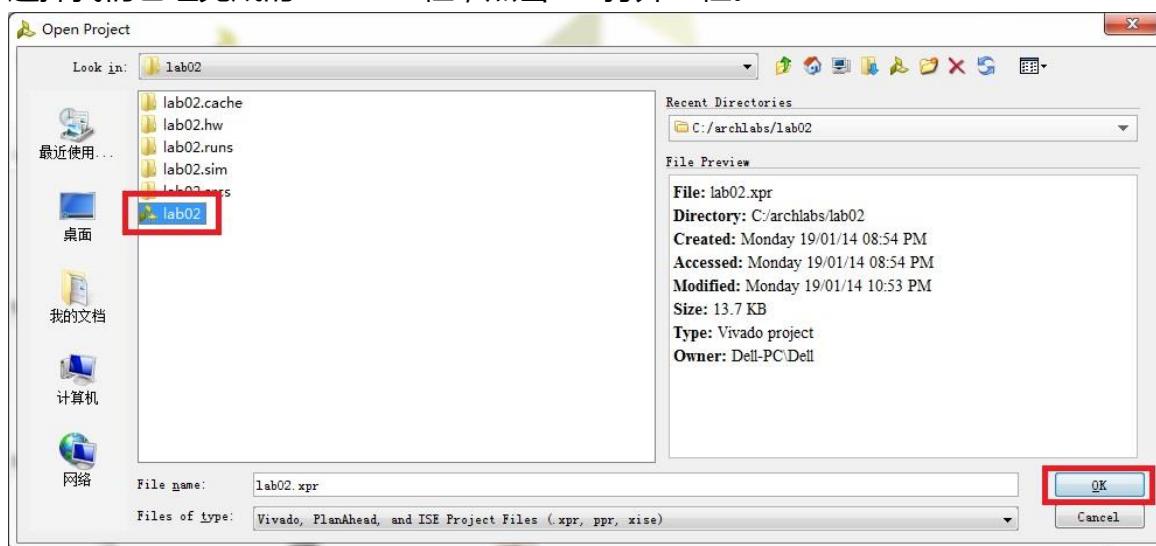


图 2-3 打开 Lab02 工程

本实验以 Lab02 工程为基础，在 File 菜单点击 Save Project As 将工程另存为。

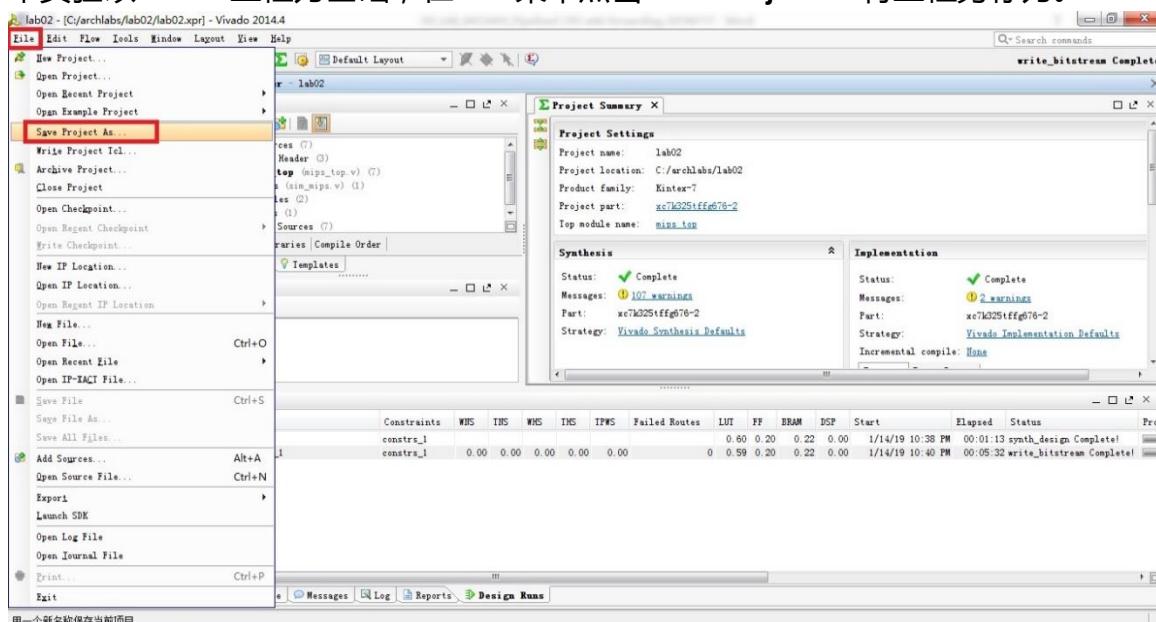


图 2-4 工程另存为

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	8 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

输入新工程名 lab03 , 选中 Create project subdirectory , 点击 OK 继续。

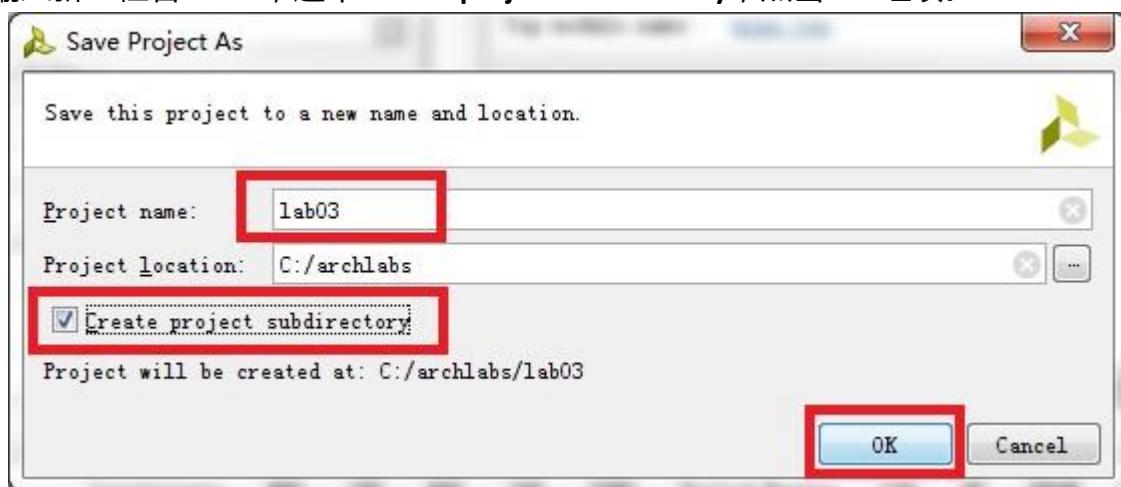


图 2-5 工程另存为 Lab03

工程被另存为 lab03 , 本实验将从此工程基础上进行修改。

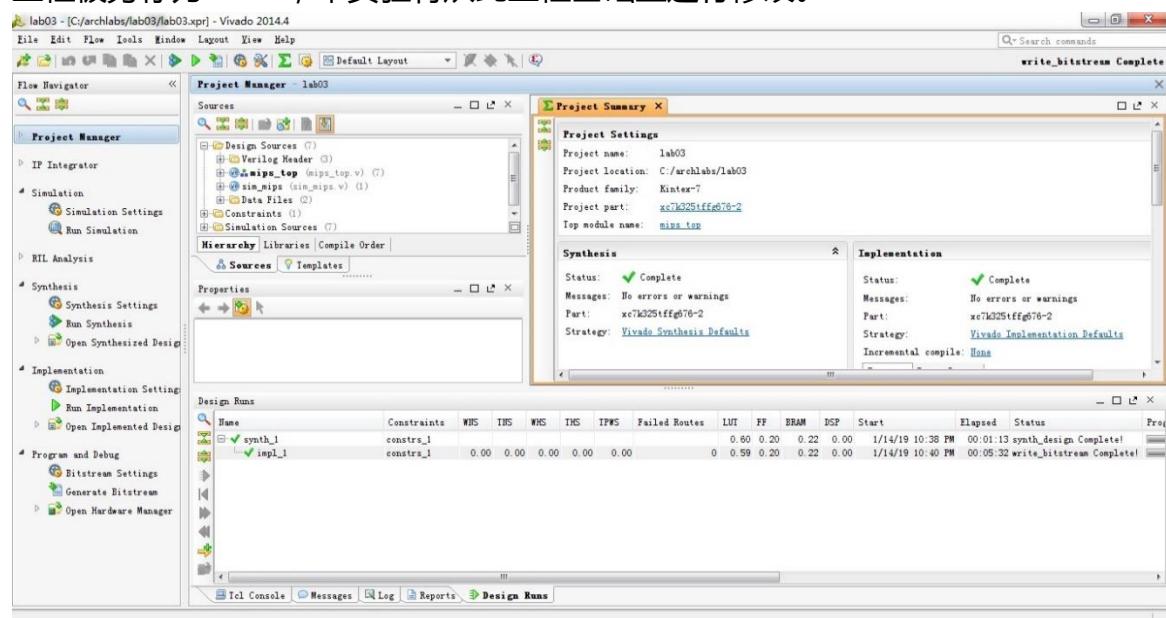


图 2-6 需要修改的 lab03 工程

2.2 修改文件

XINGDENG	标题 Lab3: Pipelined CPU with forwarding 作者 Hawk	文档编号 XD-LAB-ARCH-003 修改日期 2019/1/18	版本 1.0 页 9 of 25
-----------------	---	--	---------------------------

通过点击“+”展开 mips_top、MIPS 和 MIPS_CORE。

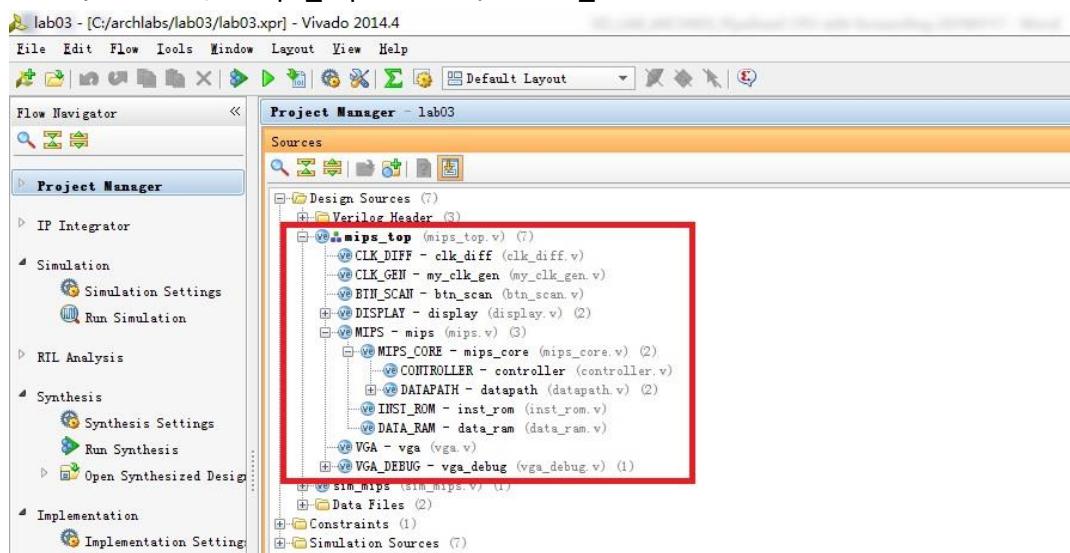


图 2-7 展开 mips_top

右键点击 DATAPATH，点击 Remove File from Project 继续。

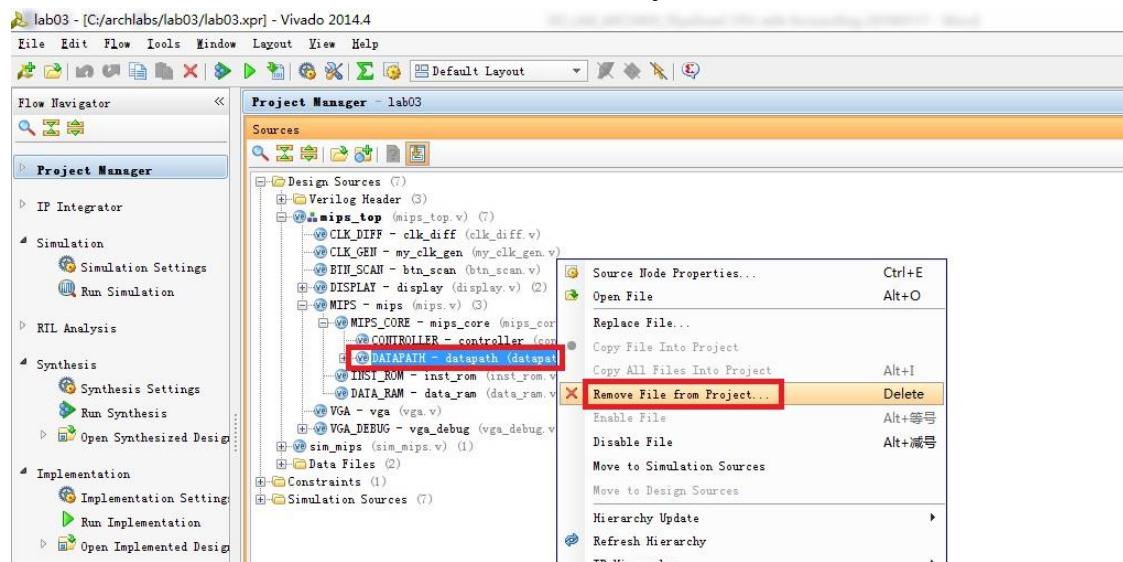


图 2-8 删 除文件

选中 Also delete the project local file/directory form disk，点击 OK 继续。

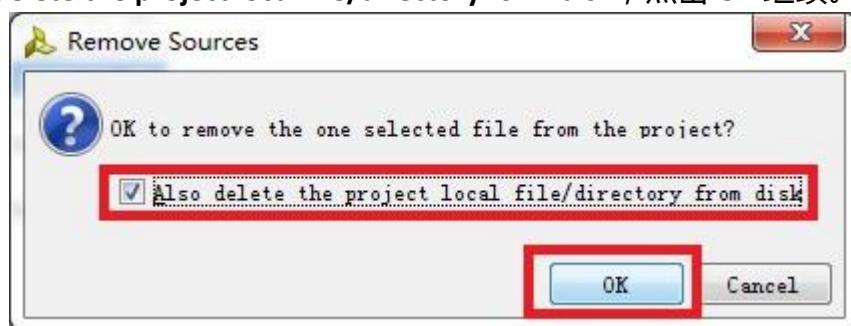


图 2-9 删 除文件

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	10 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

继续删除文件，将 CONTROLLER 和 MIPS 也通过刚才的操作删除。

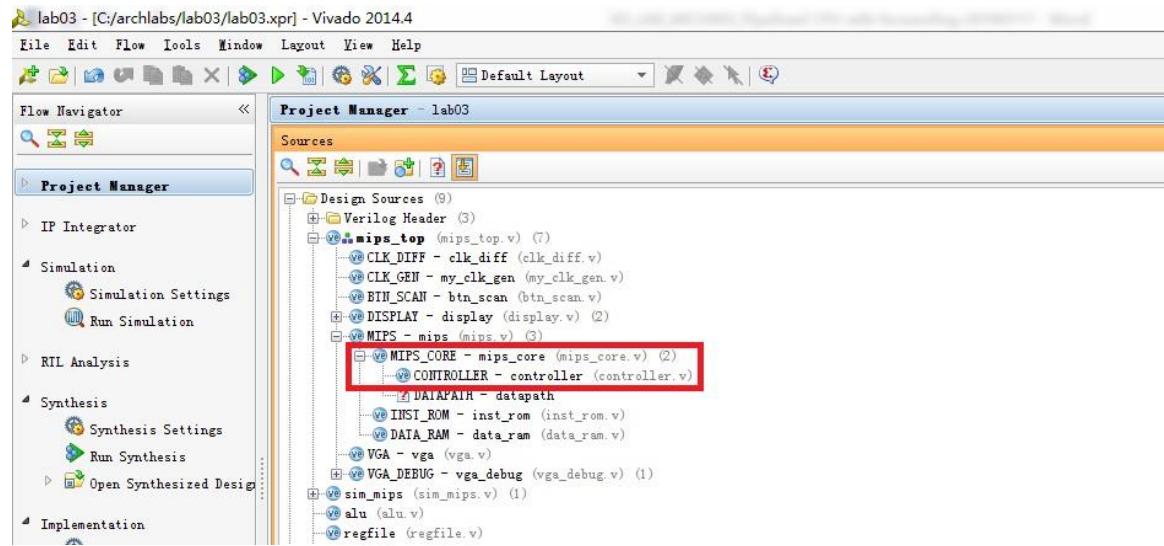


图 2-10 继续删除

在 source 窗口内点击右键，点击 Add Sources。

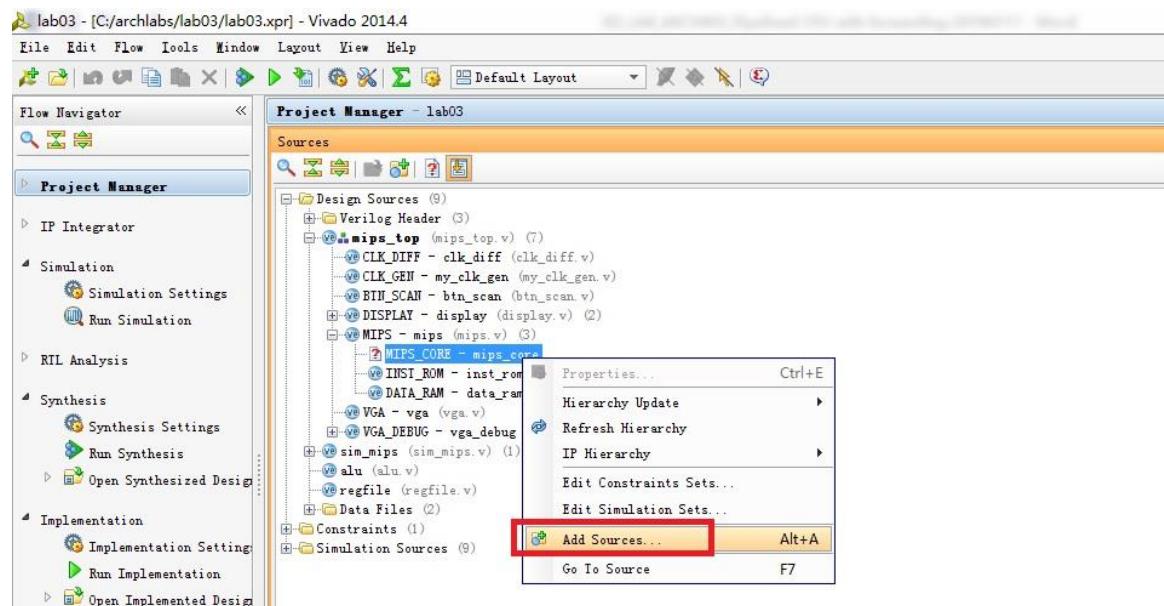


图 2-11 增加文件

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	11 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

选中 Add or create design sources , 点击 Next。

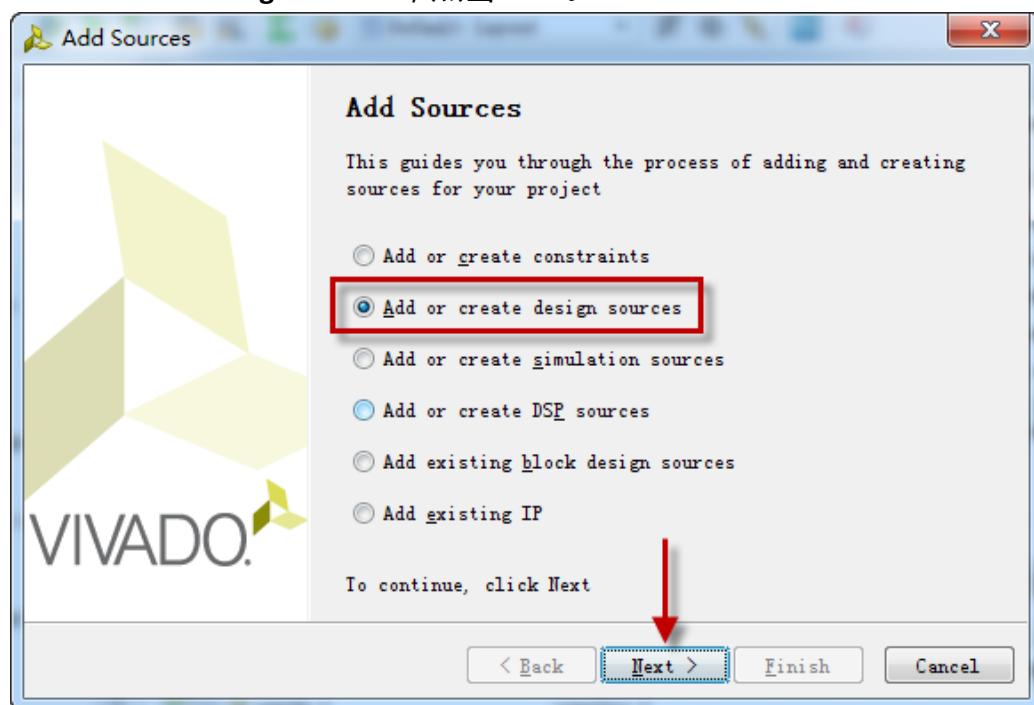


图 2-12 增加 design sources

点击 Add Files。

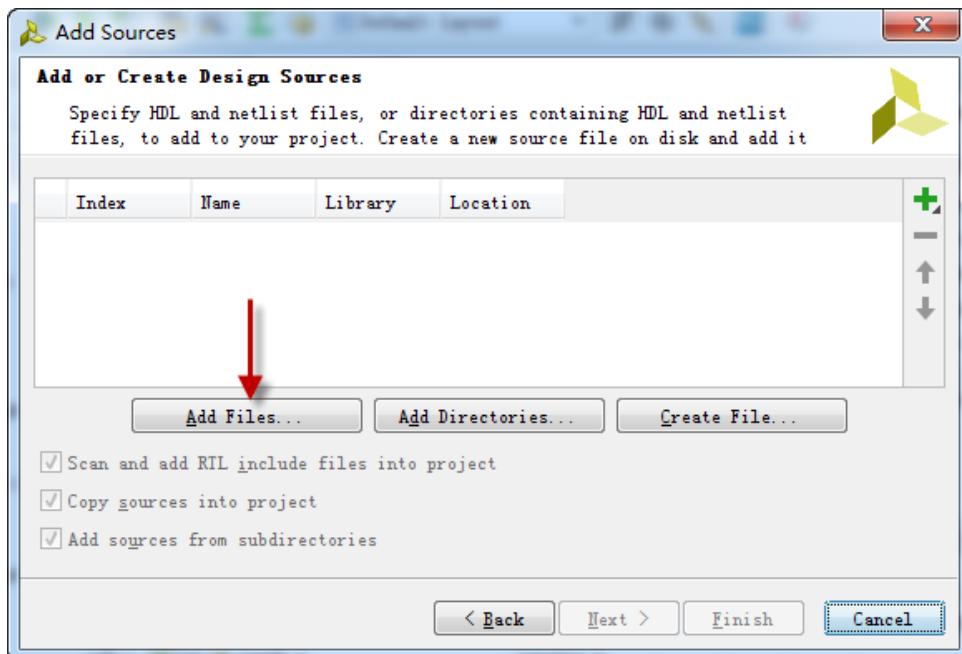


图 2-13 add files

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	12 of 25
作者	修改日期			
Hawk	2019/1/18			公开

进入 C:\archlabs\ComputerArchitecture\lab_source\lab03\sources 目录。

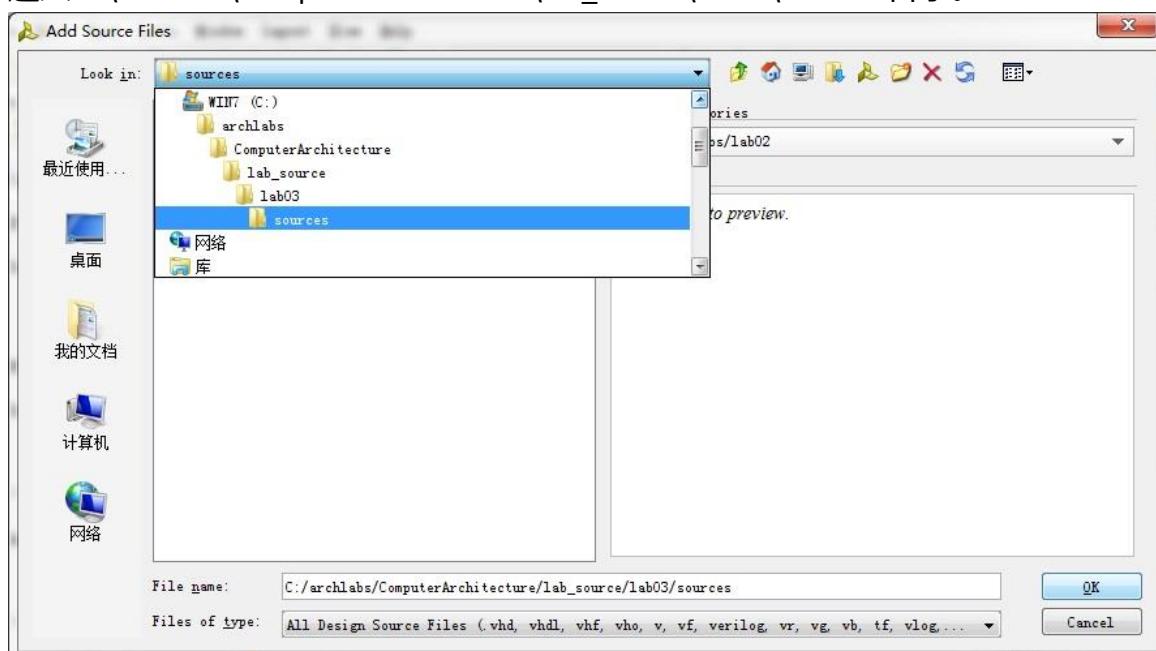


图 2-14 切换目录

选中所有文件，点击 OK。

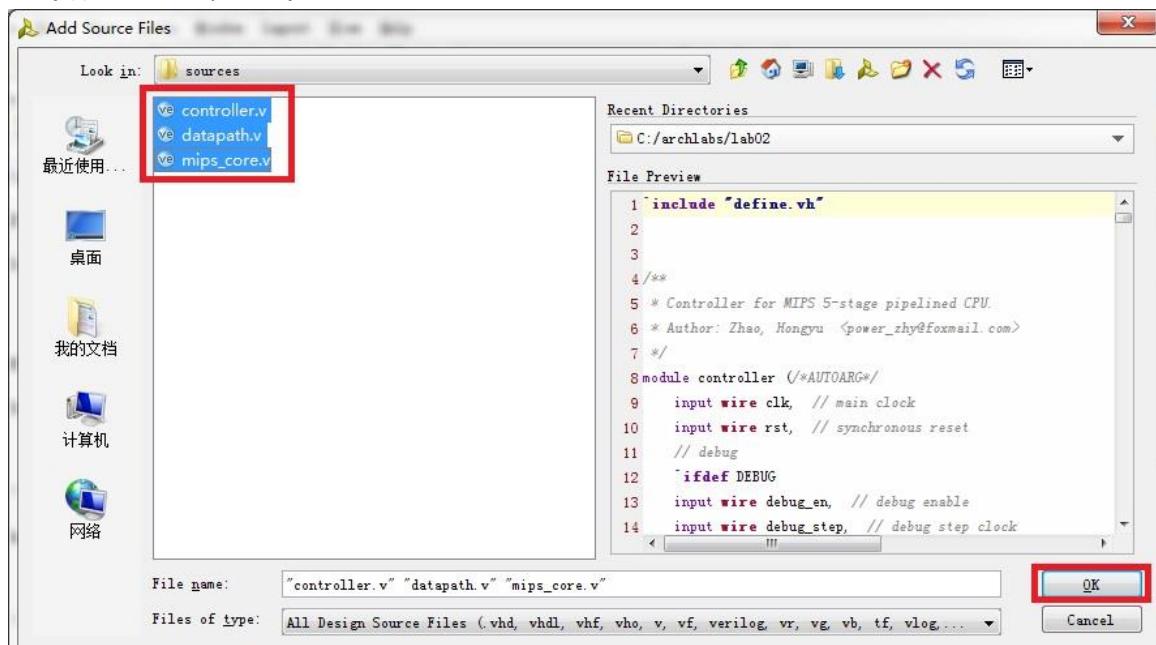


图 2-15 选择文件

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	13 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

列表中会显示要添加到工程中的文件，本次操作添加了 3 个文件，请确认添加文件的数量正确。选中 **Scan and add RTL include files into project** 和 **Copy sources into project**，点击 **Finish**。本次加入的 controller.v 和 datapath.v 增加了 forwarding 的支持，mips_core.v 作为连接 controller 和 datapath 的模块也做了对应修改。

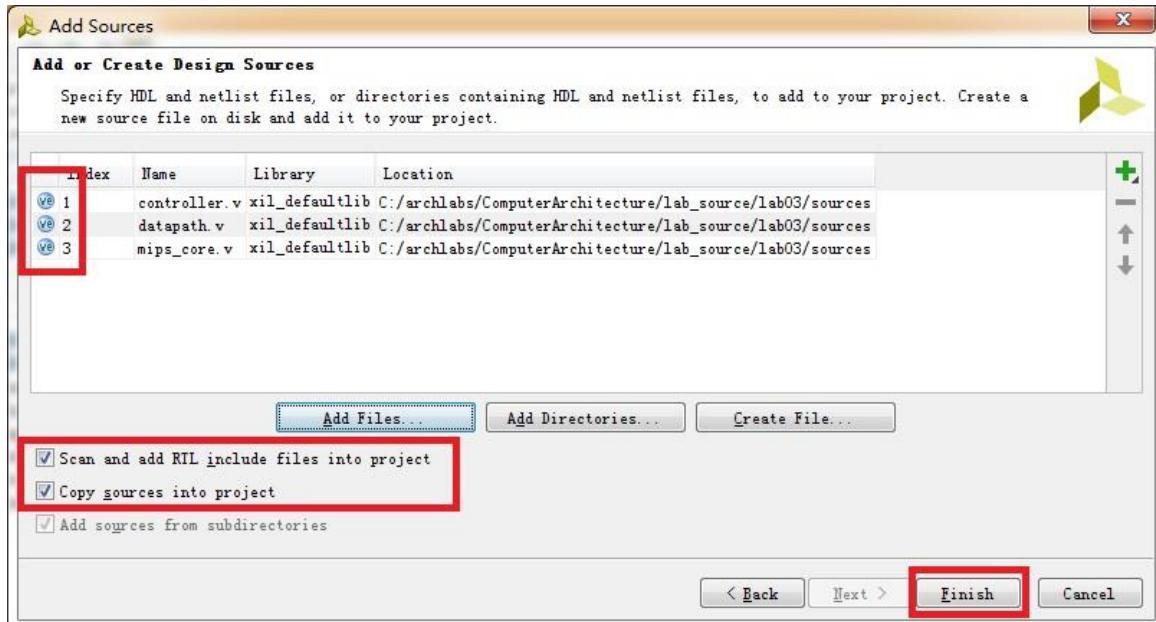


图 2-16 增加文件完成

加入的文件替代了删除的旧文件，forwarding 已经随文件加入。

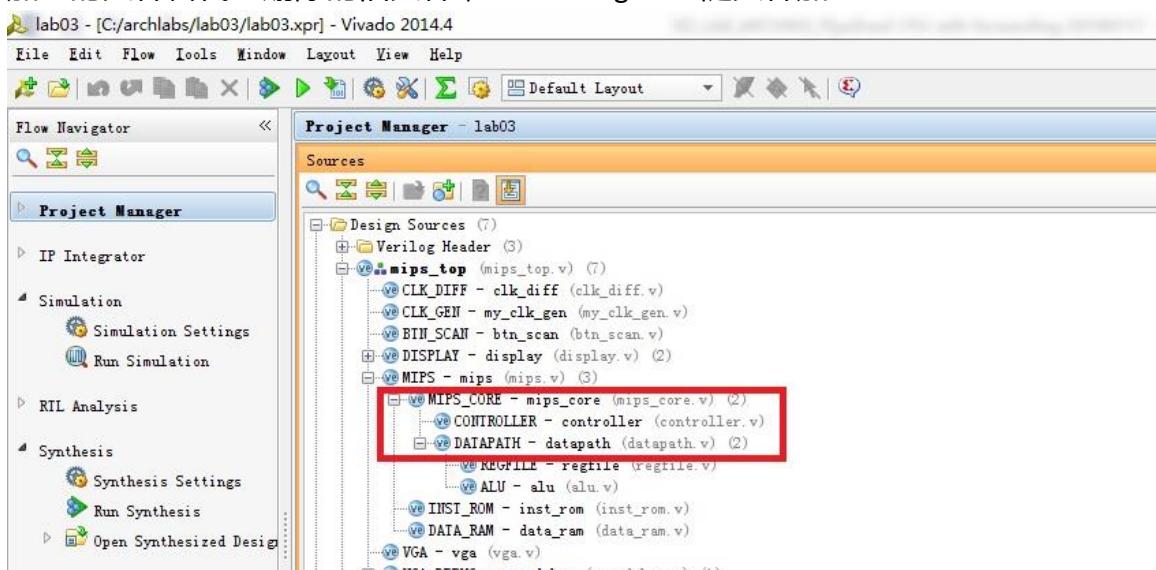


图 2-17 工程文件树

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	14 of 25
作者	修改日期			
Hawk	2019/1/18			公开

2.3 功能仿真

进入 C:\archlabs\ComputerArchitecture\lab_source\lab03\simulation 目录，复制 sim_mips_behav.wcfg 文件。

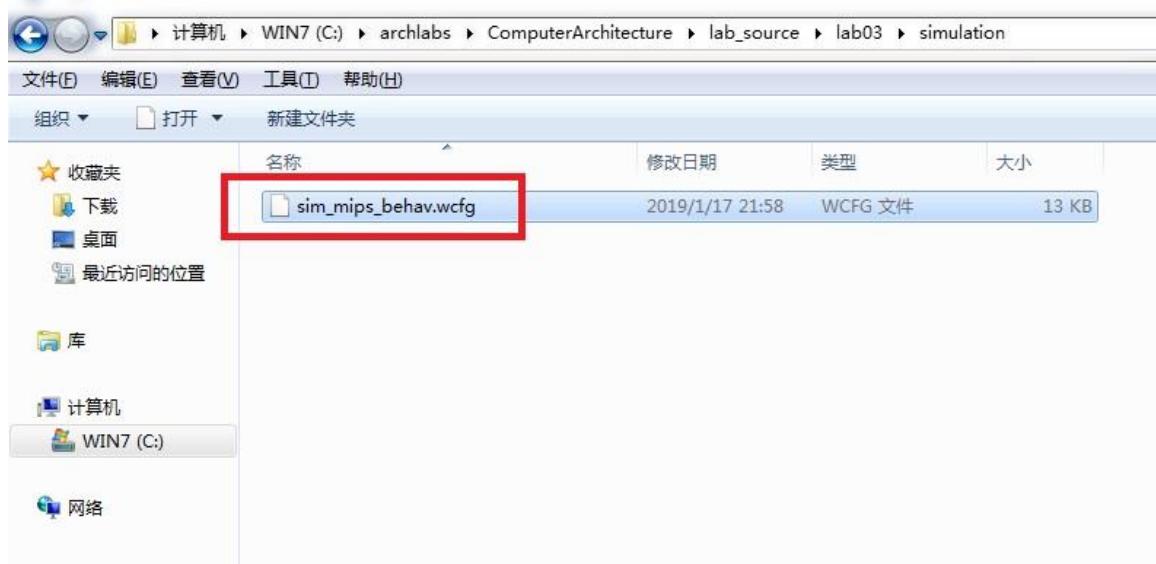


图 2-18 复制文件

将文件粘贴到当前 lab03 的工程目录下，这个文件包含了仿真的设置。

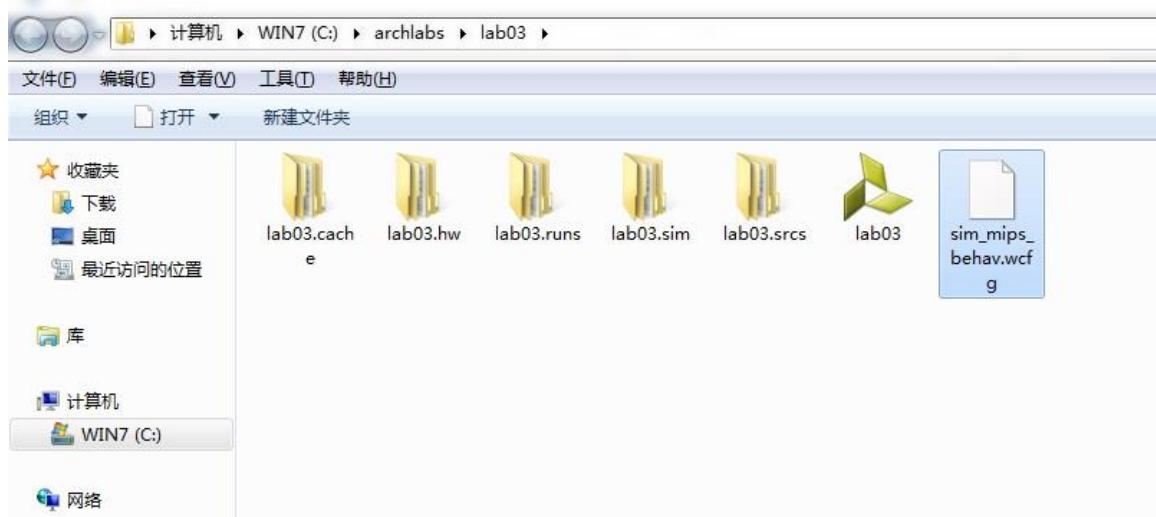


图 2-19 粘贴文件

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	15 of 25
作者	修改日期			
Hawk	2019/1/18			公开

点击 Run Simulation 下的 Run Behavioral Simulation。

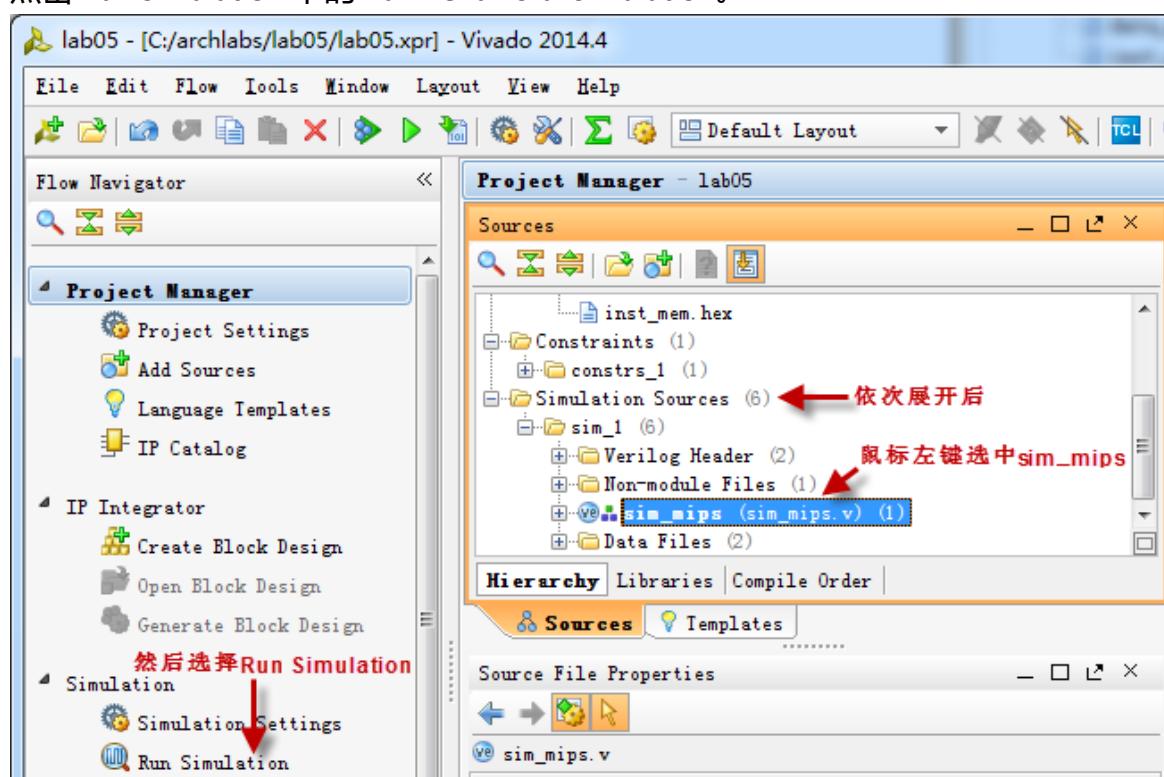


图 2-20 开始仿真

仿真编译成功后，进入仿真视图。Vivado 根据刚才复制的文件将大量仿真信号添加到波形图，我们不需要手动添加信号。

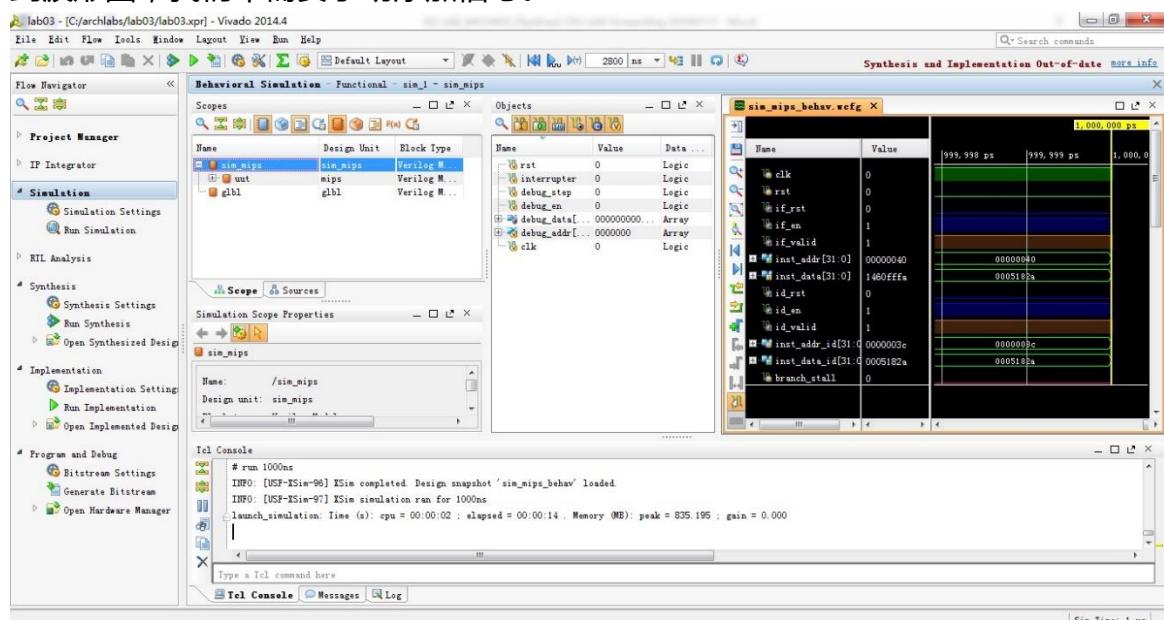


图 2-21 仿真视图

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	16 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

输入 1500ns，使用 Run for...进行仿真。

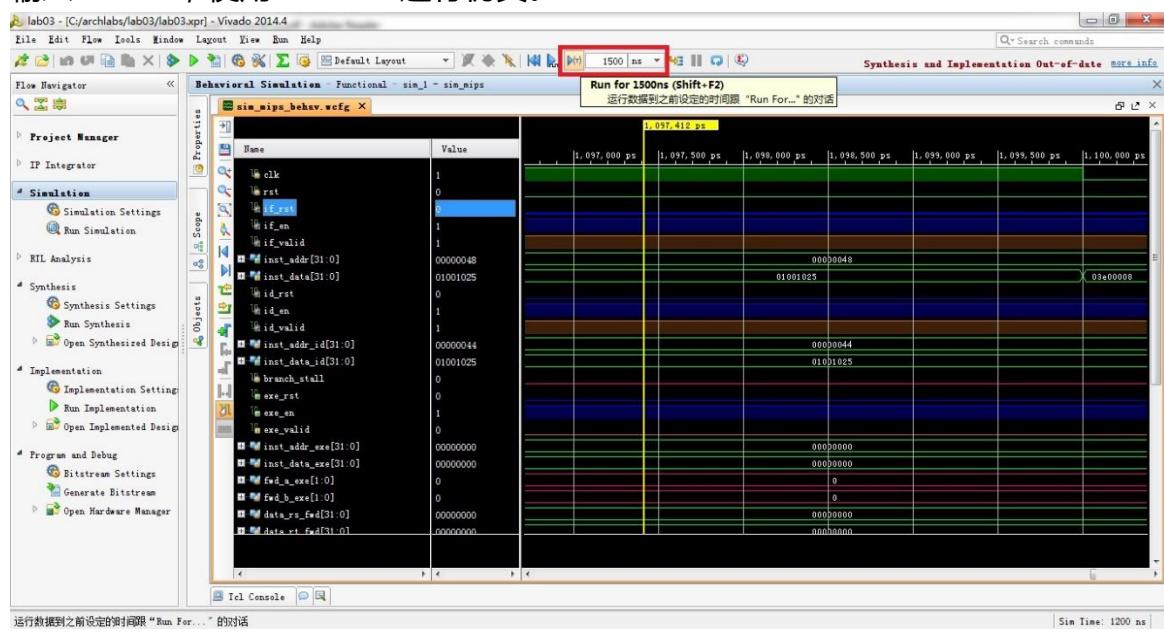


图 2-22 Run for...

通过键盘 Shift+ “-” 和 Shift+ “+” 可以对波形图进行缩放，将波形缩放到方便观察的程度。

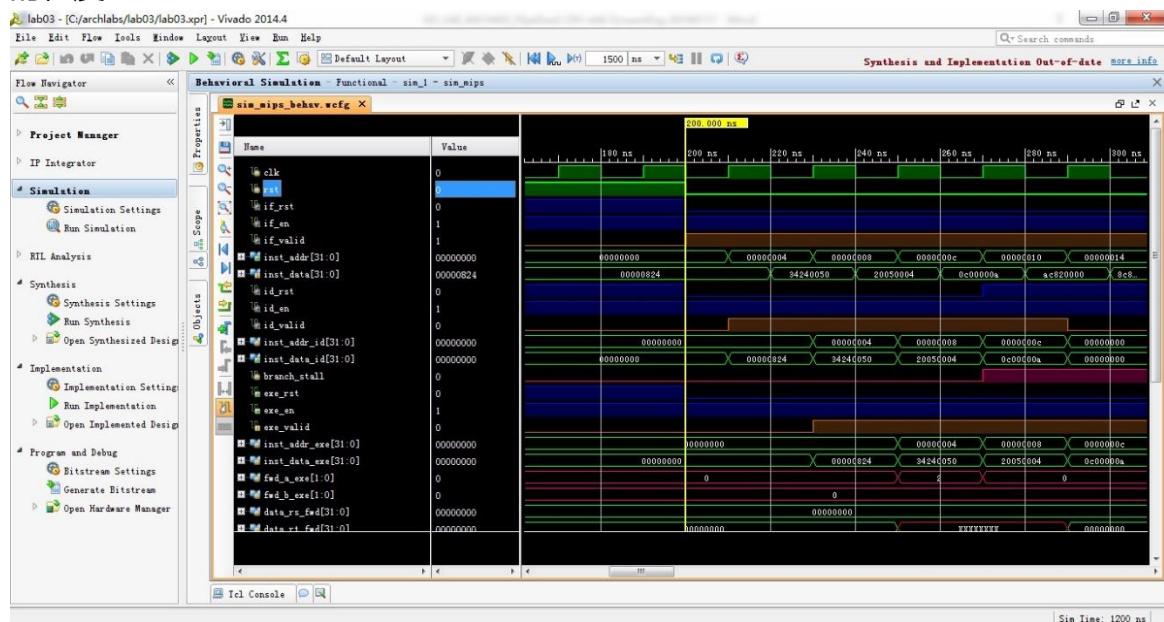


图 2-23 缩放波形

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	17 of 25
	作者	修改日期		
	Hawk	2019/1/18		公开

将仿真出的波形和本文档提供的波形对比，可以知道设计的电路是否正常工作。



图 2-24 仿真结果 1



图 2-25 仿真结果 2

标题 XINGDENG	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0 18 of 25
	作者	修改日期	
Hawk	2019/1/18		公开



图 2-26 仿真结果 3

2.4 生成 bitstream 文件

右键点击 Simulation，点击 Close Simulation，结束仿真。

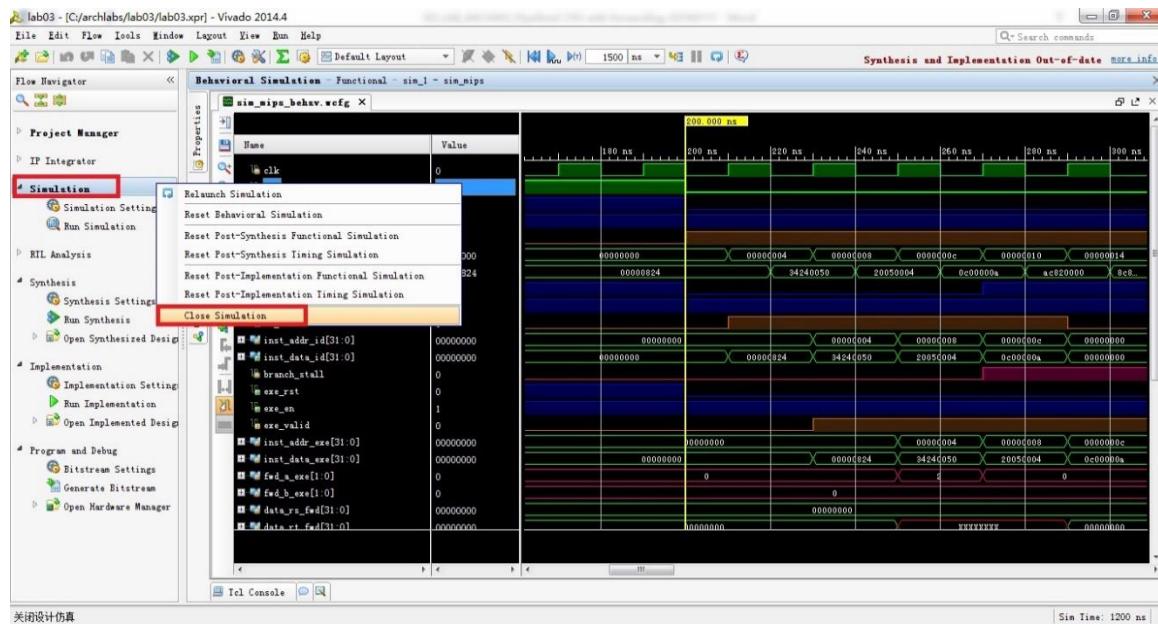


图 2-27 关闭仿真

	标题	文档编号	版本	页
xINGDENG	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	19 of 25
作者		修改日期		
Hawk		2019/1/18		公开

确定 mips_top.v 被设置为顶层文件后。点击 Generate Bitstream 生成 FPGA 配置文件。

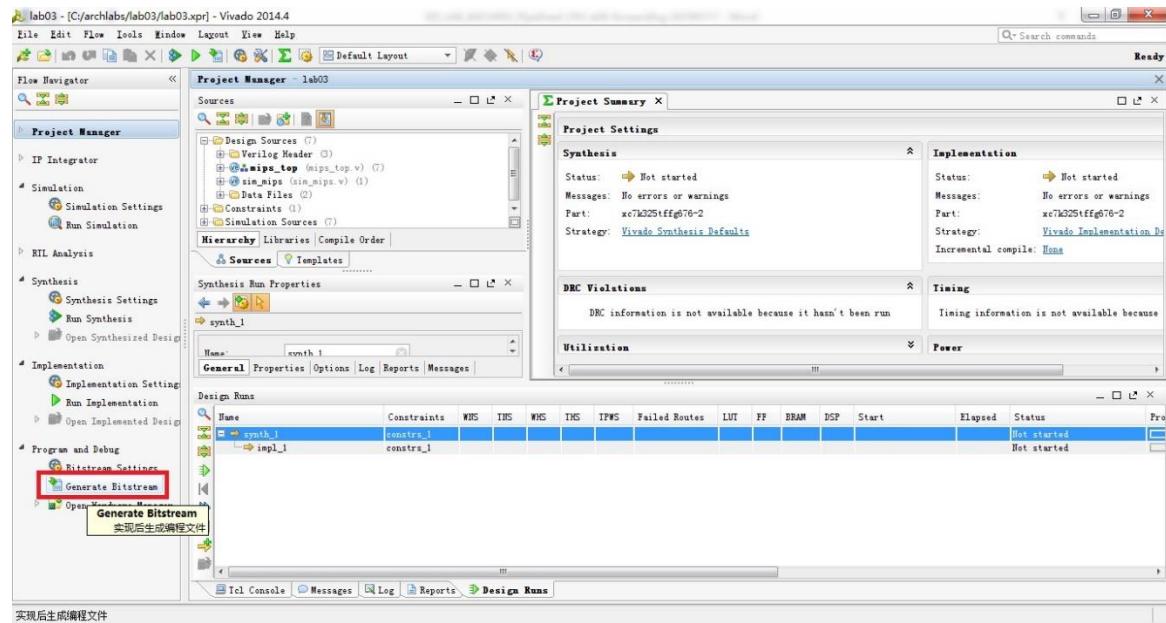


图 2-28 生成 bitstream

在询问对话框中选择 Yes，自动运行 synthesis 和 implementation。

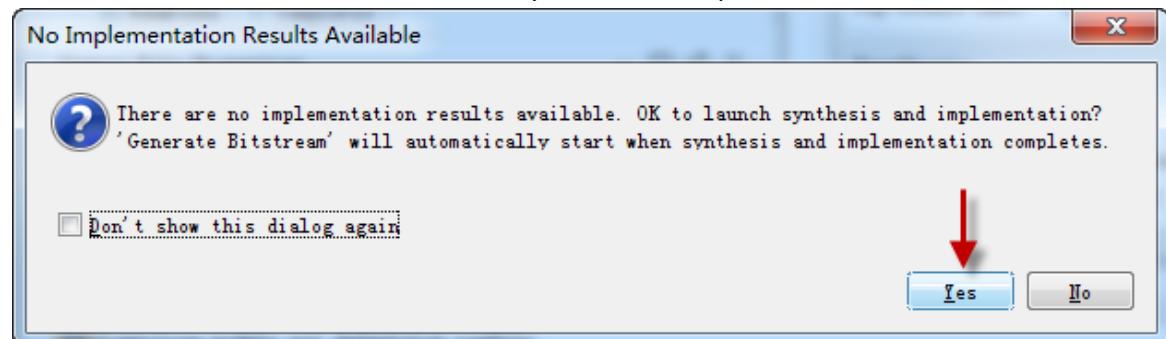


图 2-29 自动运行中间步骤

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	20 of 25
作者	修改日期			
Hawk	2019/1/18			公开

当显示 Bitstream Generation Completed 时表示文件成功生成，点击 Cancel 结束。

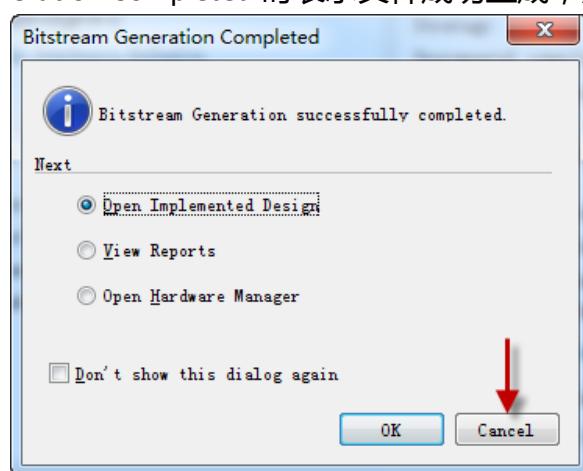


图 2-30 生成 bitstream 成功

2.5 下载验证

仿真完成后，下载 bit 文件到 SWORD4.0 开发平台查看真实效果。按图连接 SWORD4.0 的 12V 电源和 JTAG，然后打开开关。

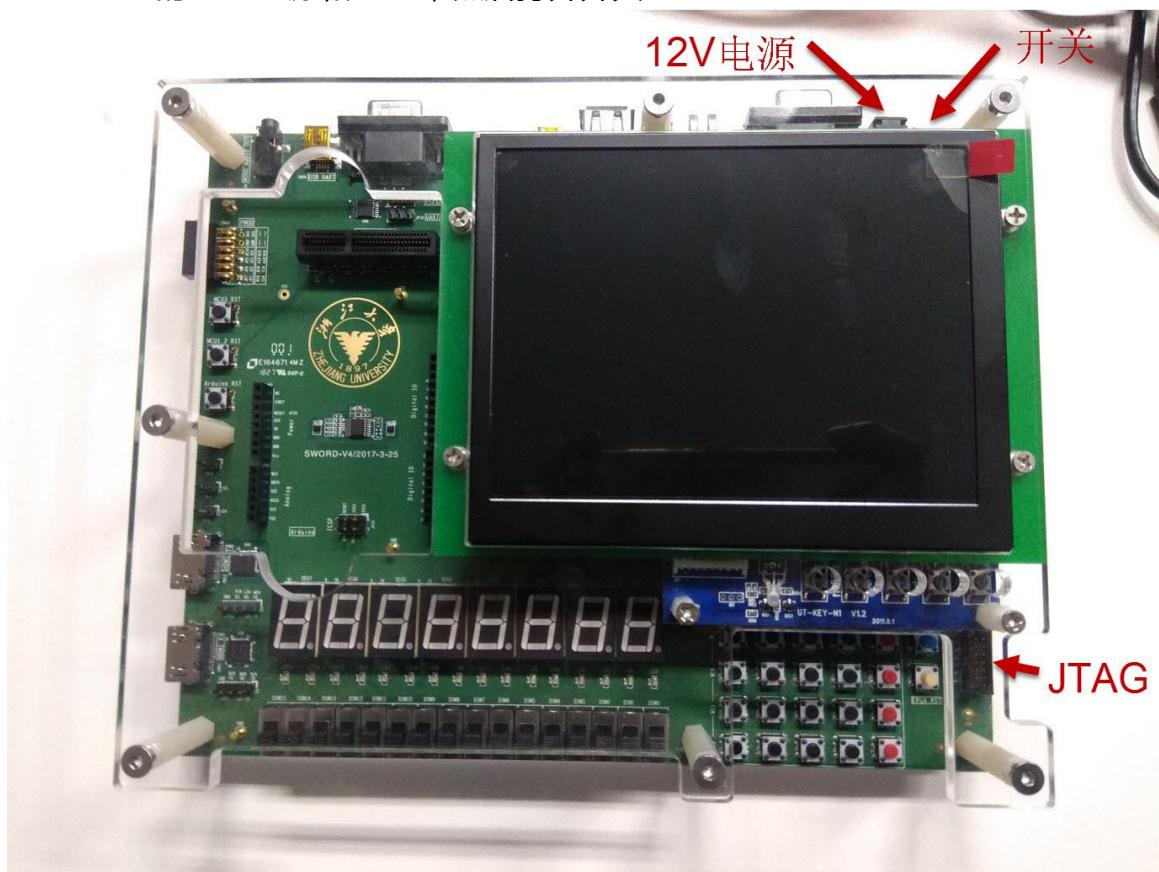


图 2-31 连接 SWORD4.0

XINGDENG	标题 Lab3: Pipelined CPU with forwarding	文档编号 XD-LAB-ARCH-003	版本 1.0	页 21 of 25
作者 Hawk	修改日期 2019/1/18		公开	

SWORD4.0 的控制开关主要有拨码开关、键盘矩阵、复位按钮等。

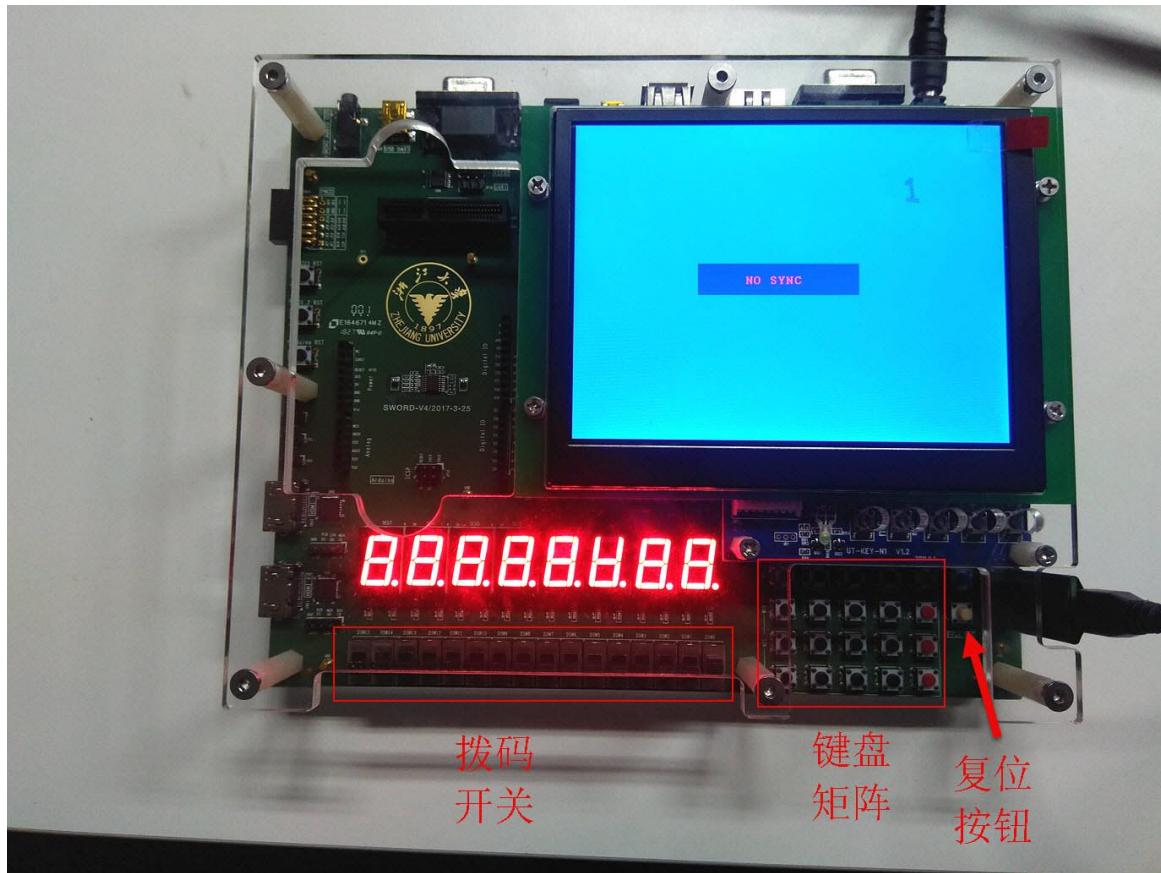


图 2-32 主要控制 I/O

在 Vivado 中点击 Open Hardware Manager。

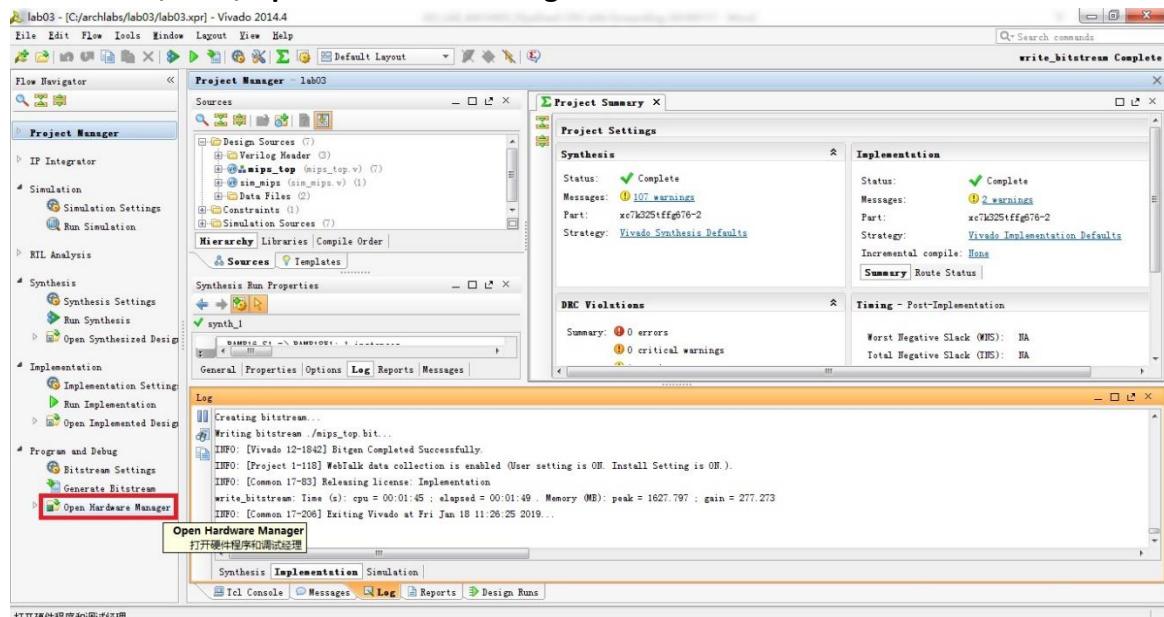


图 2-33 进入 Hardware Manager

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	22 of 25
作者	修改日期		
Hawk	2019/1/18	公开	

点击 Open target , 然后点击 Auto Connect。

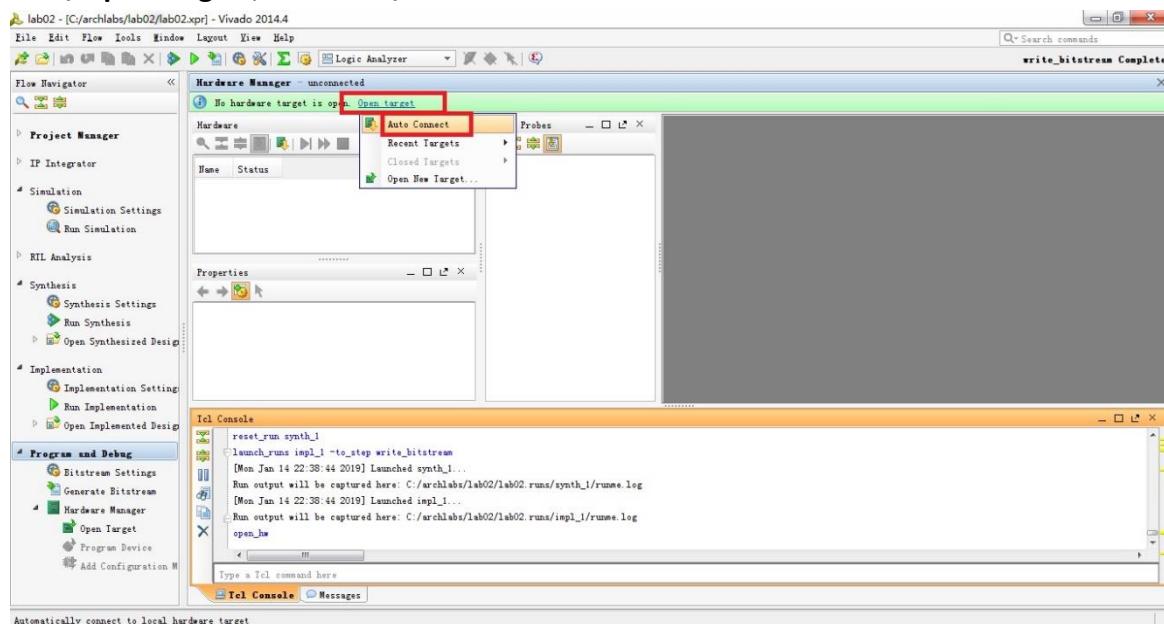


图 2-34 自动连接到 SWORD4.0

右键点击找到的 xc7k325t_0 , 选择 Program Device。

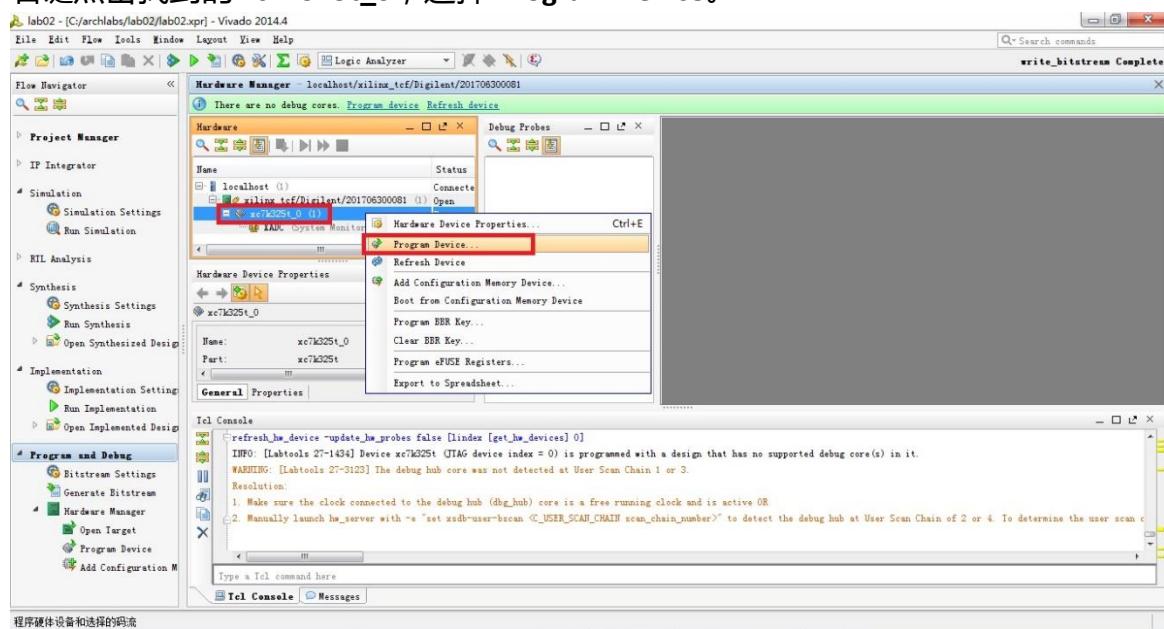


图 2-35 Program Device

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	23 of 25
作者	修改日期			
Hawk	2019/1/18			公开

点击 Program 下载 bit 文件。

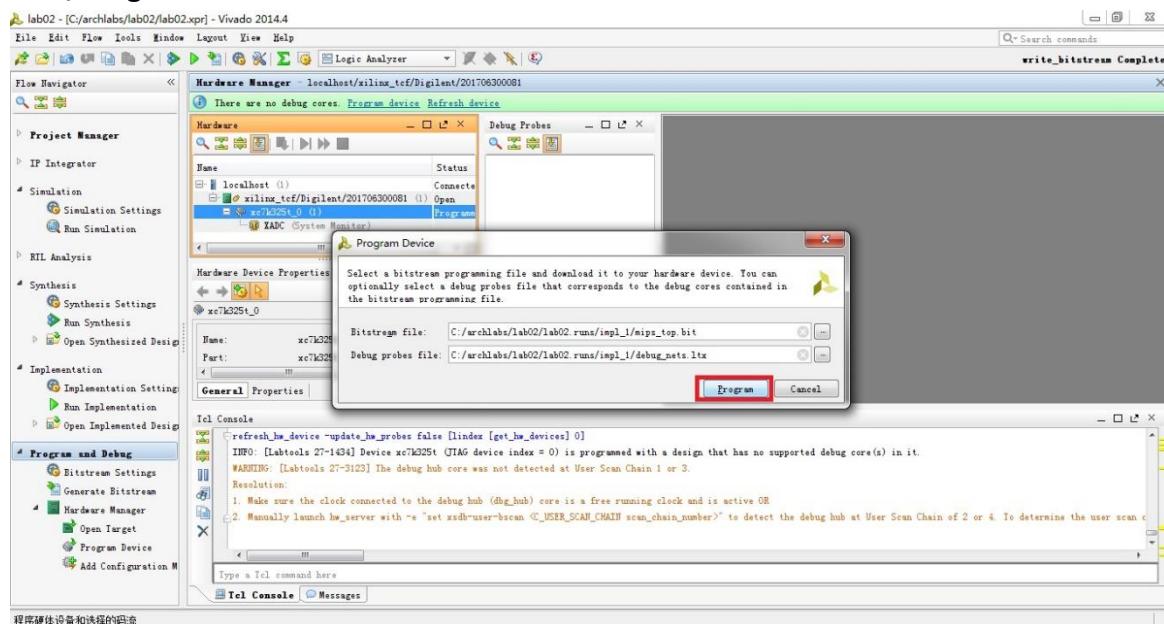


图 2-36 下载 bit 文件

下载完成后 SWORD4.0 上的反应，液晶屏上会显示调试信息。

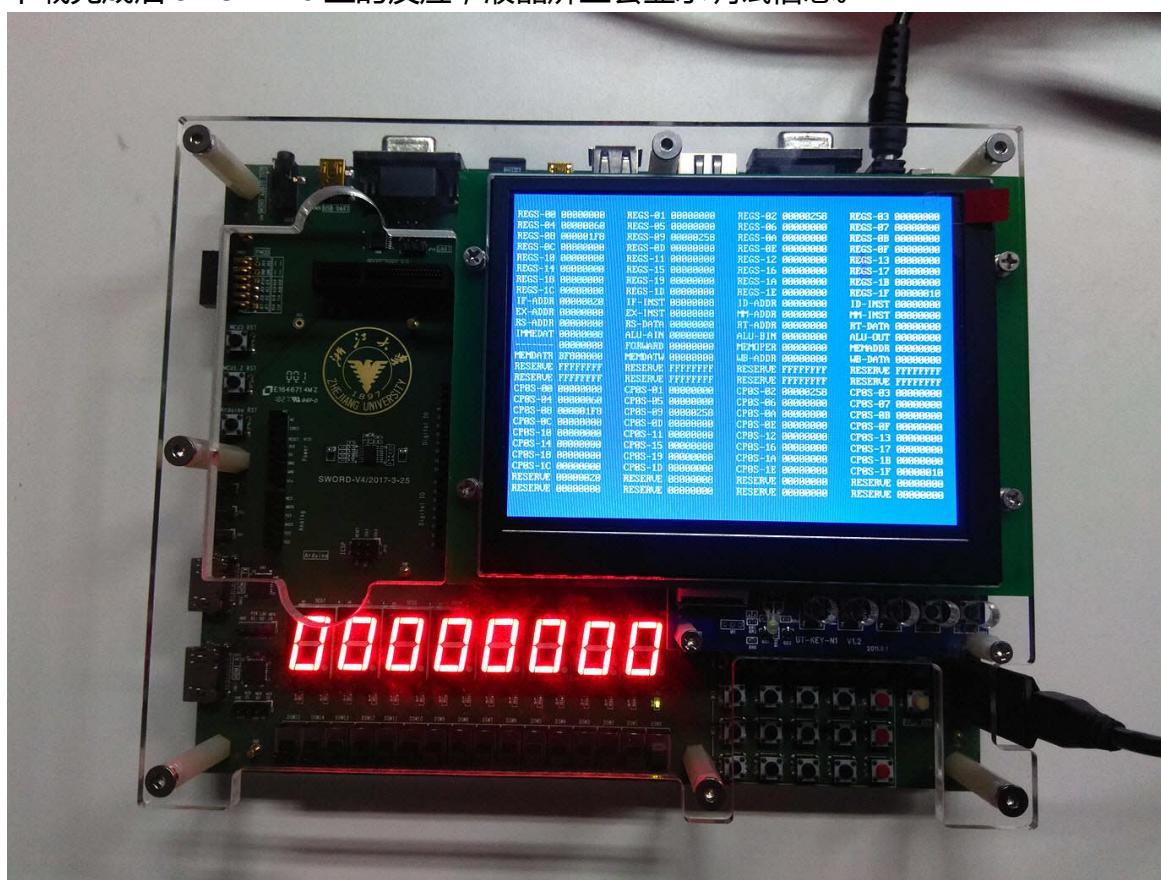


图 2-37 运行效果

通过将拨码开关 DSW0 拨向上，可以开启单步模式。之后每按一下键盘矩阵左下角

标题	文档编号	版本	页
Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	24 of 25
作者 Hawk	修改日期 2019/1/18		公开

的 BTNX4Y0 , CPU 就执行一条指令。按复位键 FPGA RST 按钮回到初始状态。

在单步模式下 , 通过每一步液晶屏显示的数据与仿真波形的对比 , 查看流水线 cpu 是否正常工作。

XINGDENG	标题	文档编号	版本	页
	Lab3: Pipelined CPU with forwarding	XD-LAB-ARCH-003	1.0	25 of 25
作者	修改日期			
Hawk	2019/1/18		公开	