

SWORD

XD-LAB-ARCH-008

Lab8: Cache Design

Joseph Xu

2019-1-23

修改记录


版本号.	作者	描述	修改日期
1.0	Joseph Xu	初稿	2019-01-23

审核记录

姓名	职务	签字	日期

目录

修改记录	0
审核记录	1
1. 实验准备	5
1.1 实验目的	5
1.2 实验内容	5
1.3 实验资料	5
2. 实验步骤	7
2.1 新建工程	7
2.2 增加文件	11
2.3 功能仿真	14

	标题	文档编号	版本	页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0	2 of 27
	作者	修改日期	公开	
	Joseph Xu	2019/1/23		

图目录

图 1-1	实验资料网站	5
图 1-2	实验文档和工程源文件	6
图 2-1	运行 Vivado	7
图 2-2	新建工程	7
图 2-3	新建工程向导	8
图 2-4	工程名称和路径	8
图 2-5	RTL 工程	9
图 2-6	FPGA 型号	10
图 2-7	新建工程完毕	10
图 2-8	增加文件	11
图 2-9	增加 constraints	11
图 2-10	增加文件	12
图 2-11	切换目录	12
图 2-12	选择文件	13
图 2-13	增加 Simulation sources 完成	13
图 2-14	cache 和 CMU 的仿真文件结构	14
图 2-15	对 cache 进行仿真	14
图 2-16	仿真视图	15
图 2-17	仿真所需要观察的所有信号	15
图 2-18	菜单中选择“Open Waveform Configuration”	16
图 2-19	切换目录	16
图 2-20	选择 wcfg 文件	16
图 2-21	通过加载波形配置文件添加信号	17
图 2-22	Restart Simulation	17
图 2-23	Run for...	17
图 2-24	仿真结果 1	18
图 2-25	仿真结果 2	18
图 2-26	关闭仿真视图	19
图 2-27	设置 CMU 的仿真顶层	19
图 2-28	开始仿真	20
图 2-29	仿真视图	20
图 2-30	仿真所需要观察的所有信号	21



	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 3 of 27
	作者	修改日期	
	Joseph Xu	2019/1/23	公开

图 2-31	菜单中选择“Open Waveform Configuration”	22
图 2-32	切换目录	22
图 2-33	选择 wcfg 文件	22
图 2-34	通过加载波形配置文件添加信号	23
图 2-35	Restart Simulation.....	23
图 2-36	Run for...	24
图 2-37	仿真结果 1.....	24
图 2-38	仿真结果 2.....	25
图 2-39	仿真结果 3.....	26
图 2-40	仿真结果 4.....	27
图 2-41	关闭仿真视图.....	27

	标题	文档编号	版本 页
	Lab8: Cache Design 作者 Joseph Xu	XD-LAB-ARCH-008 修改日期 2019/1/23	1.0 4 of 27 公开

1. 实验准备

1.1 实验目的

通过实验理解 Cache Line，缓存管理单元（Cache Management Unit，CMU）及其状态机的控制原理。掌握 CMU 和 Cache Line 的设计与验证方法。

1.2 实验内容

本实验内容包括：

- 设计 Cache Line 和缓存管理单元 CMU；
- 对 Cache Line 和缓存管理单元 CMU 进行行为仿真，检查功能正确性。

1.3 实验资料

实验资料可以从网站 <https://gitee.com/SWORDfpga/ComputerArchitecture> 获得。

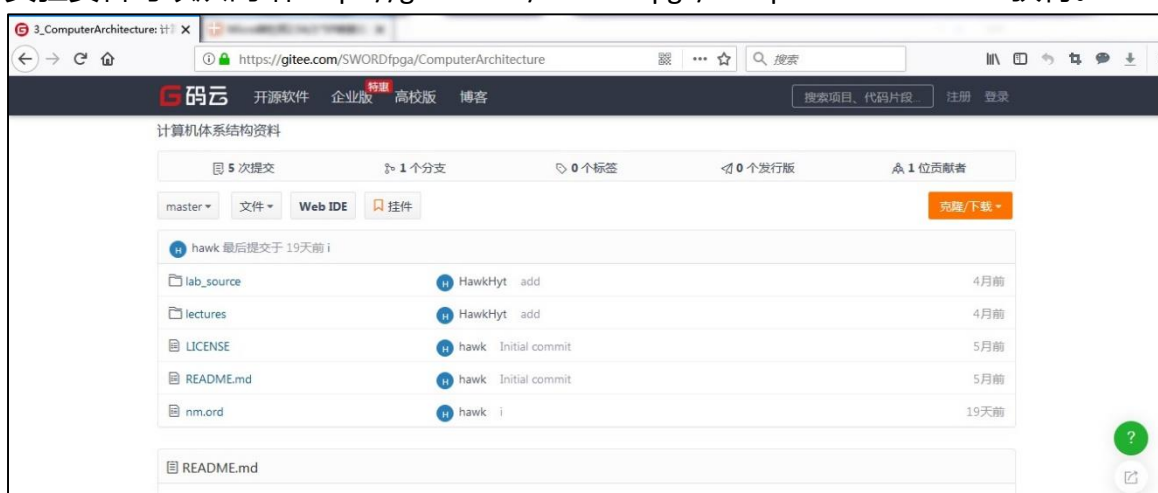



图 1-1 实验资料网站

为方便使用，建议建立 c:\archlabs 目录，放置实验资料和实验工程。

	标题	文档编号	版本	页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0	5 of 27
	作者	修改日期	公开	
	Joseph Xu	2019/1/23		

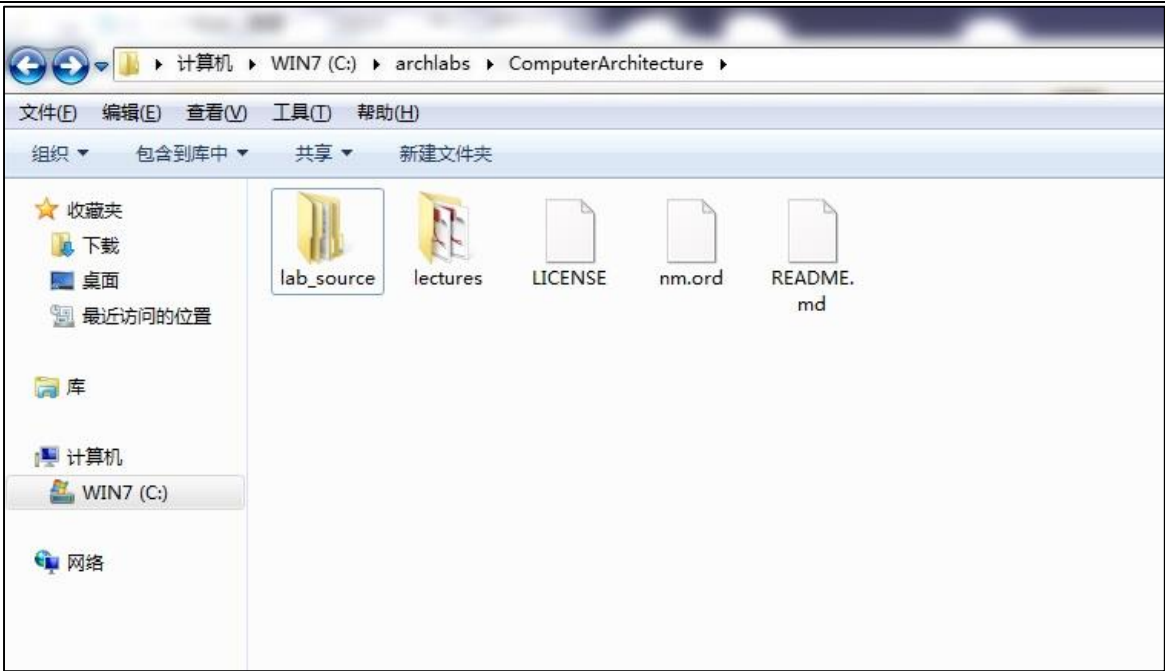


图 1-2 实验文档和工程源文件

	标题	文档编号	版本	页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0	6 of 27
	作者	修改日期	公开	
	Joseph Xu	2019/1/23		

2. 实验步骤

2.1 新建工程

首先启动 Vivado 2014.4 开发工具，如图 2-1 所示：

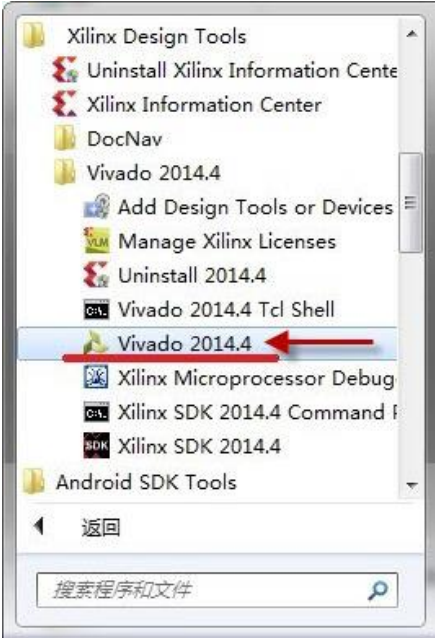


图 2-1 运行 Vivado

点击 **Create New Project**，如图 2-2 所示：

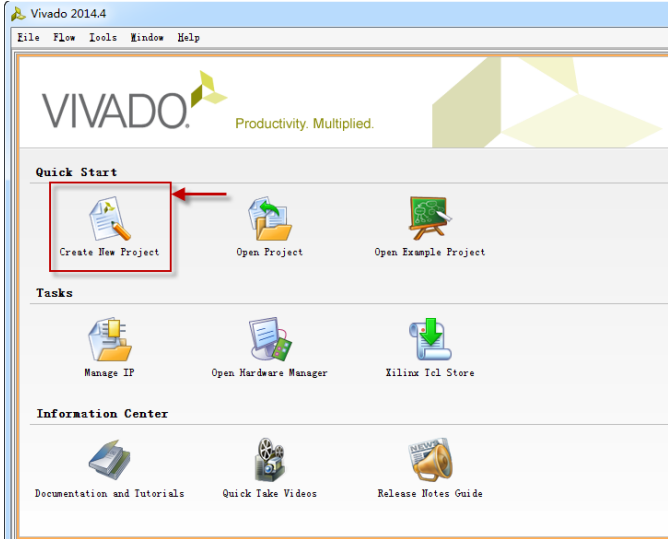


图 2-2 新建工程

通过 New Project 向导我们可以建立新工程，点击 Next 继续，如图 2-3 所示：

	标题	文档编号	版本	页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0	7 of 27
	作者	修改日期	公开	
	Joseph Xu	2019/1/23		

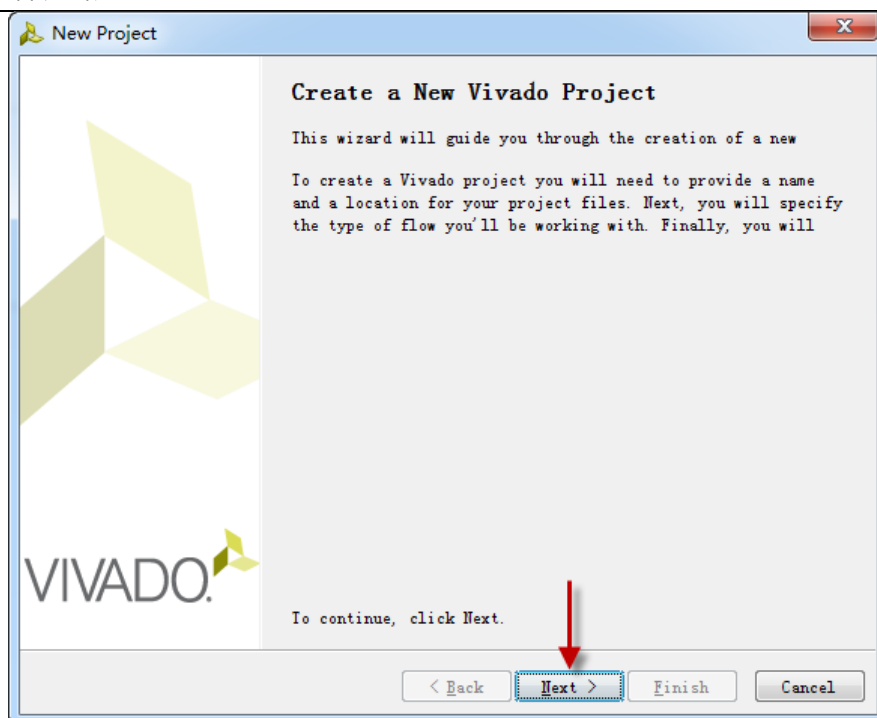


图 2-3 新建工程向导

输入工程名称 **lab08**，工程位置建议 **C:/archlabs**，选中 **Create project subdirectory** 后点击 **Next** 继续，如图 2-4 所示：

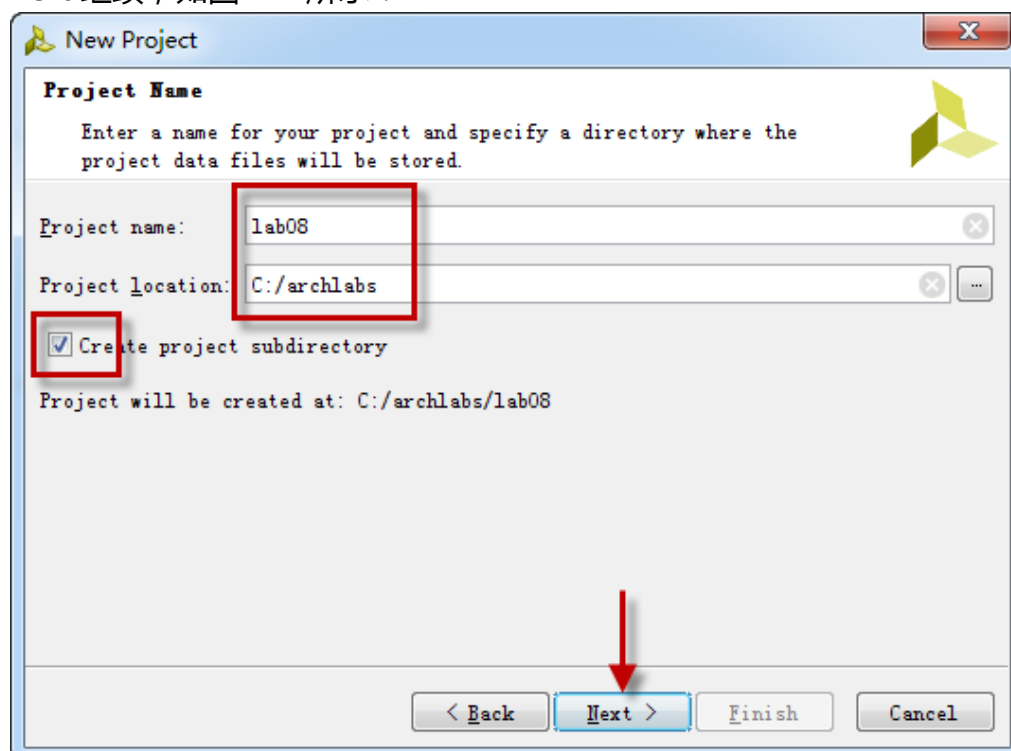



图 2-4 工程名称和路径

选择创建的工程类型 **RTL Project**，选中 **Do not specify sources at this time** 不在创建

	标题	文档编号	版本	页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0	8 of 27
	作者	修改日期	公开	
	Joseph Xu	2019/1/23		

工程时决定 sources 文件，点击 **Next** 继续，如图 2-5 所示：

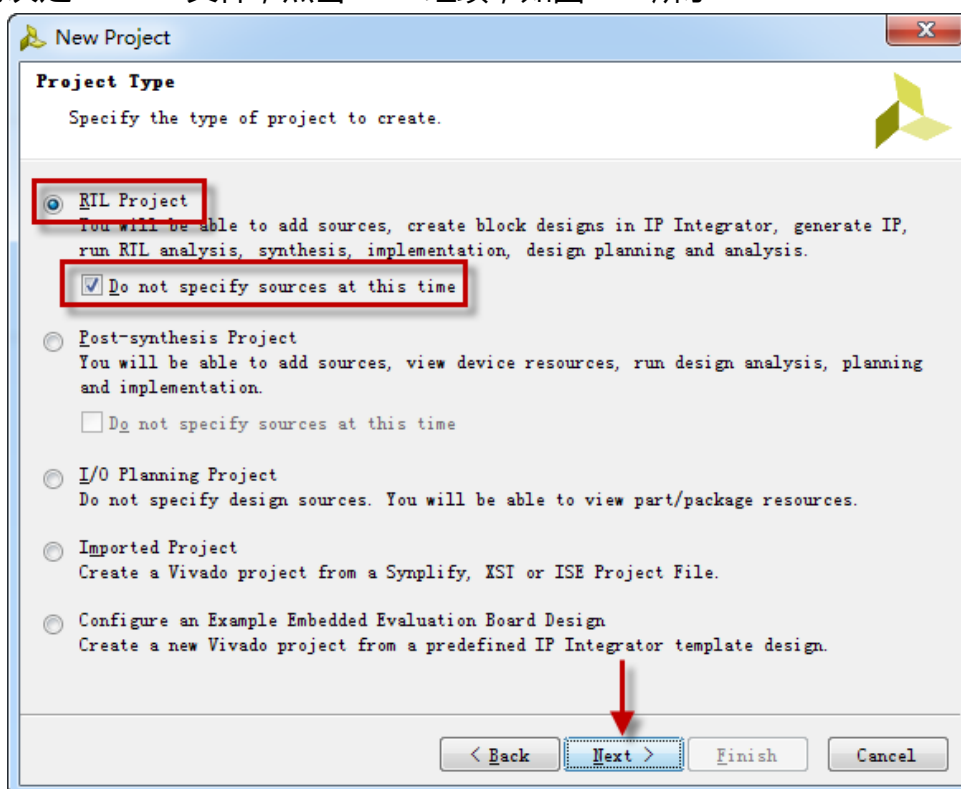



图 2-5 RTL 工程

选择 SWORD4.0 的 FPGA 参数，Family 选 **Kintex-7**，Package 选 **ffg676**，Speed grade 选-2，在找到的具体型号中选 **xc7k325tffg676-2**，点击 **Next** 继续，如图 2-6 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 9 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

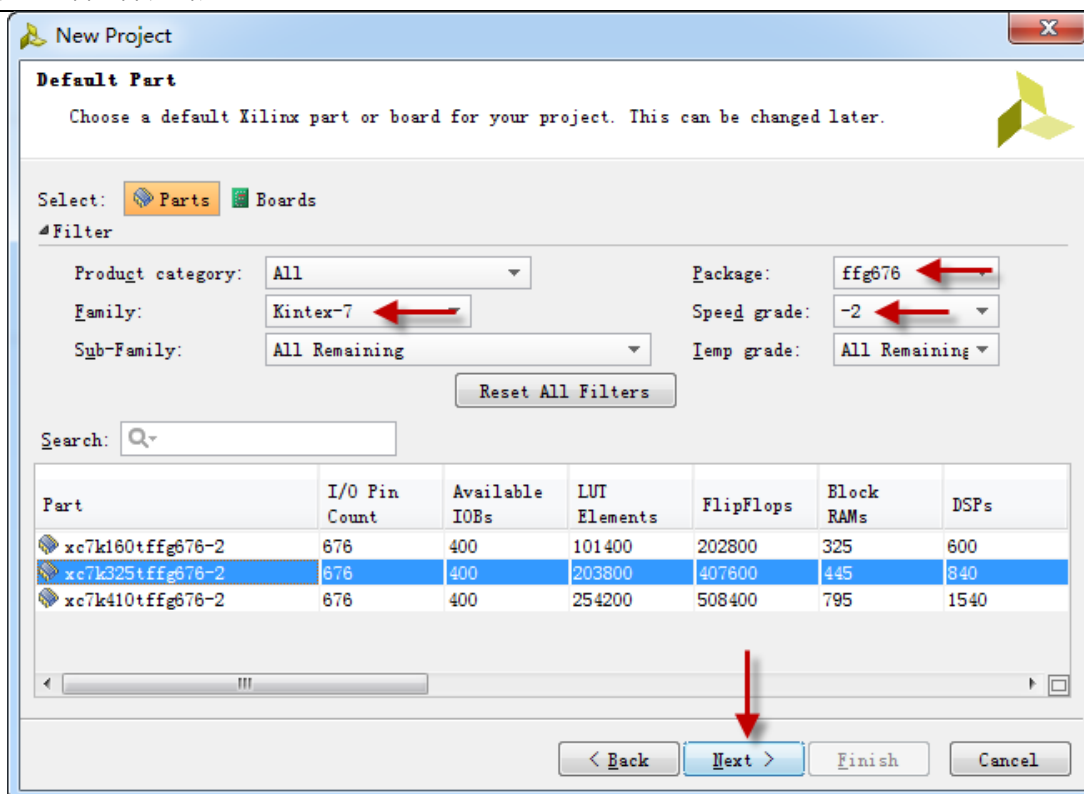


图 2-6 FPGA 型号

点击 **Finish** 结束工程的创建，如图 2-7 所示：

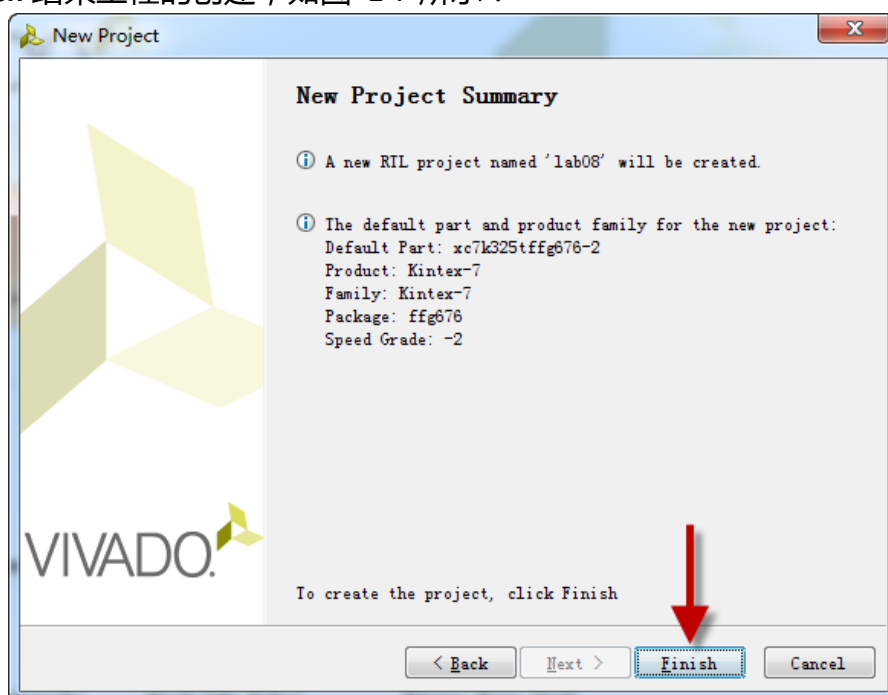


图 2-7 新建工程完毕

xingdeng	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 10 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

2.2 增加文件

在 **Simulation** 上点击右键，点击 **Add Sources**，如图 2-8 所示：

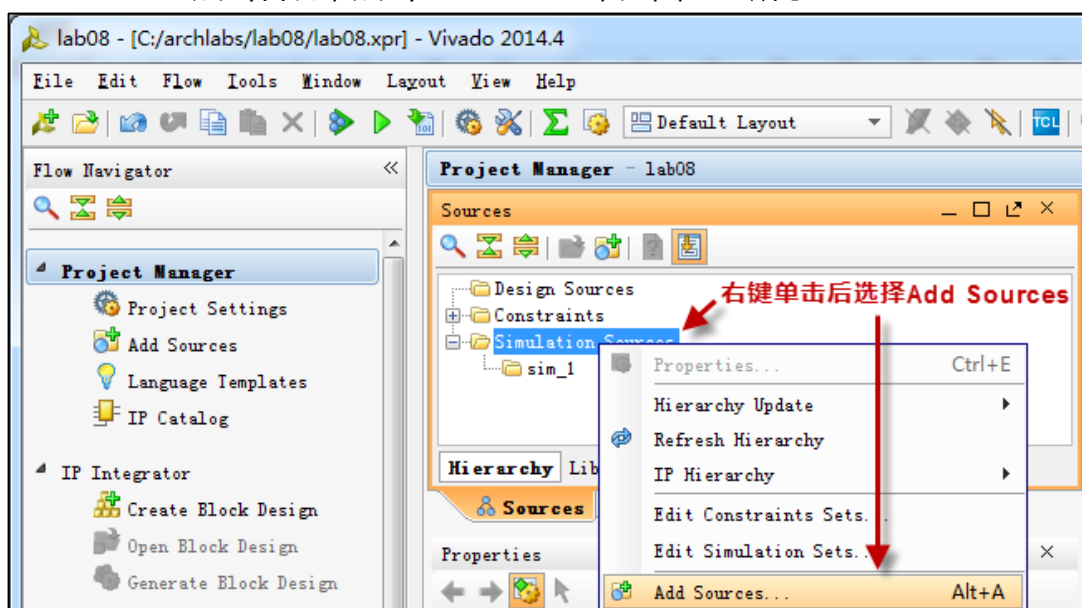


图 2-8 增加文件

选中 **Add or create constraints**，点击 **Next** 继续，如图 2-9 所示：

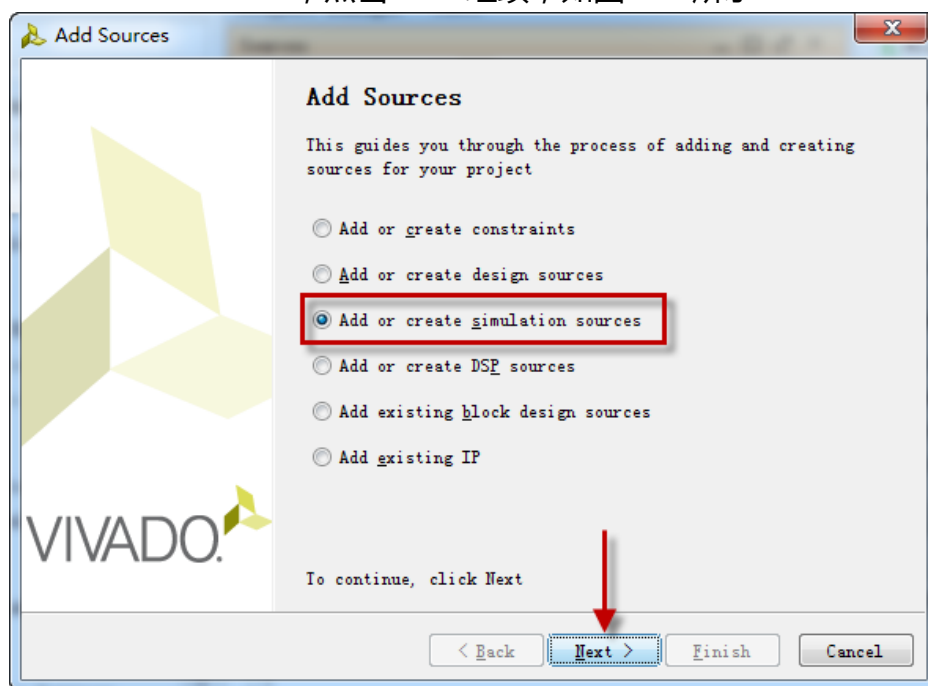



图 2-9 增加 constraints

点击 **Add Files**，如图 2-10 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 11 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

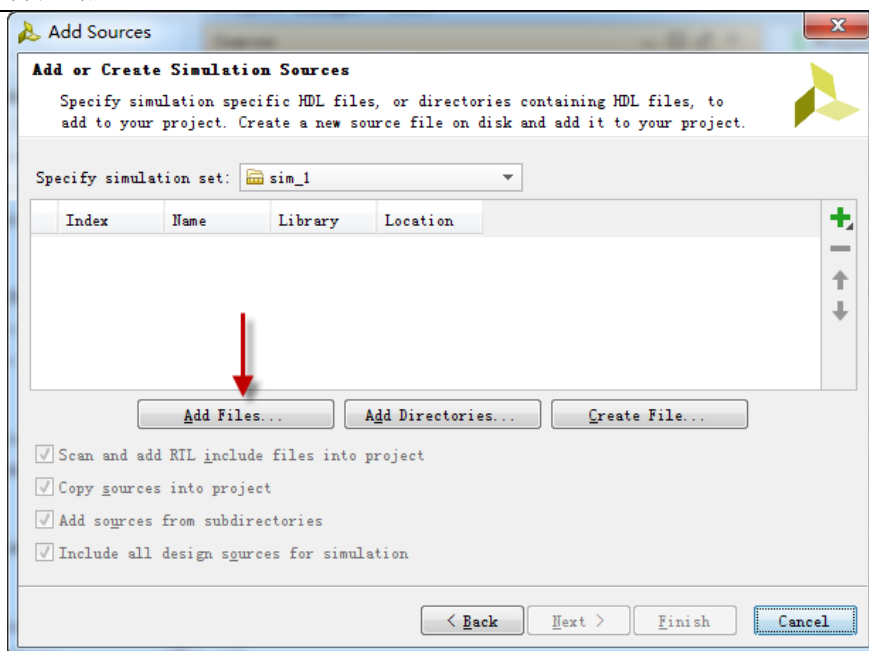


图 2-10 增加文件

进入 C:\archlabs\ComputerArchitecture\lab_source\lab08\sources\cache_cmu 目录，
如图 2-11 所示：

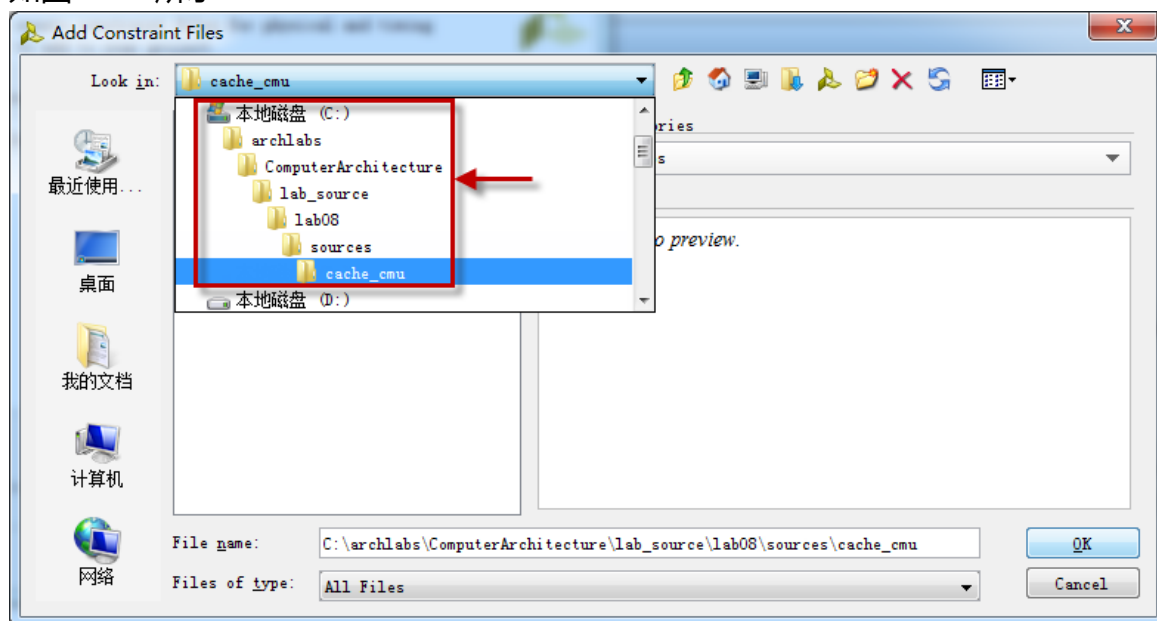



图 2-11 切换目录

选中所有文件，点击回车键确认，如图 2-12 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 12 of 27
	作者	修改日期	
	Joseph Xu	2019/1/23	公开

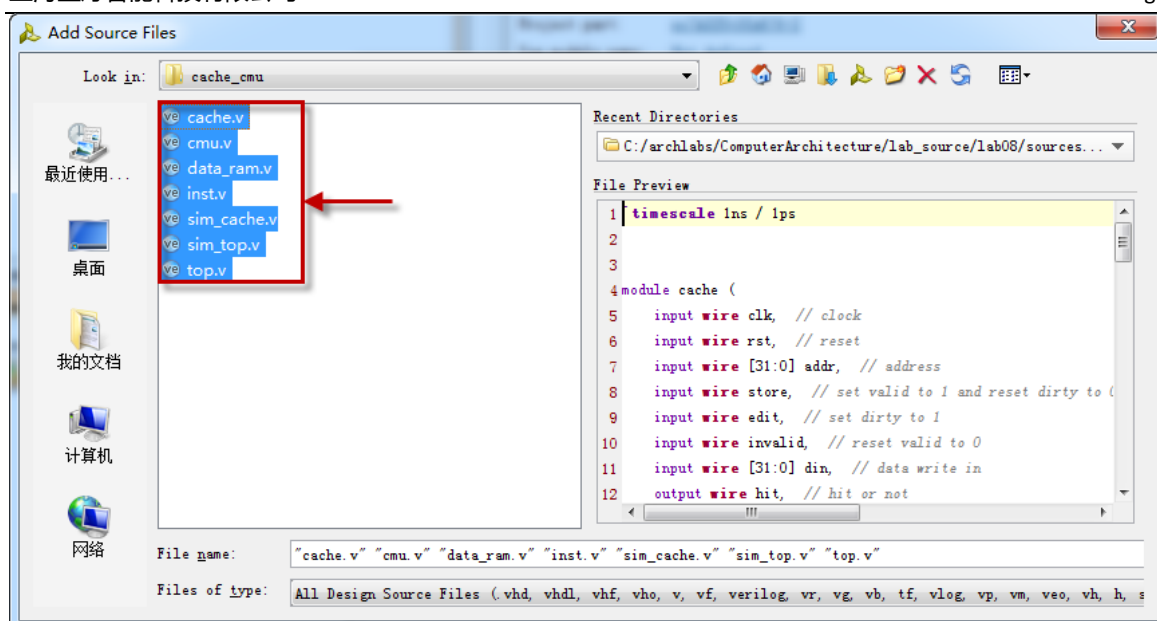


图 2-12 选择文件

列表中会显示要添加到工程中的文件，本次操作添加了 7 个文件，请确认添加文件的数量正确。勾选 **Scan and add RTL include files into project**，**Copy sources into project** 和 **Include all design sources for simulation**，点击 **Finish**，如图 2-13 所示：

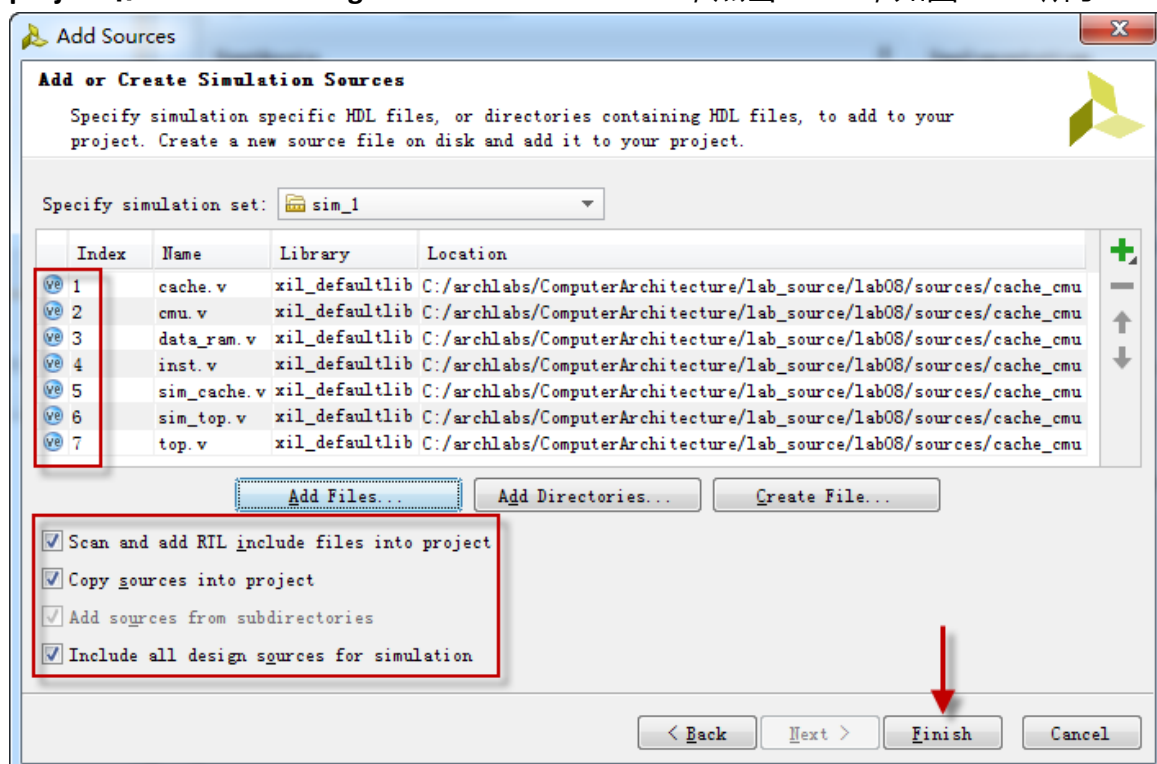



图 2-13 增加 Simulation sources 完成

添加后的文件层次如图 2-14 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 13 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

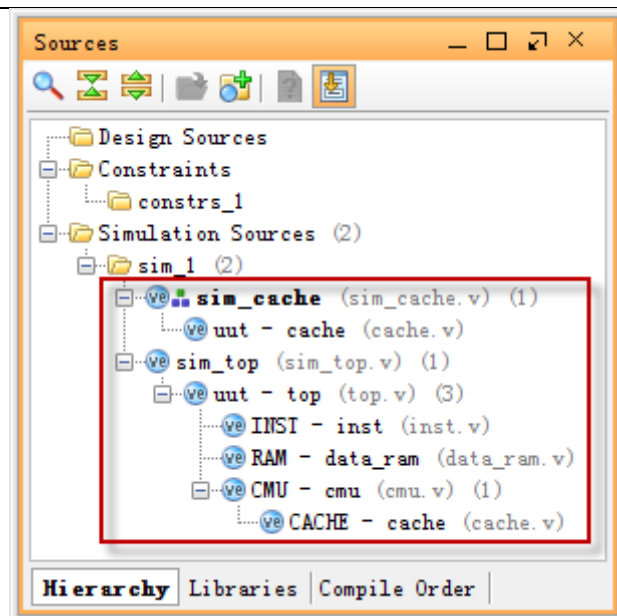


图 2-14 cache 和 CMU 的仿真文件结构

2.3 功能仿真

首先我们对 Cache 进行仿真，从图 2-15 可以看出，当前仿真文件顶层为 sim_cache.v，点击 **Run Simulation** 下的 **Run Behavioral Simulation**。

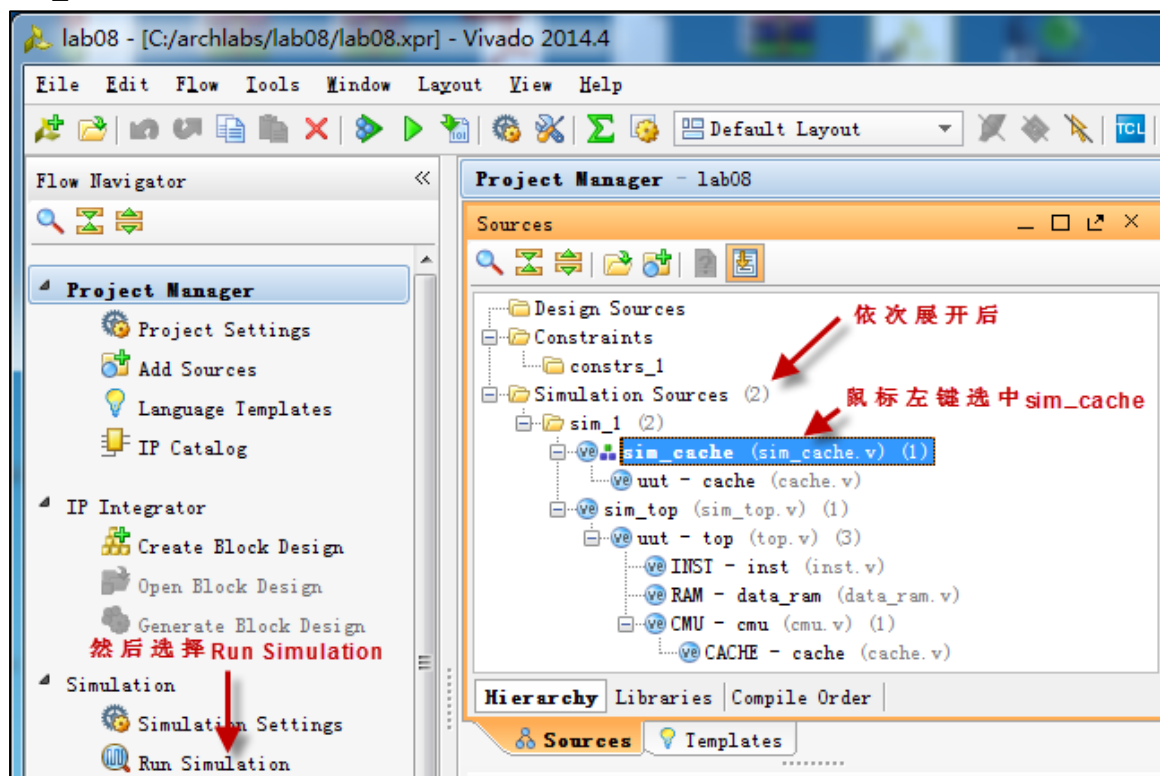



图 2-15 对 cache 进行仿真

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 14 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

仿真编译成功后，进入仿真视图，如图 2-16 所示：

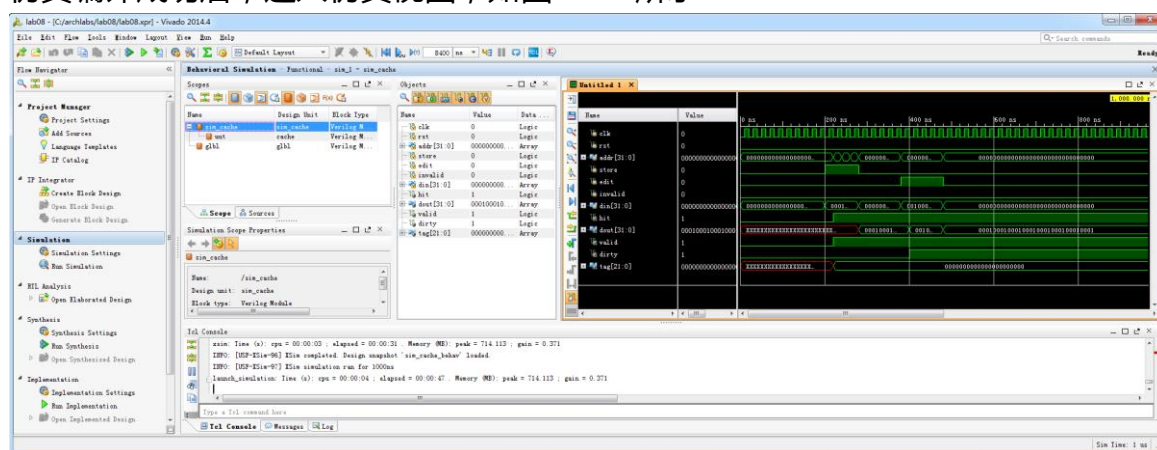


图 2-16 仿真视图

将波形列表中的 dout[31:0]、tag[21:0]、addr[31:0]、din[31:0]信号设置为 16 进制显示，并重排为如图 2-17 所示的顺序：

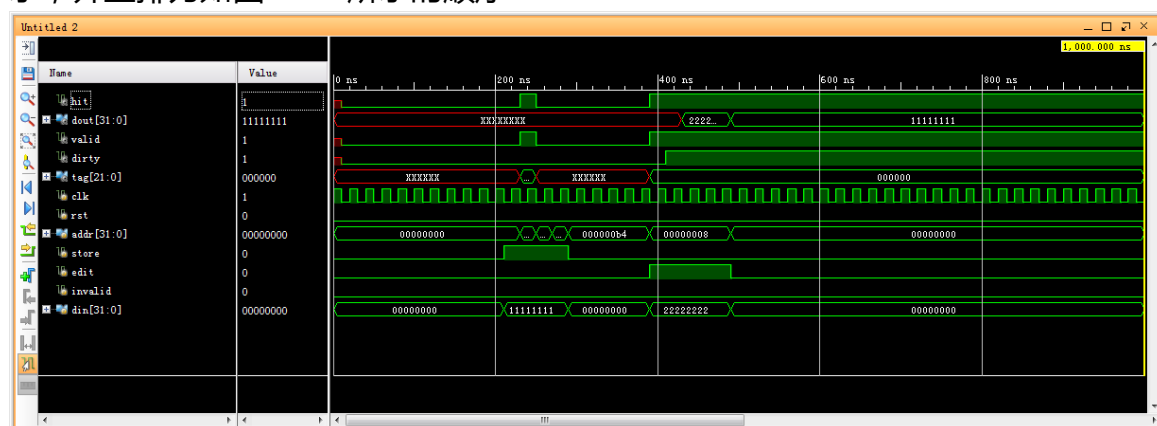



图 2-17 仿真所需要观察的所有信号

另外为了方便操作，可以直接加载预先提供的波形列表配置文件，具体操作如下：
在仿真视图下，选择 File→Open Waveform Configuration，如图 2-18 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 15 of 27
	作者	修改日期	
	Joseph Xu	2019/1/23	公开

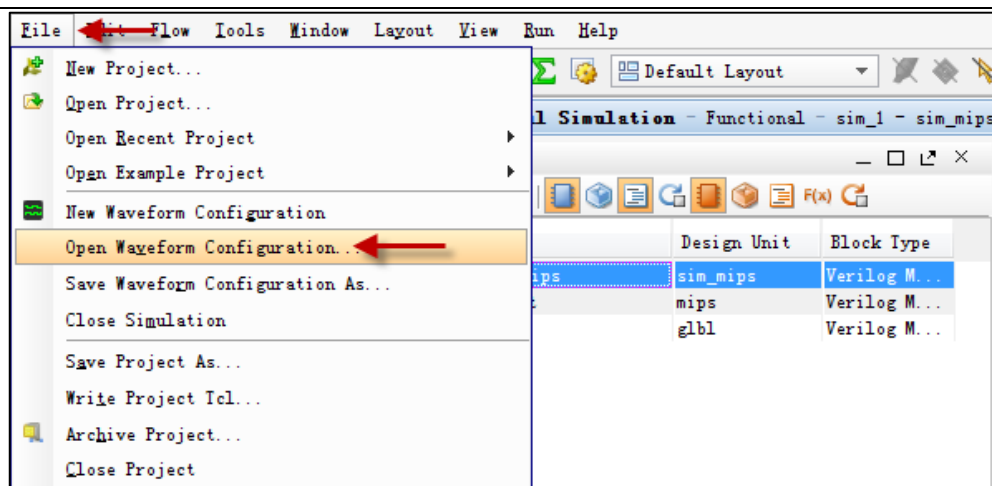


图 2-18 菜单中选择“Open Waveform Configuration”

切换到 C:\archlabs\ComputerArchitecture\lab_source\lab08\simulation 目录，如图 2-19 所示：

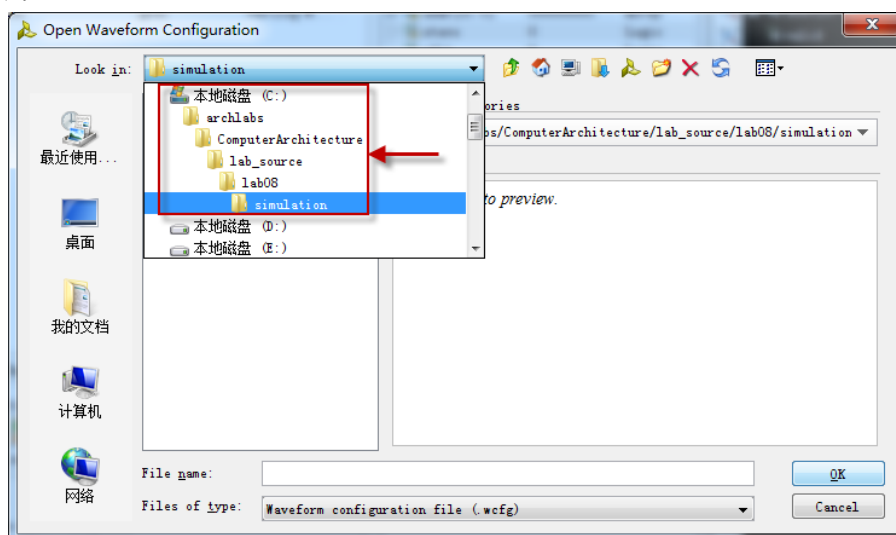


图 2-19 切换目录

选择 lab8_sim_cache.wcfg 文件，然后点击 OK。如图 2-20 所示：

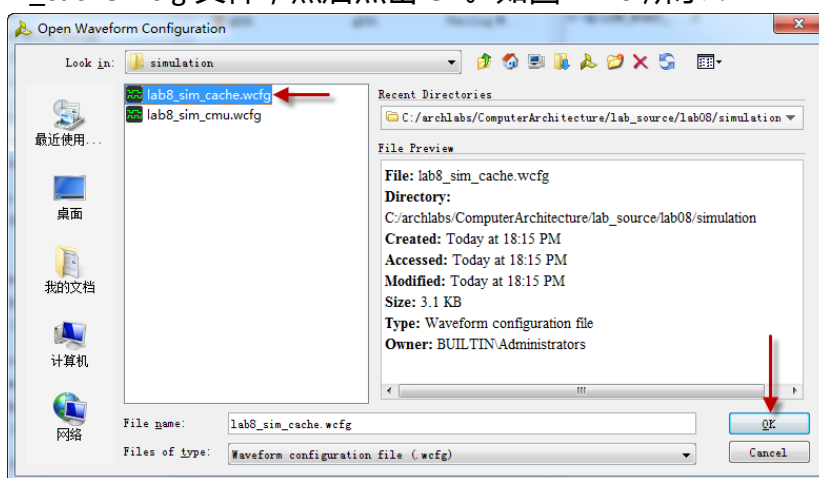


图 2-20 选择 wcfg 文件

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 16 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

添加后的信号如图 2-21 所示：

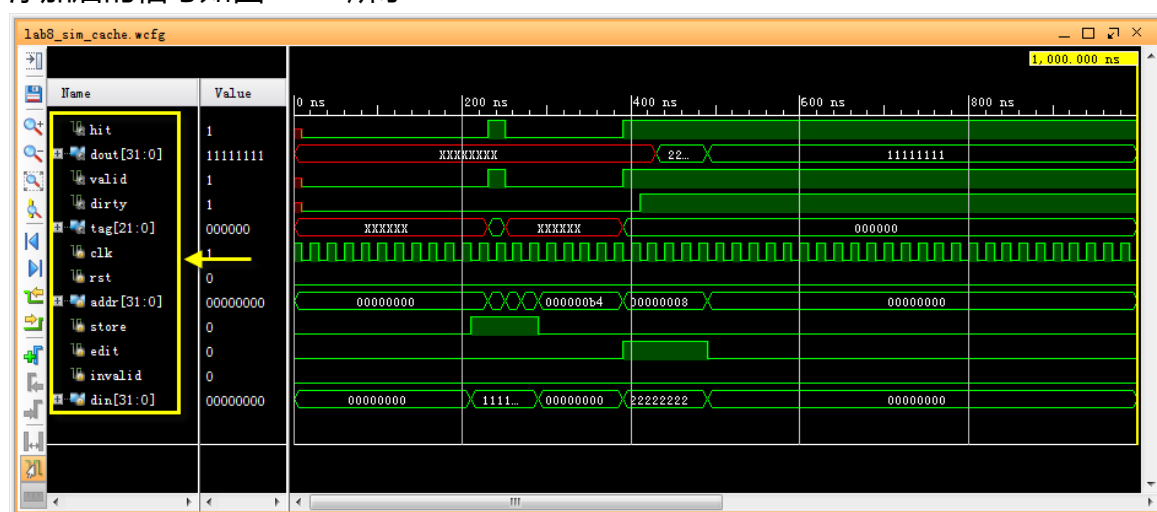


图 2-21 通过加载波形配置文件添加信号

增加信号后需要使用 Run 菜单下的 Restart，重新开始仿真，如图 2-22 所示：

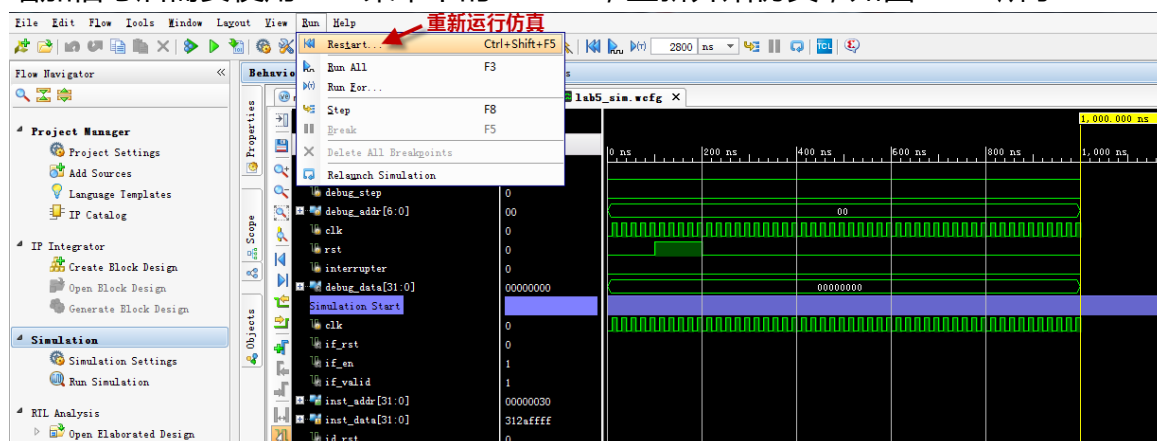


图 2-22 Restart Simulation

使用 Run for...仿真指定时间长的波形，如图 2-23 所示：

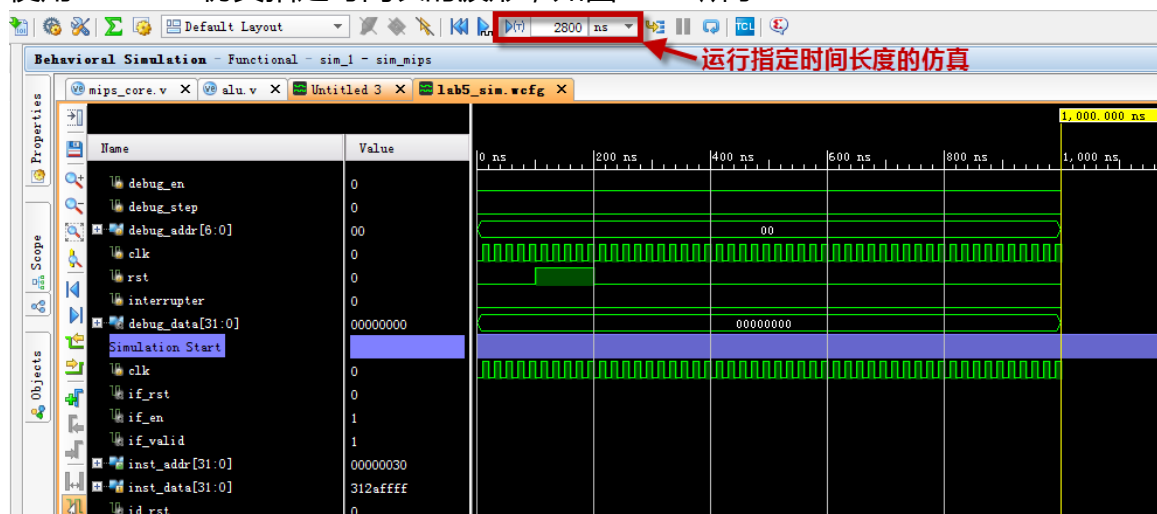



图 2-23 Run for..

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 17 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

通过键盘 Shift+ "-" 和 Shift+ "+" 可以对波形图进行缩放。

将仿真出的波形和下面 2 张图对比，可以知道设计的电路是否正常工作。

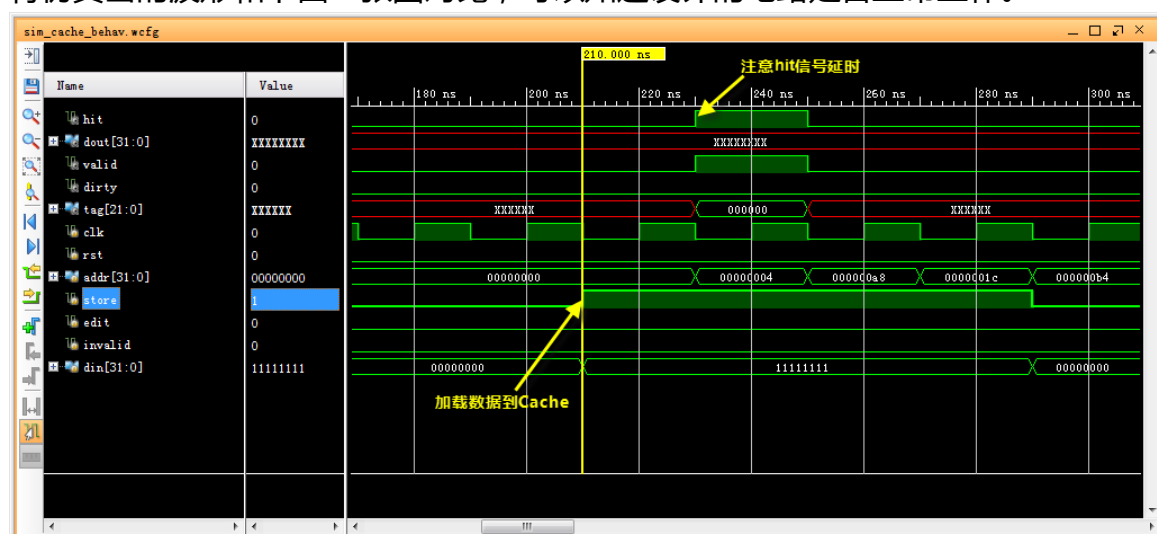


图 2-24 仿真结果 1

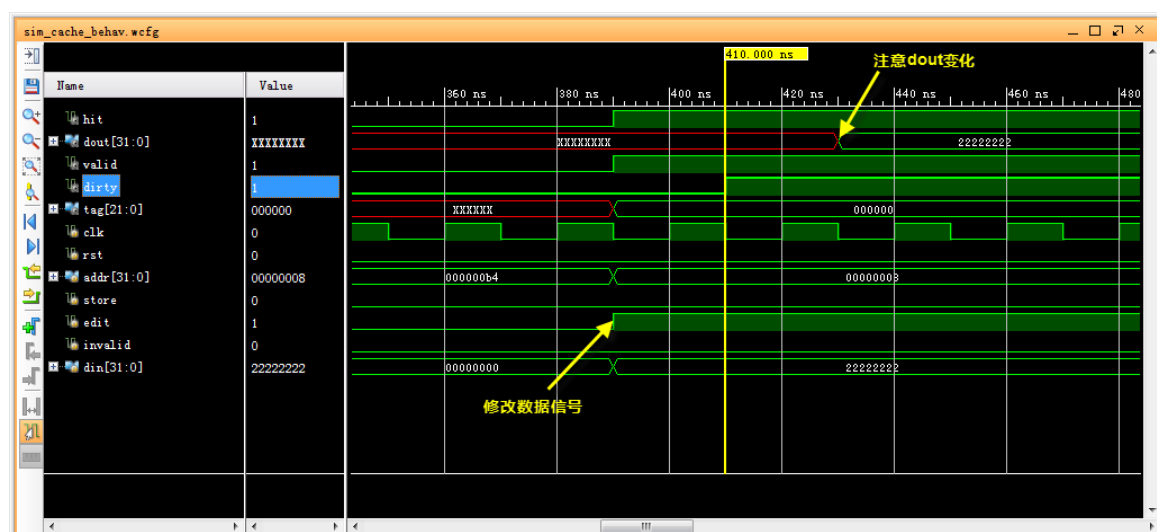



图 2-25 仿真结果 2

对 Cache 的仿真结束后，在菜单中选择 File→Close Simulation，关闭仿真视图。如图 2-26 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 18 of 27
	作者	修改日期	
	Joseph Xu	2019/1/23	公开

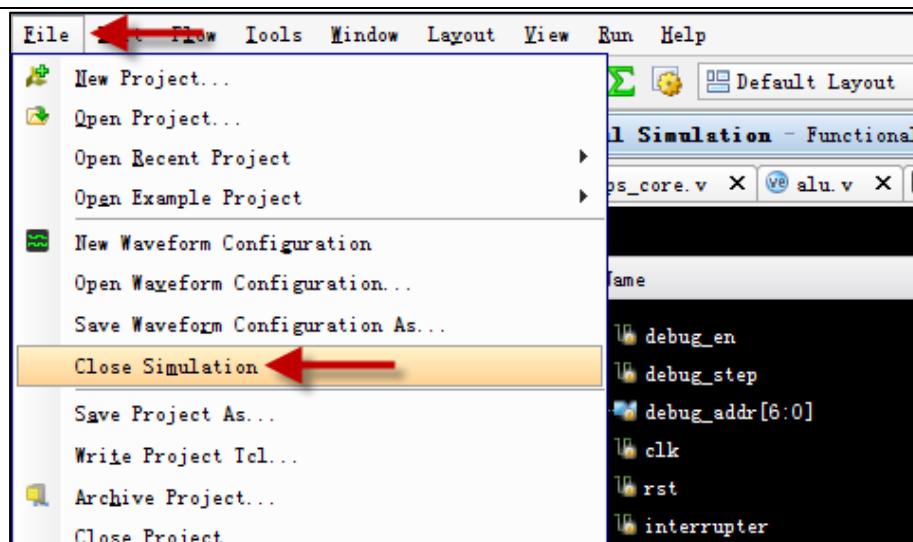


图 2-26 关闭仿真视图

接着我们对 CMU 进行功能仿真。回到 Vivado 主界面，然后在 Source 子窗口的 Simulation Sources 下将 sim_top 设置为仿真顶层，如图 2-27 所示：

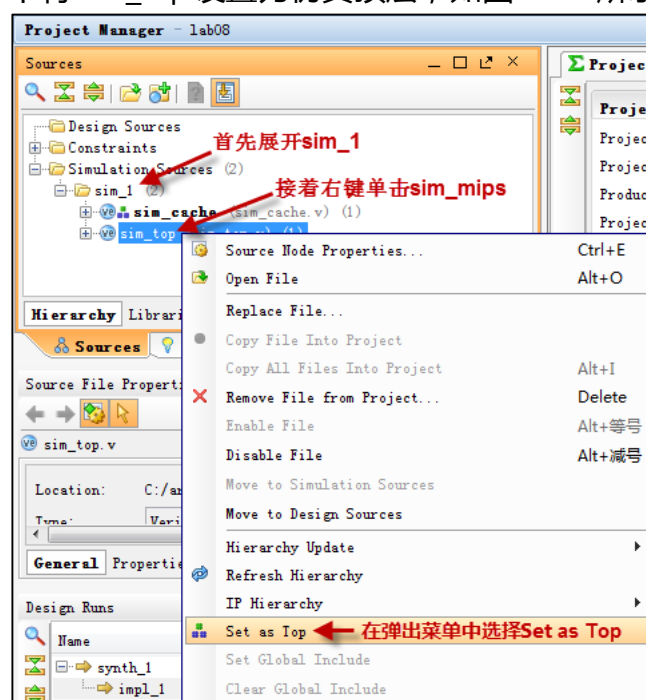



图 2-27 设置 CMU 的仿真顶层

接着点击 Run Simulation 下的 Run Behavioral Simulation，如图 2-28 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 19 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

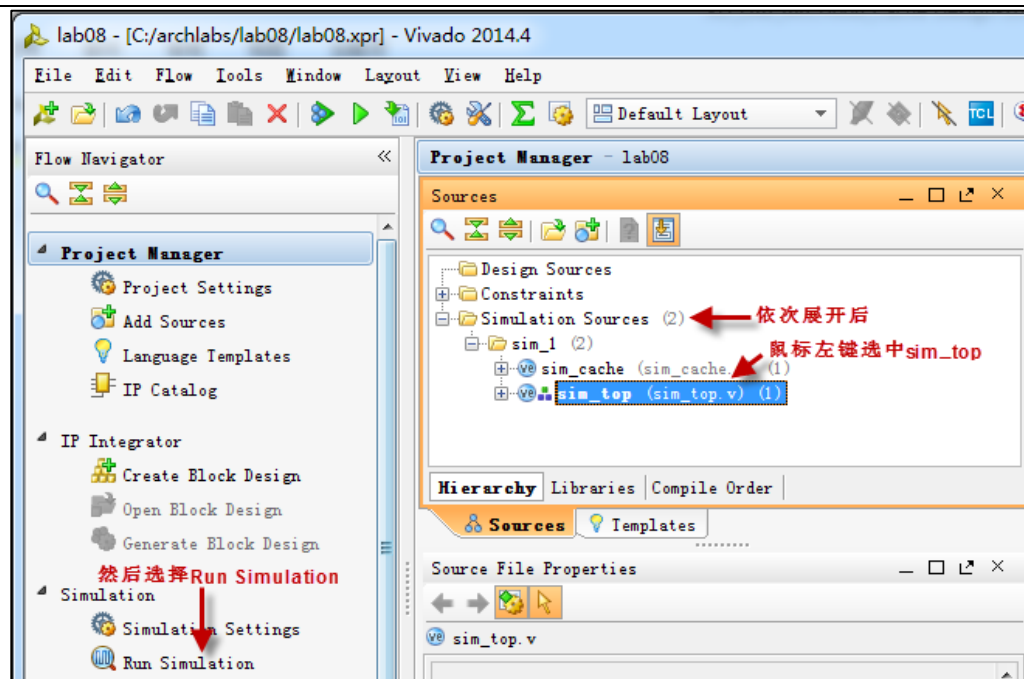


图 2-28 开始仿真

仿真编译成功后，进入仿真视图，如图 2-29 所示：

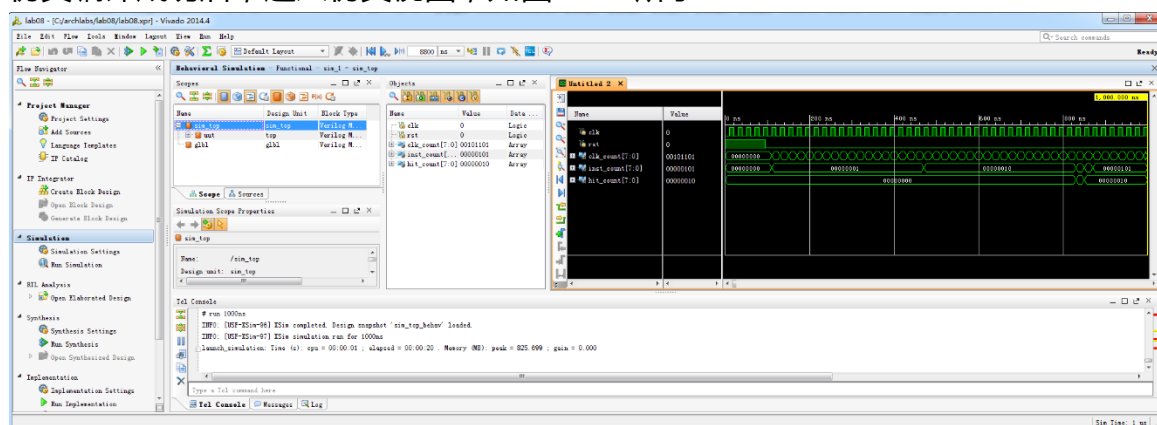



图 2-29 仿真视图

按照之前实验的仿真操作，将如下信号添加到波形列表中：

1. /sim_top/clk
2. /sim_top/rst
3. /sim_top/clk_count[7:0]
4. /sim_top/inst_count[7:0]
5. /sim_top/hit_count[7:0]
6. /sim_top/uut/CMU/addr_rw[31:0]
7. /sim_top/uut/CMU/en_r
8. /sim_top/uut/CMU/data_r[31:0]
9. /sim_top/uut/CMU/stall
10. /sim_top/uut/CMU/cache_hit
11. /sim_top/uut/CMU/cache_valid

	标题	文档编号	版本	页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0	20 of 27
	作者	修改日期	公开	
	Joseph Xu	2019/1/23		

12. /sim_top/uut/CMU/cache_dirty
13. /sim_top/uut/CMU/cache_tag[21:0]
14. /sim_top/uut/CMU/cache_store
15. /sim_top/uut/CMU/cache_edit
16. /sim_top/uut/CMU/cache_addr[31:0]
17. /sim_top/uut/CMU/cache_din[31:0]
18. /sim_top/uut/CMU/cache_dout[31:0]
19. /sim_top/uut/CMU/mem_cs_o
20. /sim_top/uut/CMU/mem_we_o
21. /sim_top/uut/CMU/mem_addr_o[31:0]
22. /sim_top/uut/CMU/mem_data_i[31:0]
23. /sim_top/uut/CMU/mem_data_o[31:0]
24. /sim_top/uut/CMU/mem_ack_i
25. /sim_top/uut/CMU/state[2:0]
26. /sim_top/uut/CMU/word_count[1:0]

添加后将所有 2 位宽度以上的信号都设置成 16 进制显示。添加并设置后的波形列表如图 2-30 所示：

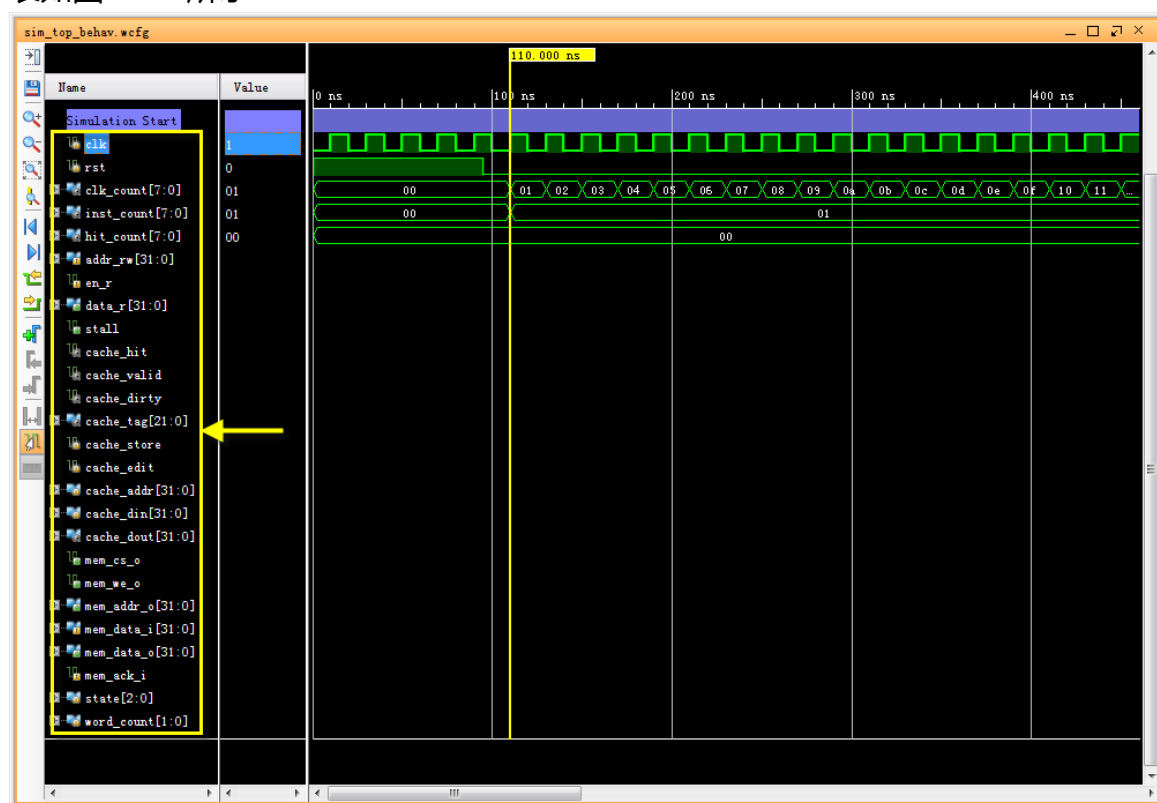



图 2-30 仿真所需要观察的所有信号

另外为了方便操作，可以直接加载预先提供的波形列表配置文件，具体操作如下：
在仿真视图下，选择 File→Open Waveform Configuration，如图 2-31 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 21 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

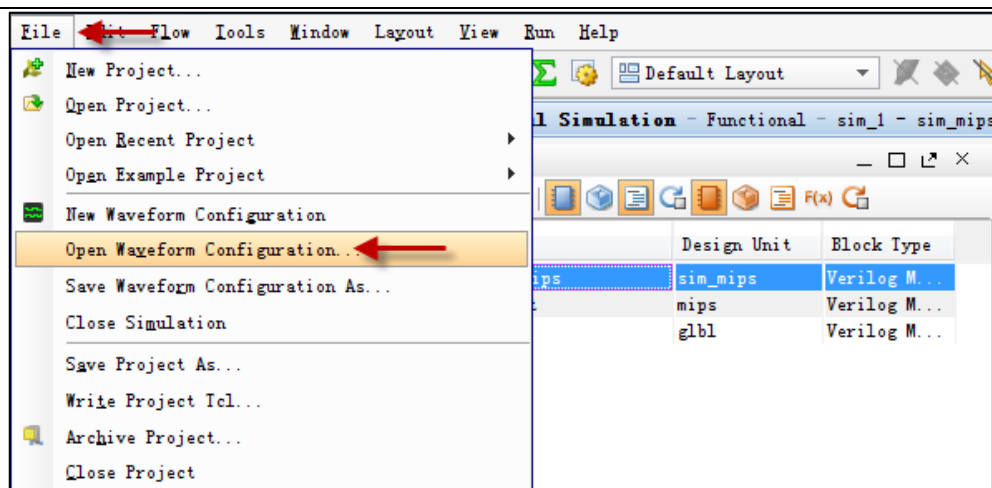


图 2-31 菜单中选择“Open Waveform Configuration”

切换到 C:\archlabs\ComputerArchitecture\lab_source\lab08\simulation 目录，如图 2-32 所示：

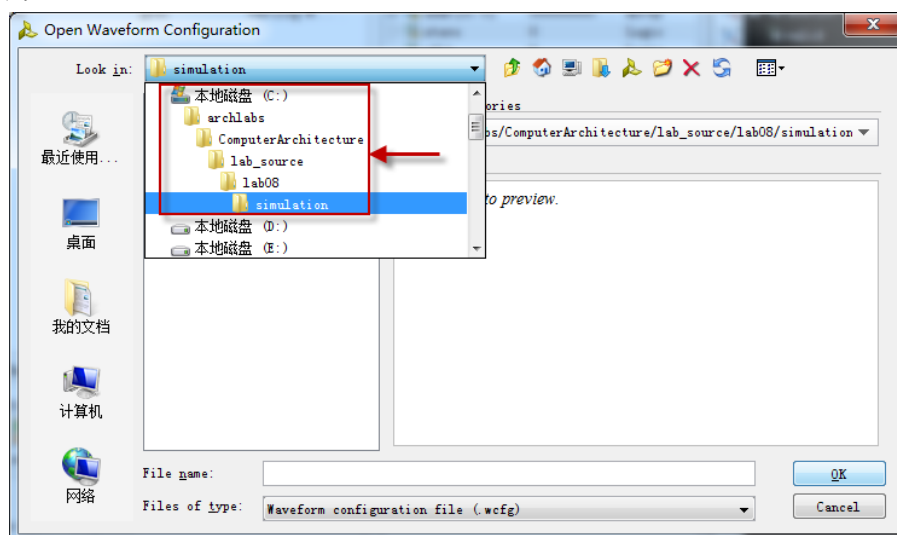


图 2-32 切换目录

选择 lab8_sim_cmu.wcfg 文件，然后点击 OK。如图 2-33 所示：

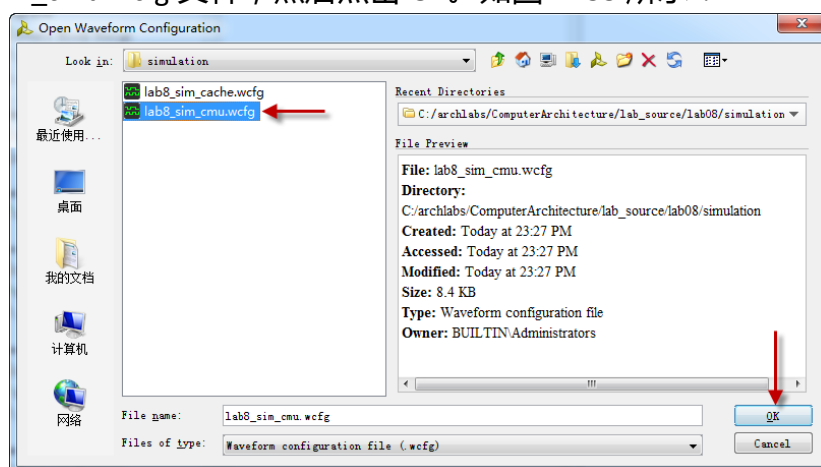


图 2-33 选择 wcfg 文件

添加后的信号如图 2-34 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 22 of 27
	作者	修改日期	
	Joseph Xu	2019/1/23	公开

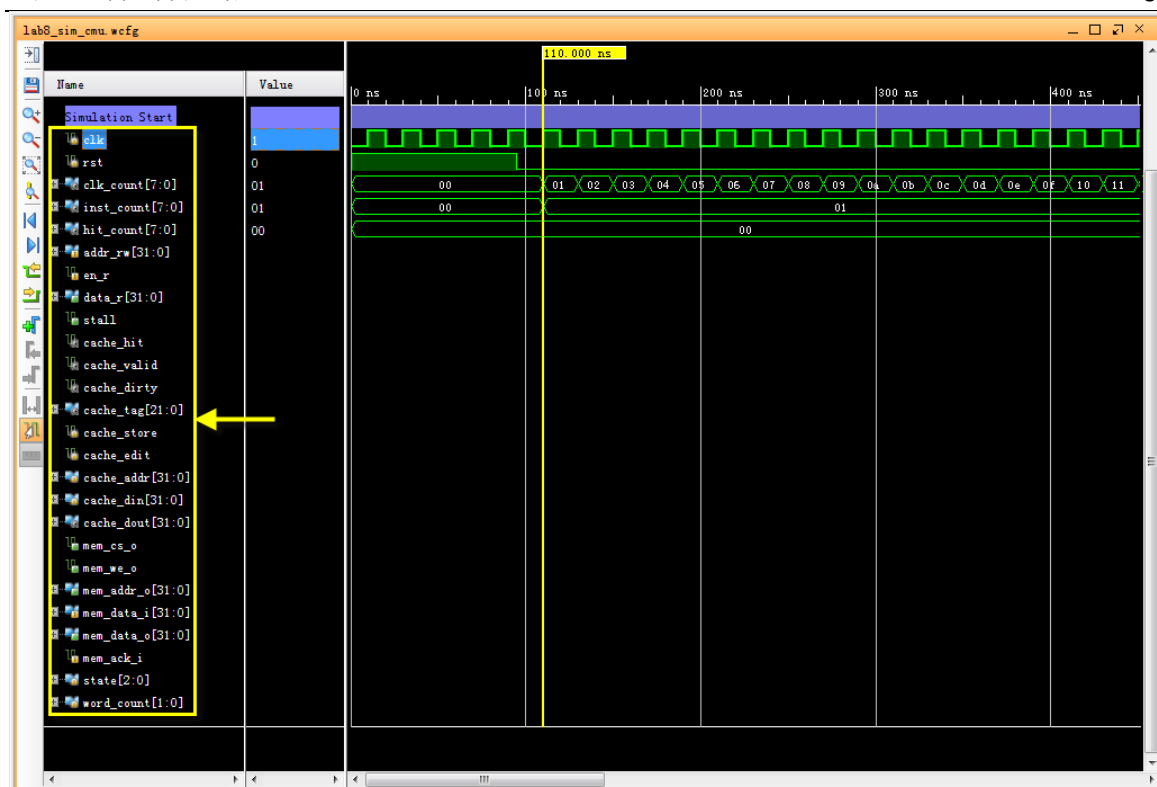


图 2-34 通过加载波形配置文件添加信号

增加信号后需要使用 Run 菜单下的 Restart，重新开始仿真，如图 2-35 所示：

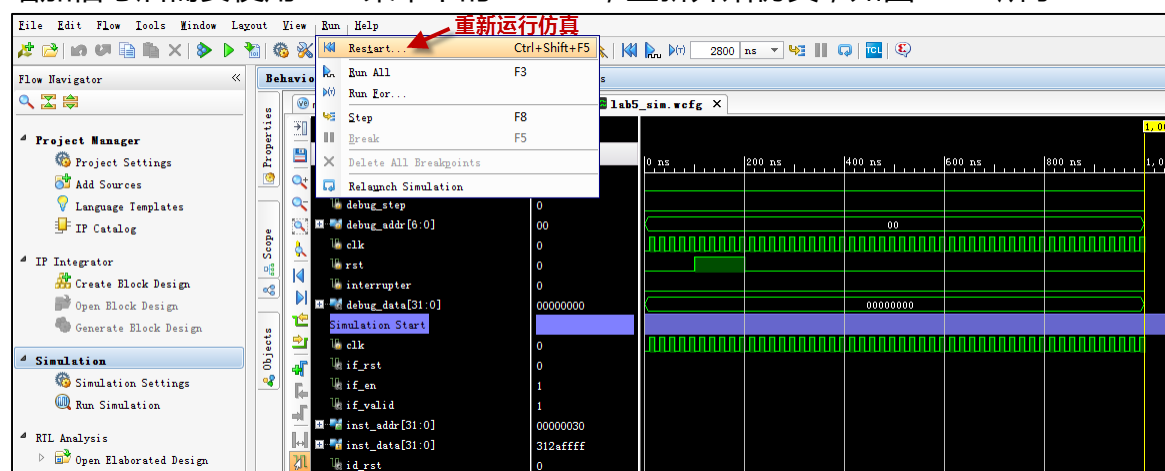



图 2-35 Restart Simulation

使用 Run for...仿真指定时间长的波形，如图 2-36 所示：

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 23 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

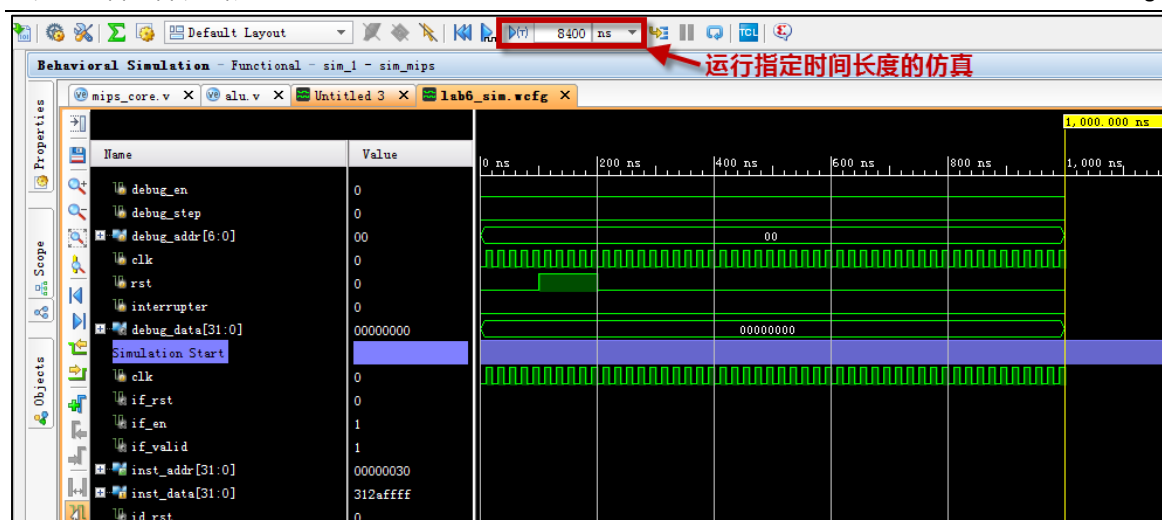


图 2-36 Run for..

通过键盘 Shift+ "-" 和 Shift+ "+" 可以对波形图进行缩放。

将仿真出的波形和下面 2 张图对比，可以知道设计的电路是否正常工作。

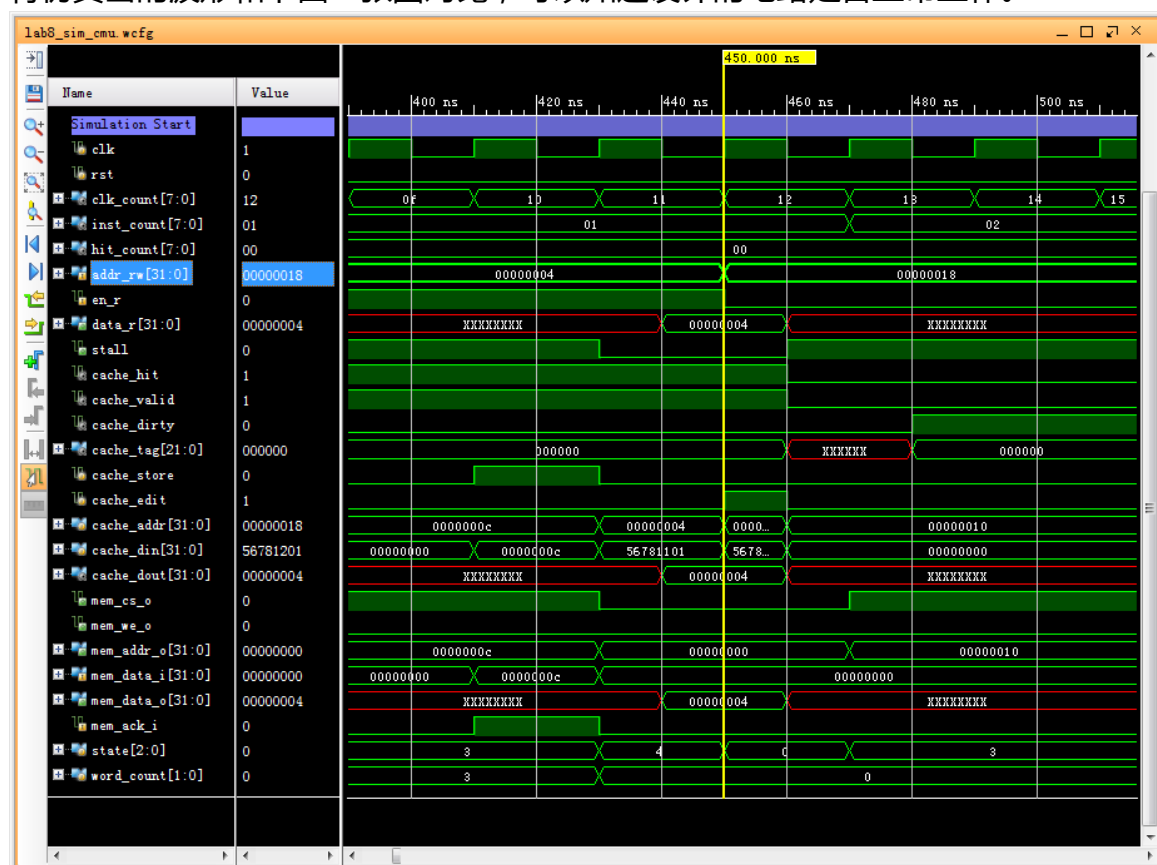



图 2-37 仿真结果 1

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 24 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	

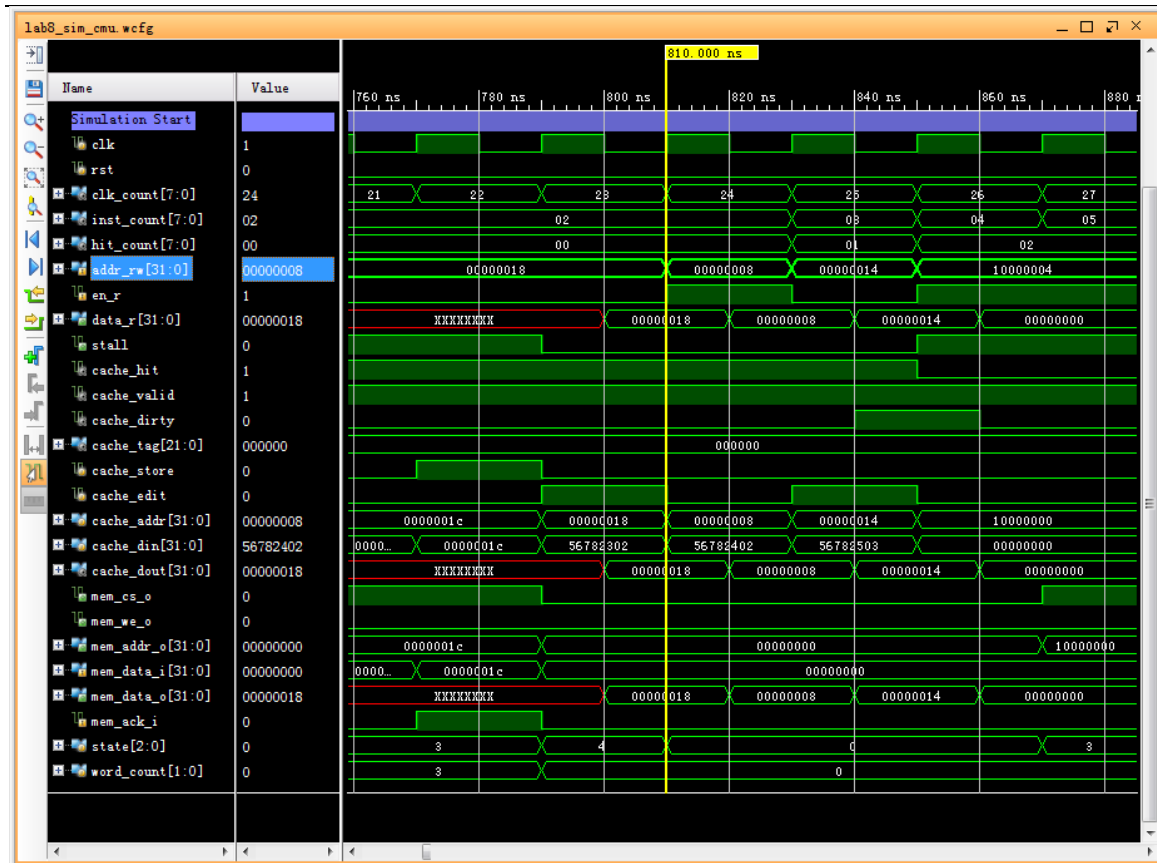



图 2-38 仿真结果 2

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 25 of 27
	作者	修改日期	
	Joseph Xu	2019/1/23	公开

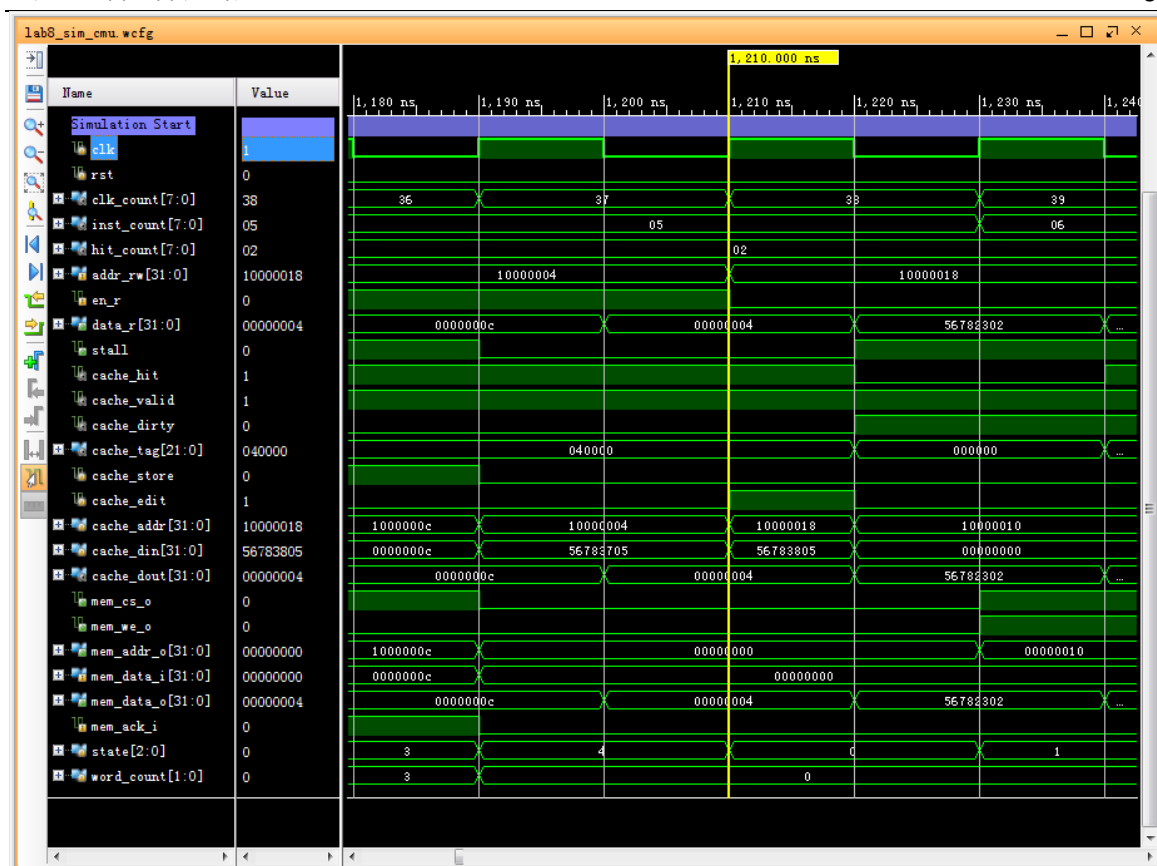


图 2-39 仿真结果 3

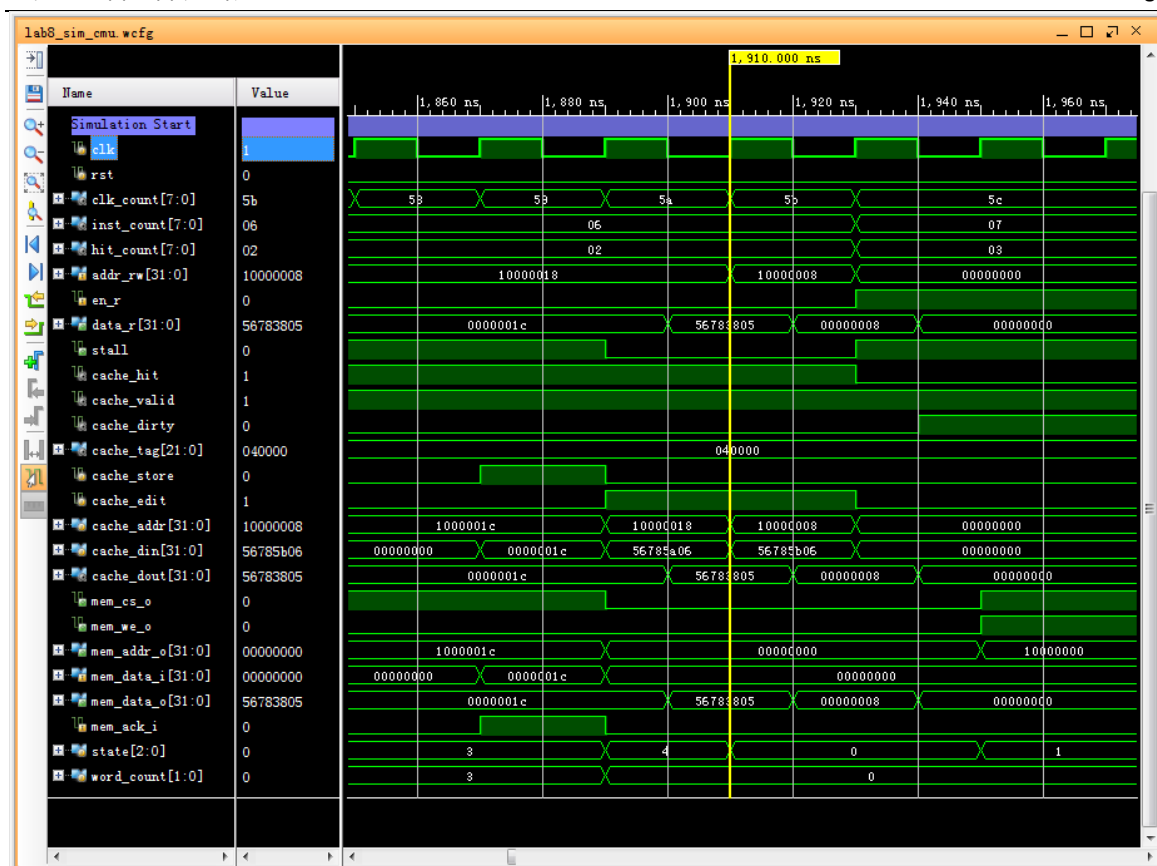


图 2-40 仿真结果 4

仿真结束后，在菜单中选择 File→Close Simulation，关闭仿真视图。如图 2-41 所示：

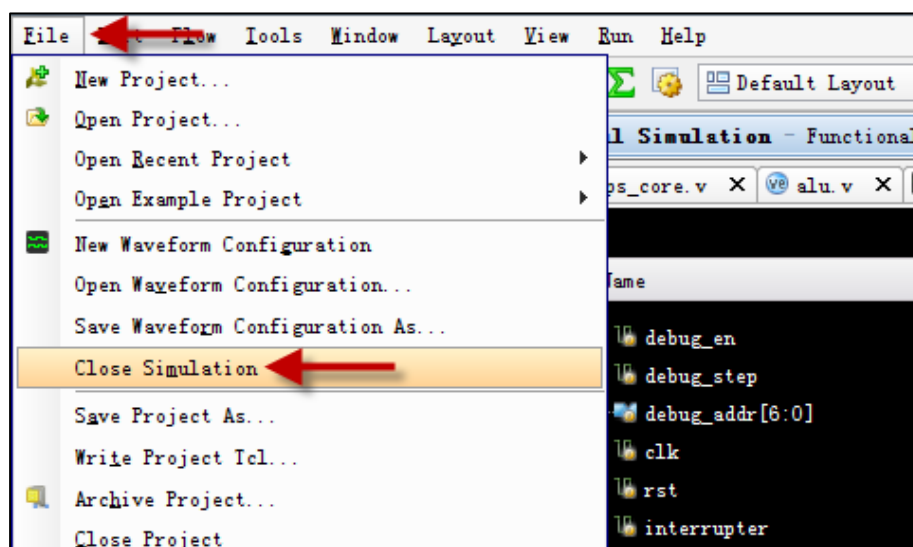


图 2-41 关闭仿真视图

	标题	文档编号	版本 页
	Lab8: Cache Design	XD-LAB-ARCH-008	1.0 27 of 27
	作者	修改日期	公开
	Joseph Xu	2019/1/23	