

SWORD

XD-LAB-ARCH-001

Lab1: Single Cycle CPU Design

Hawk

2019-1-16

XINGDENG

修改记录

版本号.	作者	描述	修改日期
1.0	Hawk	初稿	2019-01-16

审核记录

姓名	职务	签字	日期

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	1 of 43
作者	修改日期			
Hawk	2019/1/16		公开	

目录

修改记录	0
审核记录	1
1. 实验准备	7
1. 1 实验目的	7
1. 2 实验内容	7
1. 3 实验资料	7
2. 实验步骤	9
2. 1 新建工程	9
2. 2 Vivado 整体界面	12
2. 3 增加文件	13
2. 4 功能仿真	23
2. 5 连接外设模块	30
2. 6 生成 bitstream 文件	37
2. 7 下载验证	39

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	2 of 43
作者	修改日期			
Hawk	2019/1/16			公开

图目录

图 1-1 实验资料网站	7
图 1-2 实验文档和工程源文件	8
图 2-1 运行 Vivado	9
图 2-2 新建工程	9
图 2-3 新建工程向导	10
图 2-4 工程名称和路径	10
图 2-5 RTL 工程	11
图 2-6 FPGA 型号	11
图 2-7 新建工程完毕	12
图 2-8 Vivado 界面	12
图 2-9 继续增加文件	13
图 2-10 增加 design sources	13
图 2-11 add files	14
图 2-12 切换目录	14
图 2-13 选择文件	15
图 2-14 增加 design sources 完成	15
图 2-15 展开数形结构	16
图 2-16 单周期 CPU 主要文件	17
图 2-17 继续 Add Sources	17
图 2-18 Next	18
图 2-19 添加文件	18
图 2-20 指定全部类型文件可见	19
图 2-21 切换目录	19
图 2-22 选择 hex 文件	20
图 2-23 增加到工程	20
图 2-24 设置文件类型	21
图 2-25 设置类型为 Data Files	21
图 2-26 设置文件类型	22
图 2-27 设置类型为 Data Files	22
图 2-28 Refresh Hierarchy	23
图 2-29 Data Files	23
图 2-30 开始仿真	24

标题	文档编号	版本	页
XINGDENG	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0 3 of 43
作者	修改日期		公开
Hawk	2019/1/16		

图 2-31 找到目标模块.....	24
图 2-32 增加信号.....	25
图 2-33 修改显示方式.....	25
图 2-34 删减多余信号.....	26
图 2-35 增加信号.....	26
图 2-36 增加信号.....	27
图 2-37 增加信号.....	27
图 2-38 Restart Simulation.....	28
图 2-39 Run for.....	28
图 2-40 修改显示模式.....	29
图 2-41 仿真结果 1.....	29
图 2-42 仿真结果 2.....	30
图 2-43 仿真结果 3.....	30
图 2-44 增加外设.v 文件.....	31
图 2-45 Next.....	31
图 2-46 Add Files	32
图 2-47 切换目录.....	32
图 2-48 外设模块.....	33
图 2-49 增加模块.....	34
图 2-50 增加文件.....	34
图 2-51 增加 constraints.....	35
图 2-52 增加文件.....	35
图 2-53 切换目录.....	36
图 2-54 sword4.xdc	36
图 2-55 完成增加 constraints	37
图 2-56 设置顶层模块.....	37
图 2-57 生成 bitstream.....	38
图 2-58 自动运行中间步骤	38
图 2-59 生成 bitstream 成功	39
图 2-60 连接 SWORD4.0.....	39
图 2-61 主要控制 IO	40
图 2-62 进入 Hardware Manager	40

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	4 of 43
作者 Hawk	修改日期 2019/1/16		公开

图 2-63 自动连接到 SWORD4.0	41
图 2-64 Program Device	41
图 2-65 下载 bit 文件	42
图 2-66 运行效果.....	42

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	5 of 43
作者	修改日期			
Hawk	2019/1/16			公开

表目录

表 2-1 CPU 相关文件列表说明	16
表 2-2 待添加的外设模块简介	33

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	6 of 43
作者	修改日期			
Hawk	2019/1/16			公开

1. 实验准备

1.1 实验目的

设计支持 16 条 MIPS 指令 (Add, Sub, And, Or, Addi, andi, Ori, Sll, Srl, slt, Lw, Sw, Beq, J, Jal, Jr) 的单周期 CPU , 作为向流水 CPU 过渡实验。

1.2 实验内容

本实验包括 , Vivado 基本操作 , 单周期 CPU 的实现 , 功能仿真和上板验证。

1.3 实验资料

实验资料可以从网站 <https://gitee.com/SWORDfpga/ComputerArchitecture> 获得。

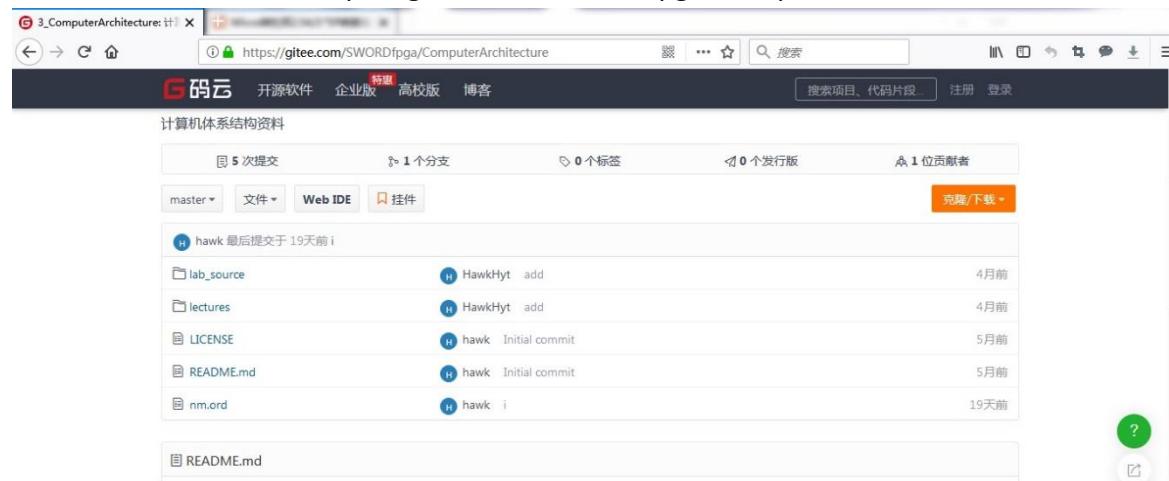


图 1-1 实验资料网站

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	7 of 43
作者	修改日期		
Hawk	2019/1/16		公开

为方便使用，建议建立 c:\archlabs 目录，放置实验资料和实验工程。

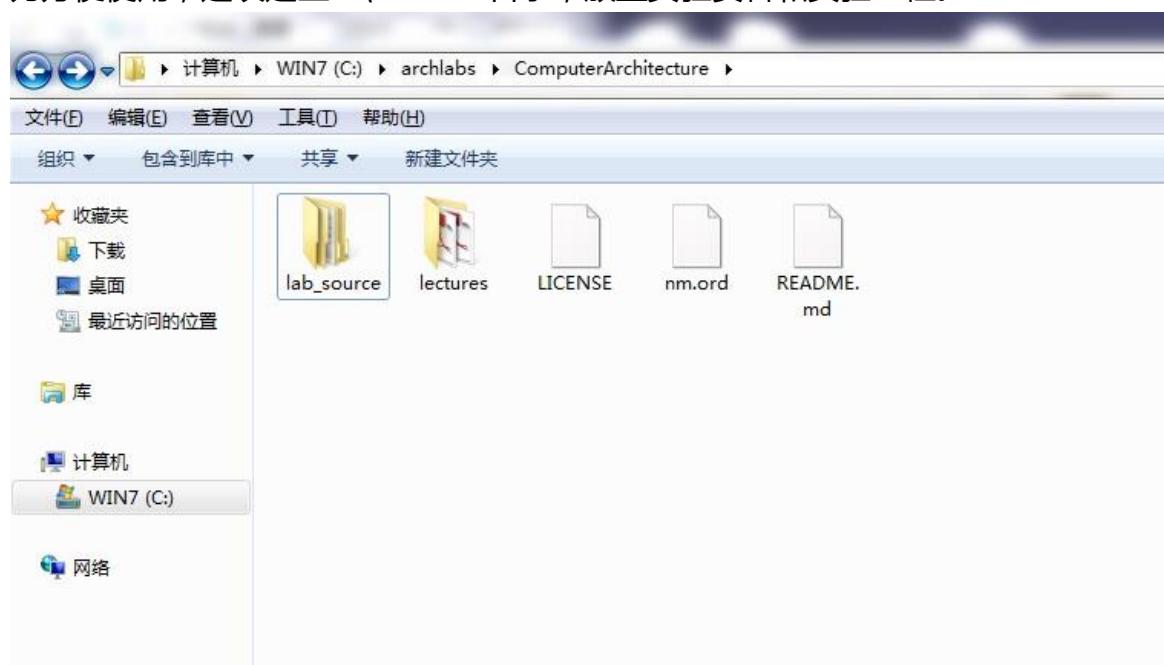


图 1-2 实验文档和工程源文件

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	8 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

2. 实验步骤

2.1 新建工程

运行 Vivado 2014.4 开发工具。



图 2-1 运行 Vivado

点击 Create New Project。

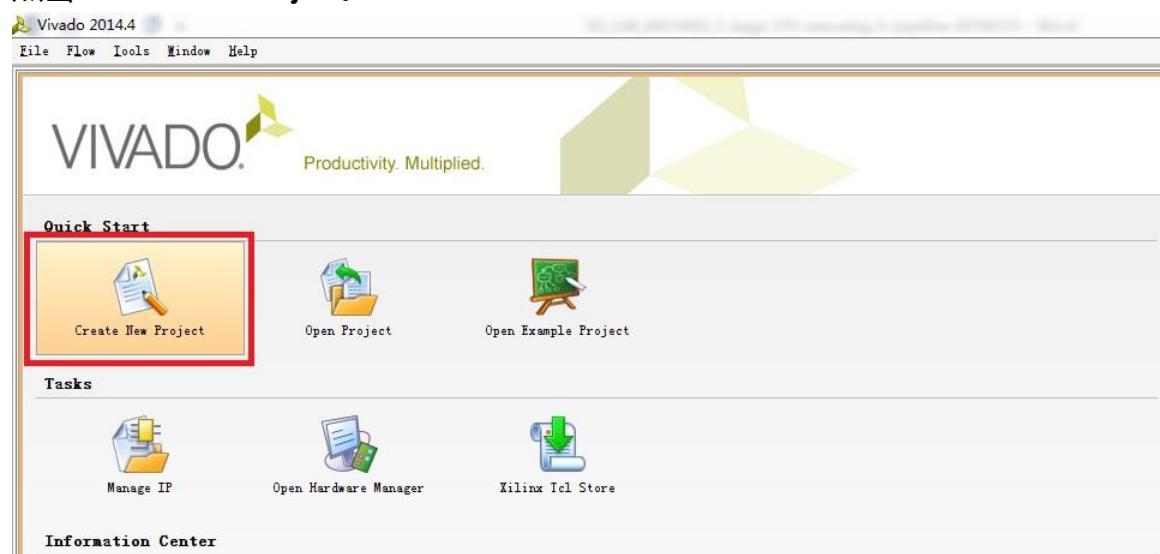


图 2-2 新建工程

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	9 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

通过 New Project 向导我们可以建立新工程，点击 Next 继续。

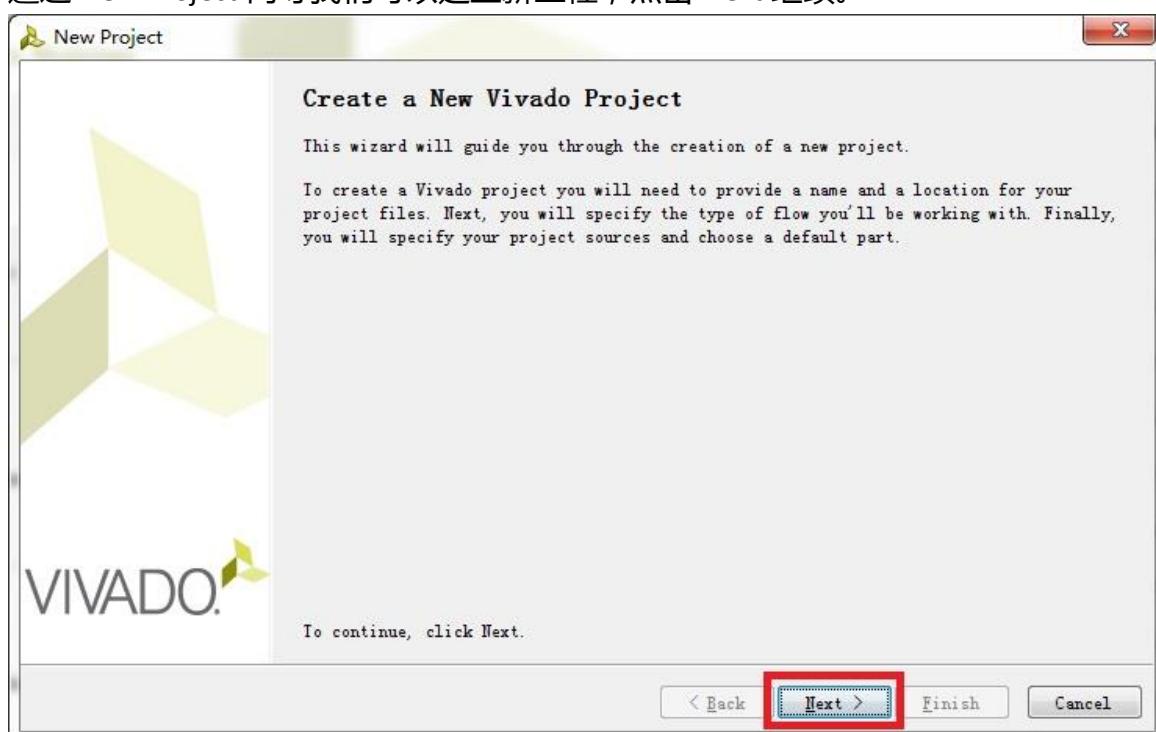


图 2-3 新建工程向导

输入工程名称 lab01，工程位置建议 c:/archlabs，选中 Create project subdirectory 后点击 Next 继续。

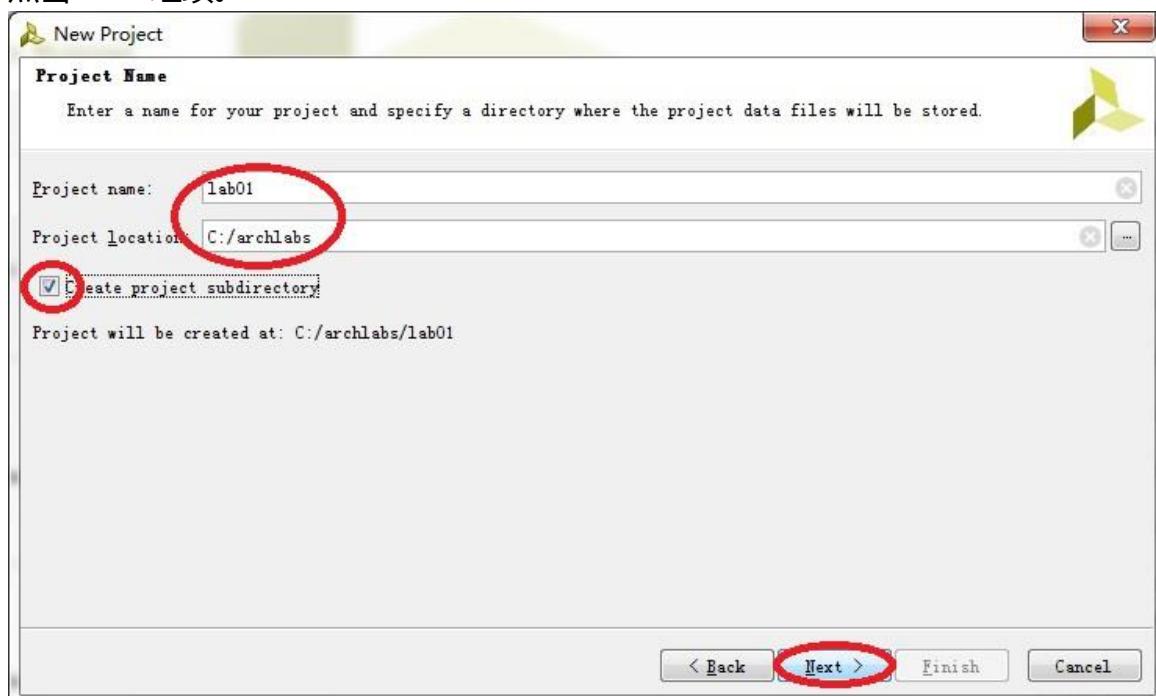


图 2-4 工程名称和路径

XINGDENG	标题 Lab1: Single Cycle CPU Design	文档编号 XD-LAB-ARCH-001	版本 1.0	页 10 of 43
	作者 Hawk	修改日期 2019/1/16		公开

选择创建的工程类型 **RTL Project**，选中 **Do not specify sources at this time** 不在创建工程时决定 sources 文件，点击 **Next** 继续。

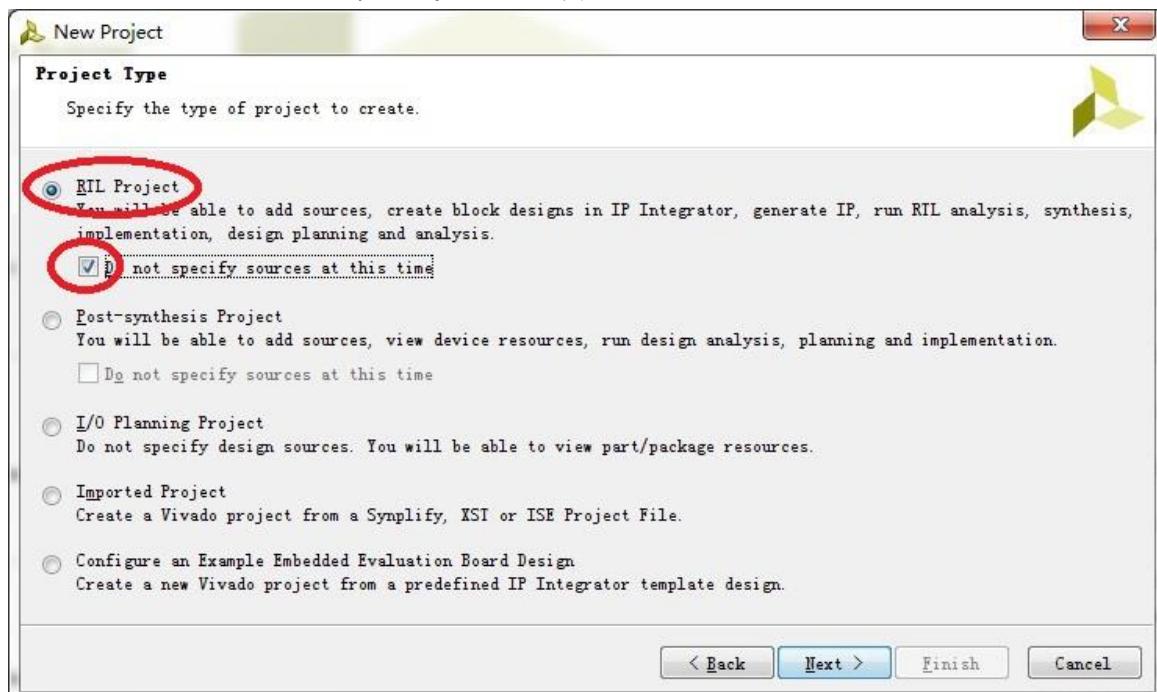


图 2-5 RTL 工程

选择 SWORD4.0 的 FPGA 参数，Family 选 **Kintex-7**，Package 选 **ffg676**，Speed grade 选 **-2**，在找到的具体型号中选 **xc7k325tffg676-2**，点击 **Next** 继续。

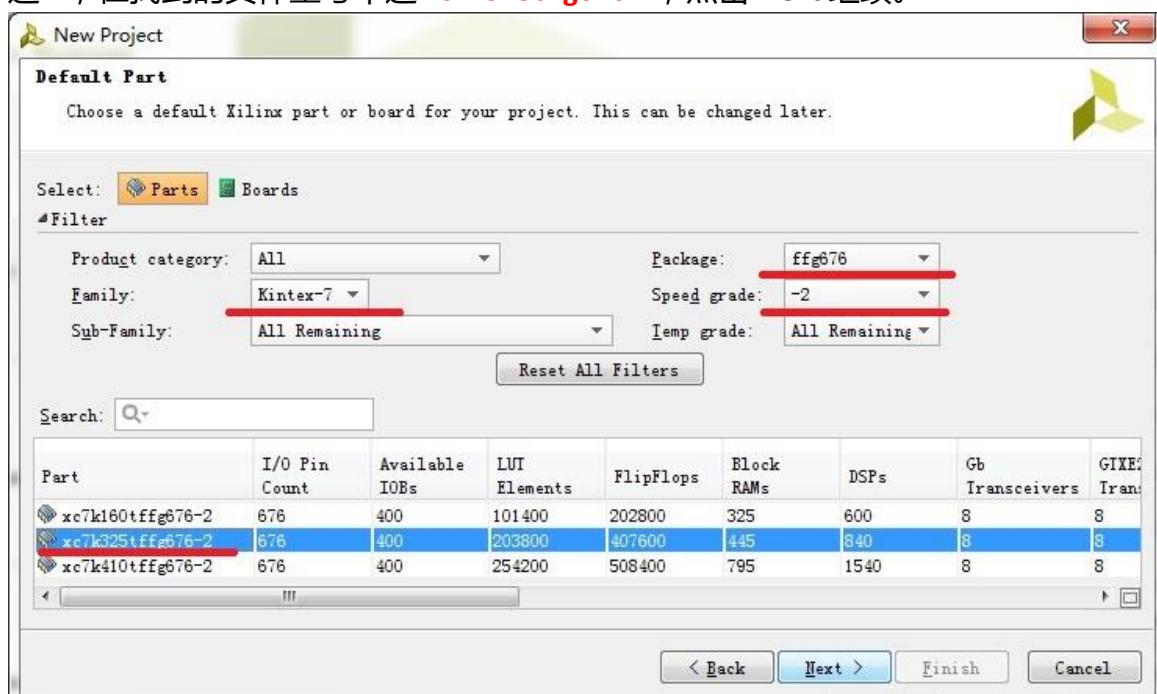


图 2-6 FPGA 型号

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	11 of 43
作者	修改日期			
Hawk	2019/1/16			公开

点击 Finish 结束工程的创建。



图 2-7 新建工程完毕

2.2 Vivado 整体界面

Vivado 的整体界面如图，大致分为四个部分。

左侧的 Flow Navigator 包含整个开发流程，像 Project Settings、Run Simulation、Run Synthesized 和 Generate Bitstream 等。

上部通常显示当前工程包含的文件树结构，提供工程文件的管理。

右侧会显示工程信息、打开的文件等。

下部显示各种信息状态。

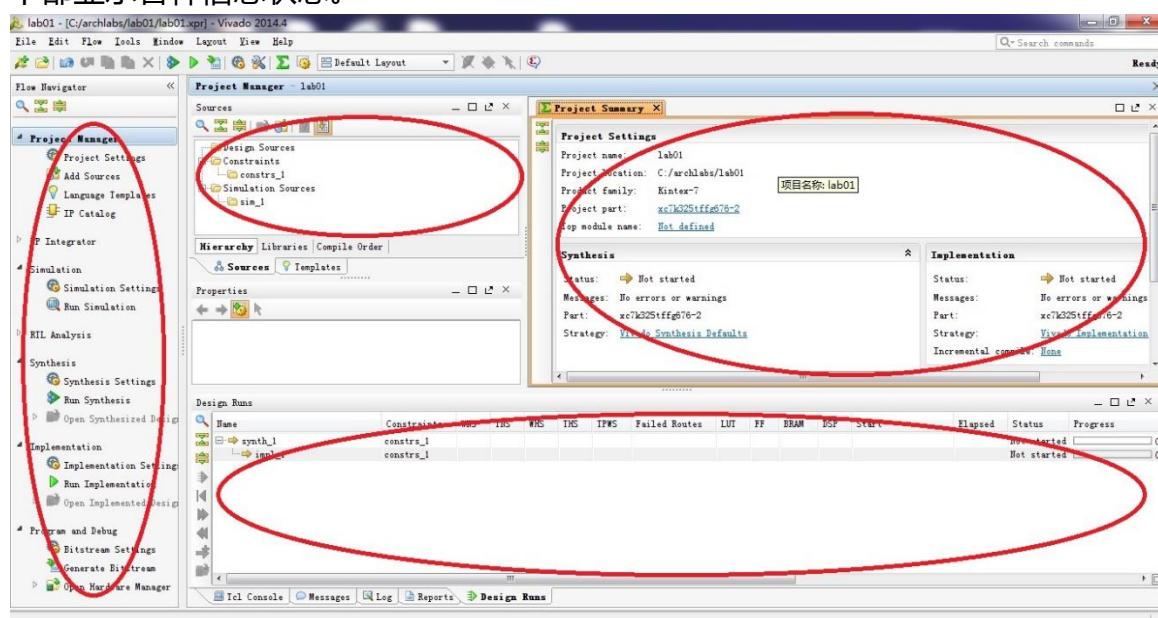


图 2-8 Vivado 界面

	标题	文档编号	版本	页
XINGDENG	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	12 of 43
作者	修改日期			
Hawk	2019/1/16			公开

部分功能区域会随用户当前进行的操作而显示不同的内容。

2.3 增加文件

增加文件，在 **Design Source** 上点击右键，点击 **Add Sources**。

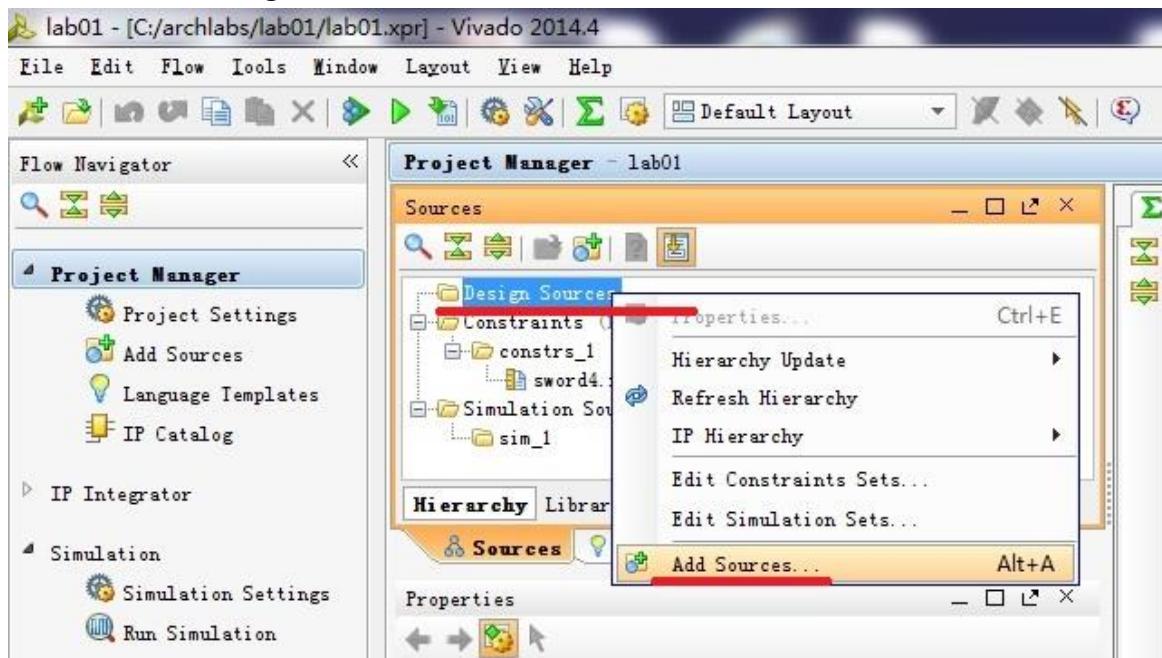


图 2-9 继续增加文件

选中 **Add or create design sources**，点击 **Next**。

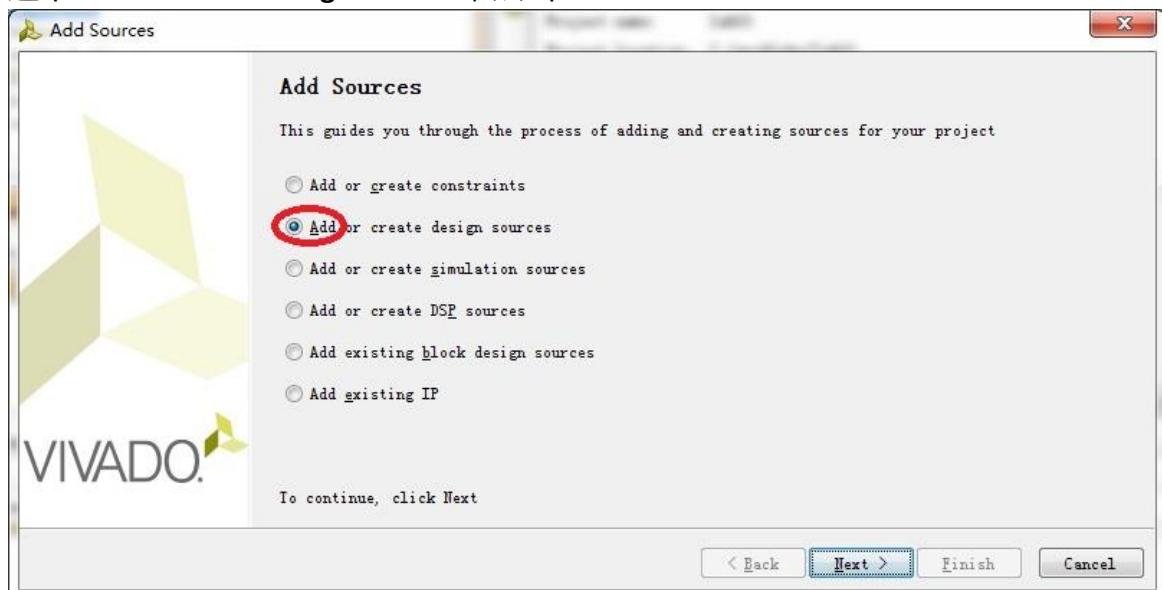


图 2-10 增加 design sources

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	13 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

点击 Add Files。

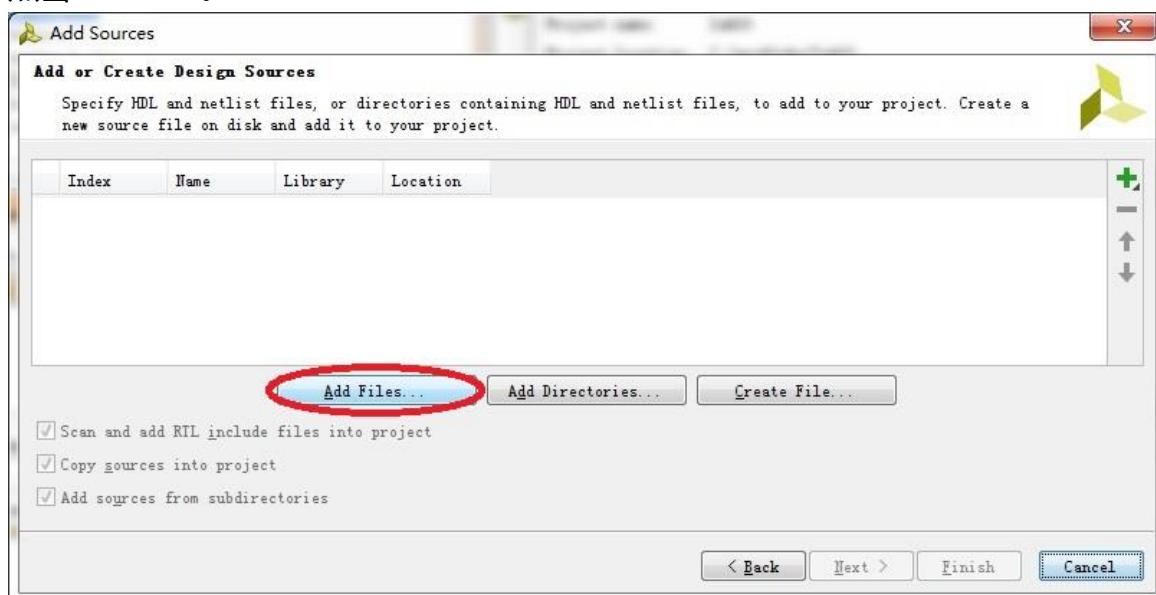


图 2-11 add files

进入 c:\archlabs\ComputerArchitecture\lab_source\lab01\sources\cpu 目录。

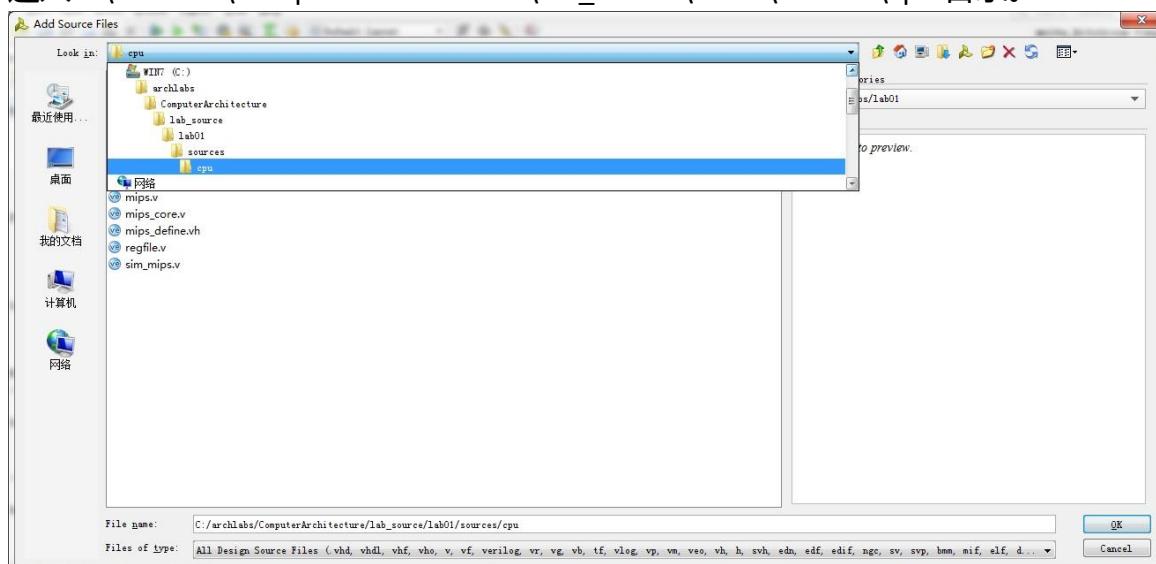


图 2-12 切换目录

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	14 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

选中所有文件，点击 OK。

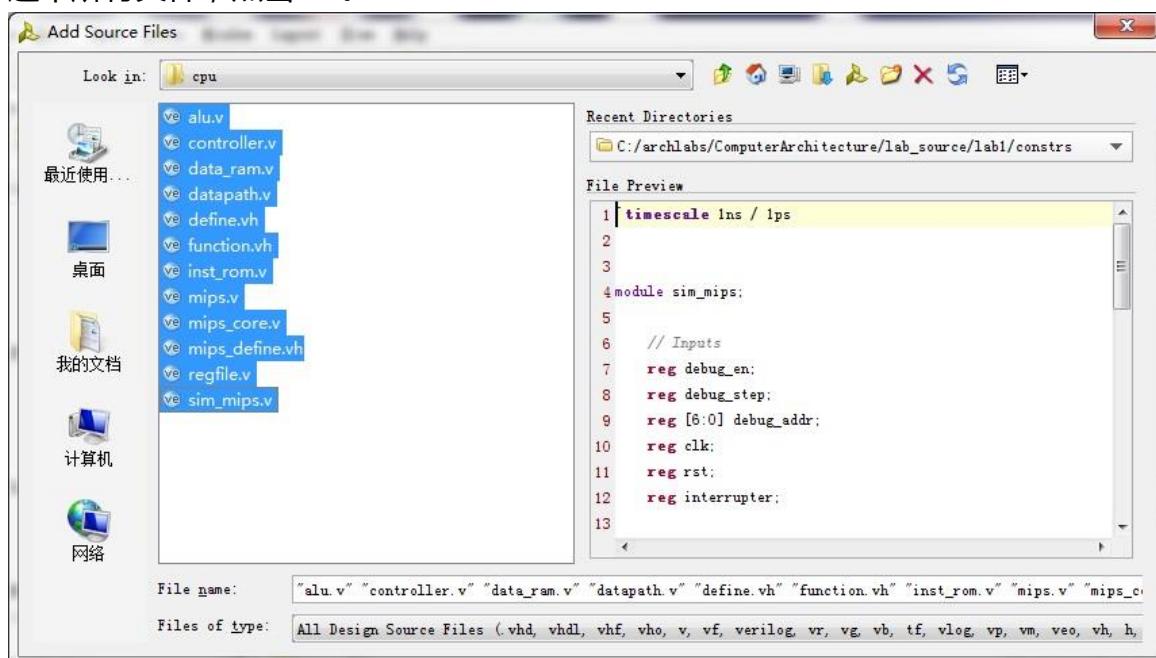


图 2-13 选择文件

列表中会显示要添加到工程中的文件，本次共 12 个。选中 **Scan and add RTL include files into project** 和 **Copy sources into project**，点击 **Finish**。

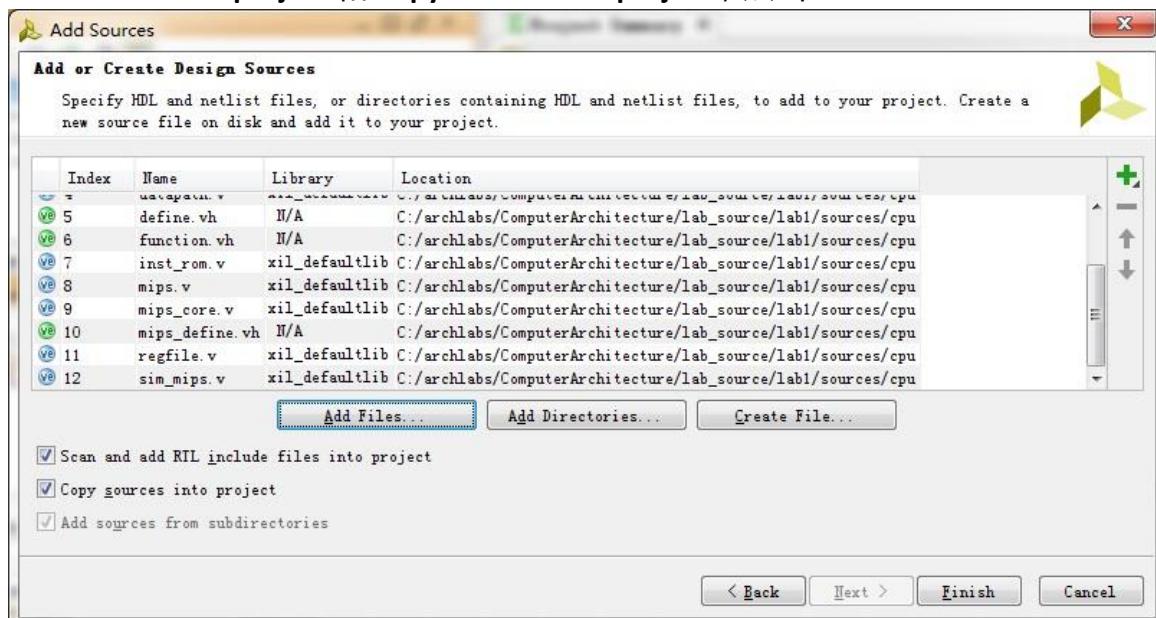


图 2-14 增加 design sources 完成

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	15 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

在 sources 窗口的 sim_mips 前面有一个 “+” , sources 窗口中带 “+” 的项目可以通过点击 “+” 展开。某些项目前有 “-” , 点击后可以将已经展开的项目合拢。我们将顶层文件 sim_mips.v 之下所有的项目都展开。

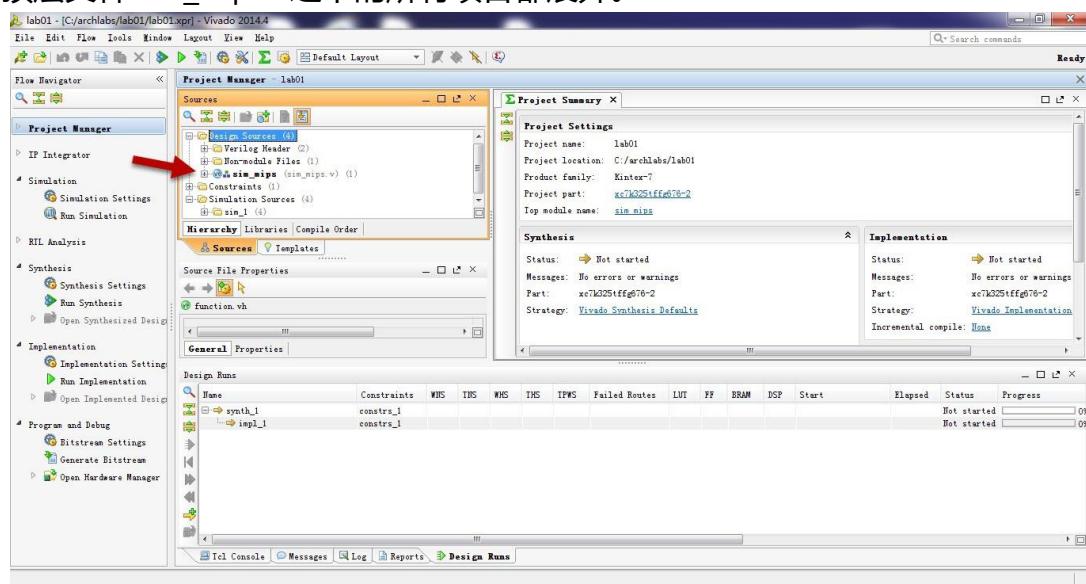


图 2-15 展开数形结构

这里简单介绍一下各.v 文件的用途：

表 2-1 CPU 相关文件列表说明

文件名	说明
sim_mips.v	仿真文件，生成仿真激励信号
mips.v	主要功能文件，包含处理器和存储器结构
mips_core.v	CPU，只包含运算器和控制器
controller.v	单周期 cpu 控制器文件
datapath.v	单周期 cpu 数据通路，包含运算器和寄存器
regfile.v	寄存器
alu.v	运算器单元
inst_rom.v	指令存储器
data_rom.v	数据存储器

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	16 of 43
作者	修改日期			
Hawk	2019/1/16			公开

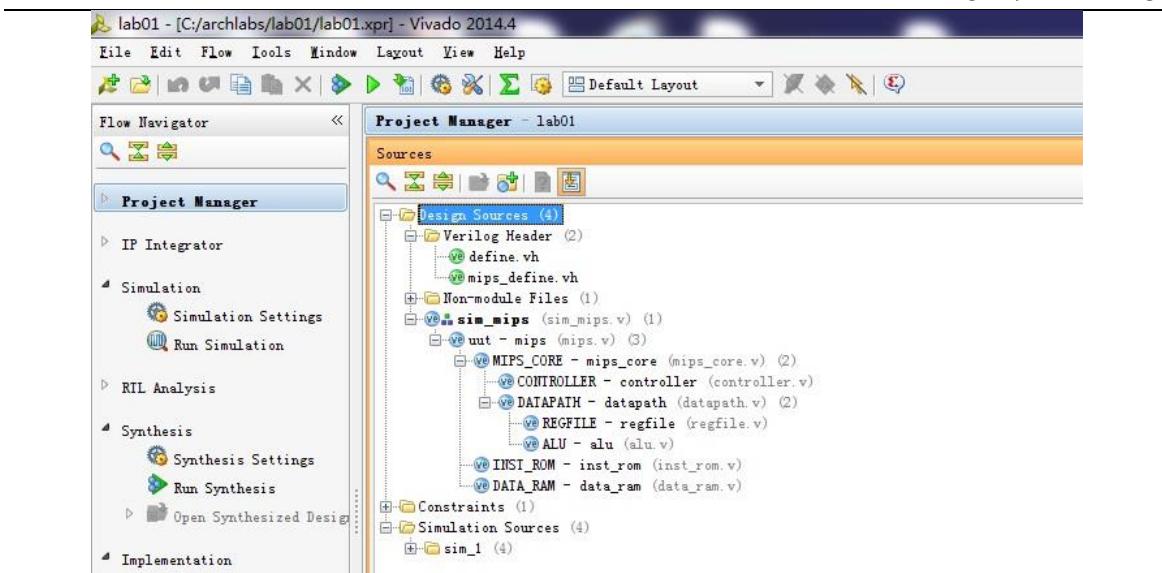


图 2-16 单周期 CPU 主要文件

增加数据文件。

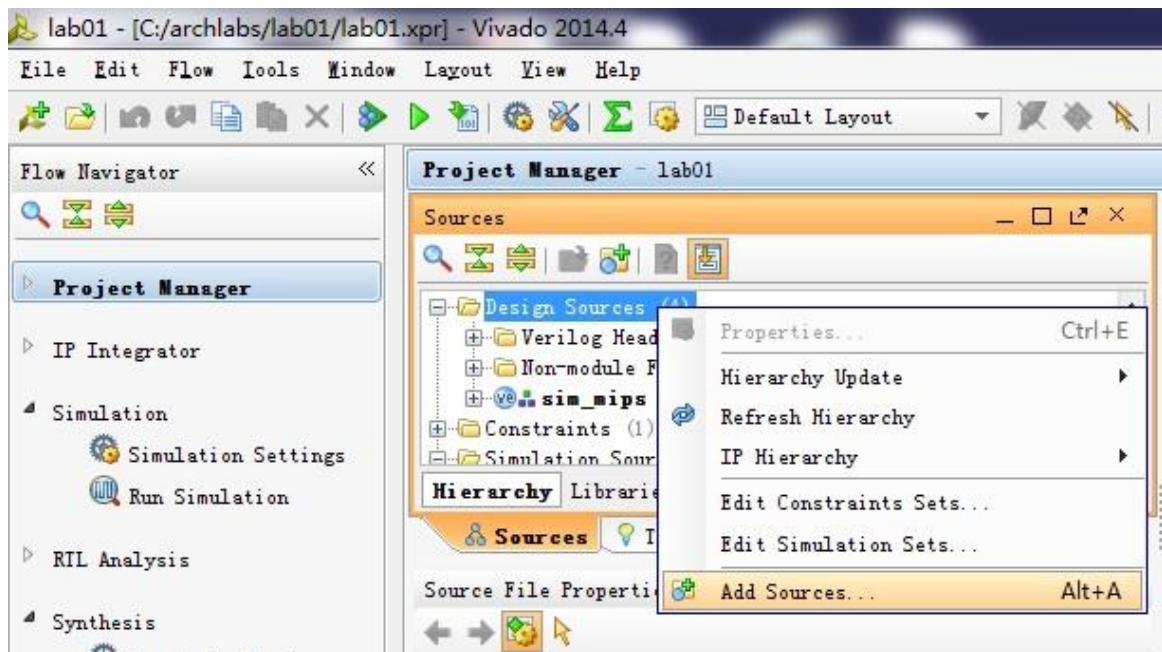


图 2-17 继续 Add Sources

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	17 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

选中 Add or create design sources , 点击 Next。

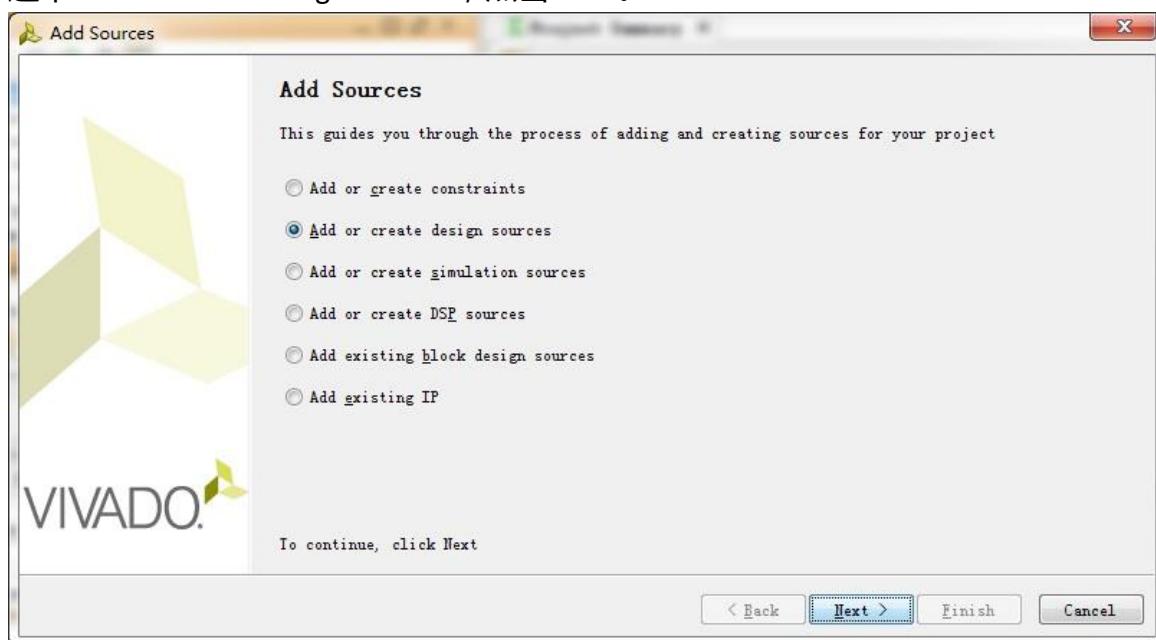


图 2-18 Next

用 Add Files 添加文件。

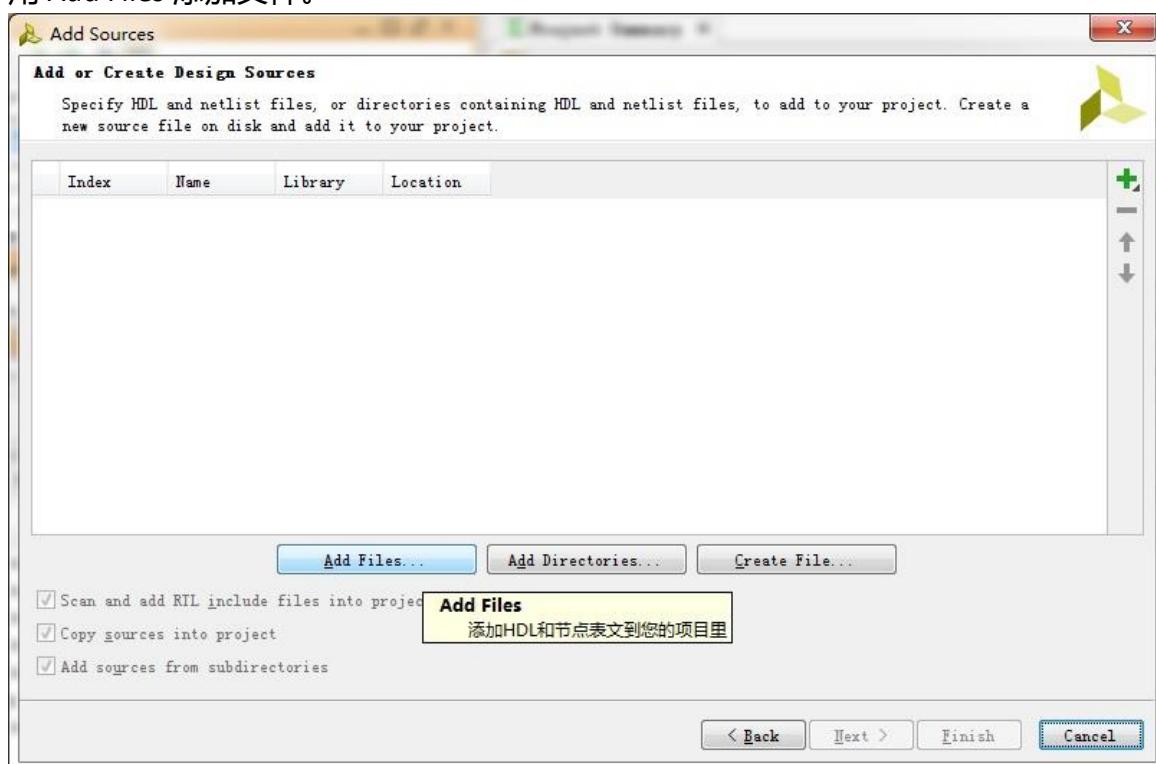


图 2-19 添加文件

XINGDENG	标题 Lab1: Single Cycle CPU Design	文档编号 XD-LAB-ARCH-001	版本 1.0	页 18 of 43
	作者 Hawk	修改日期 2019/1/16		公开

指定文件类型为 All Files

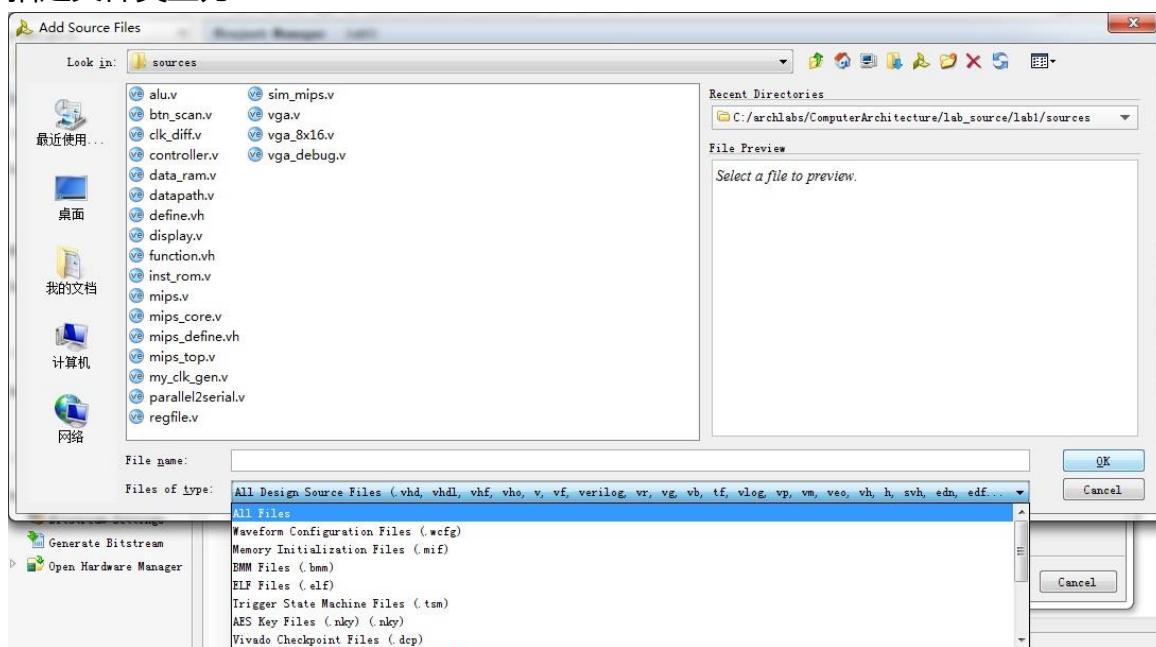


图 2-20 指定全部类型文件可见

切换到 lab_source\lab01\data 目录

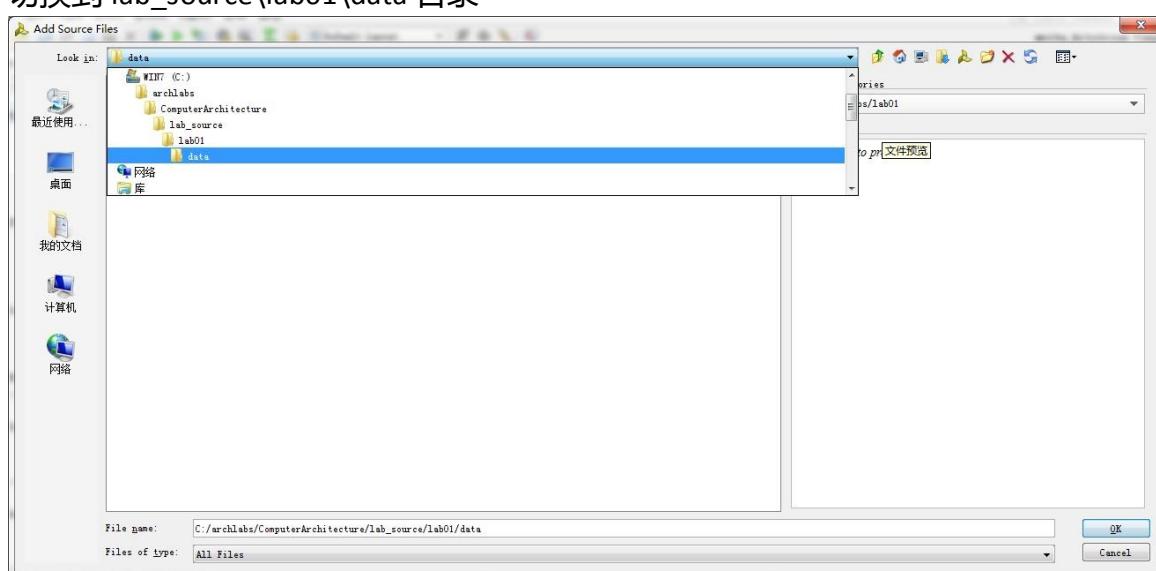


图 2-21 切换目录

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	19 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

选择 data_mem.hex 和 inst_mem.hex 文件

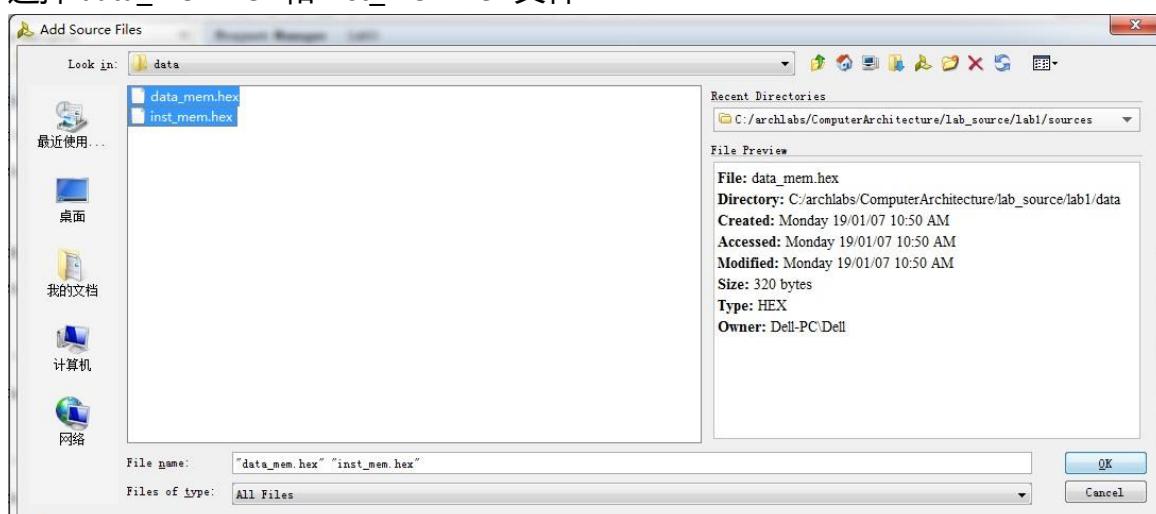


图 2-22 选择 hex 文件

选中 Scan and add RTL include files into project 和 Copy sources into project，点击 Finish 把文件加入到工程。

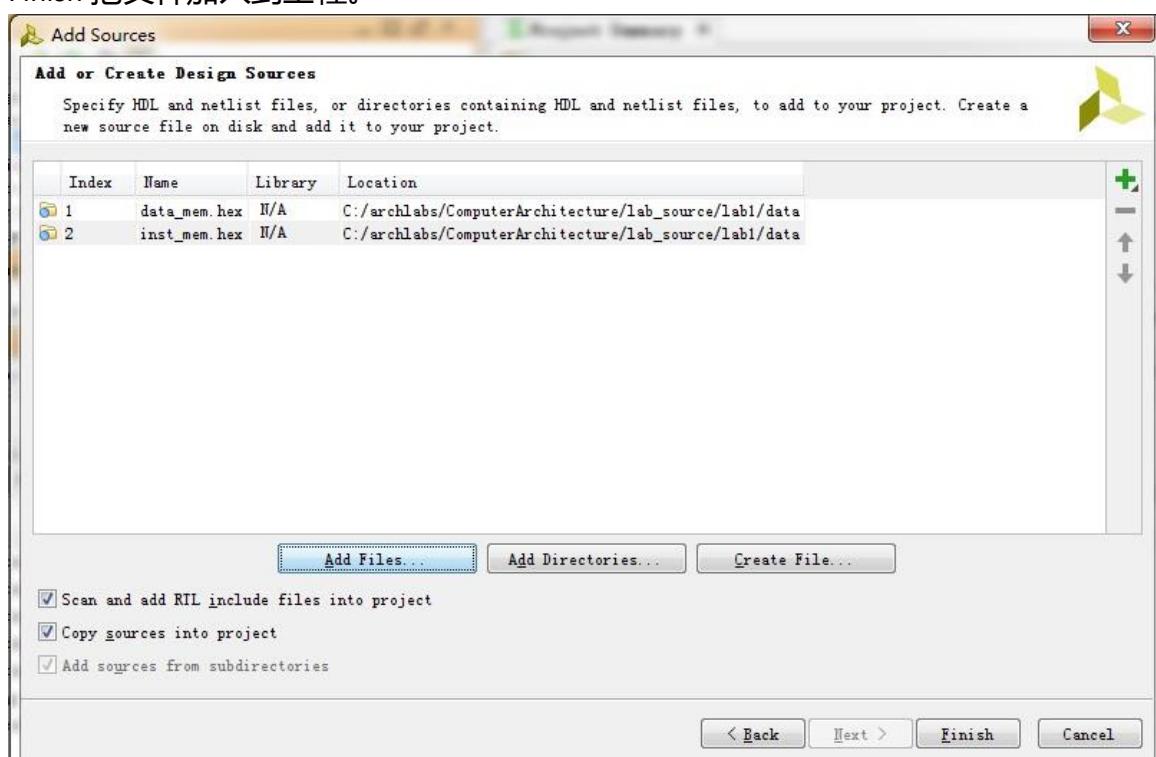


图 2-23 增加到工程

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	20 of 43
作者	修改日期			
Hawk	2019/1/16			公开

点击“+”展开 Unknown，在 data_mem.hex 上点击右键，点击 Set File Type。

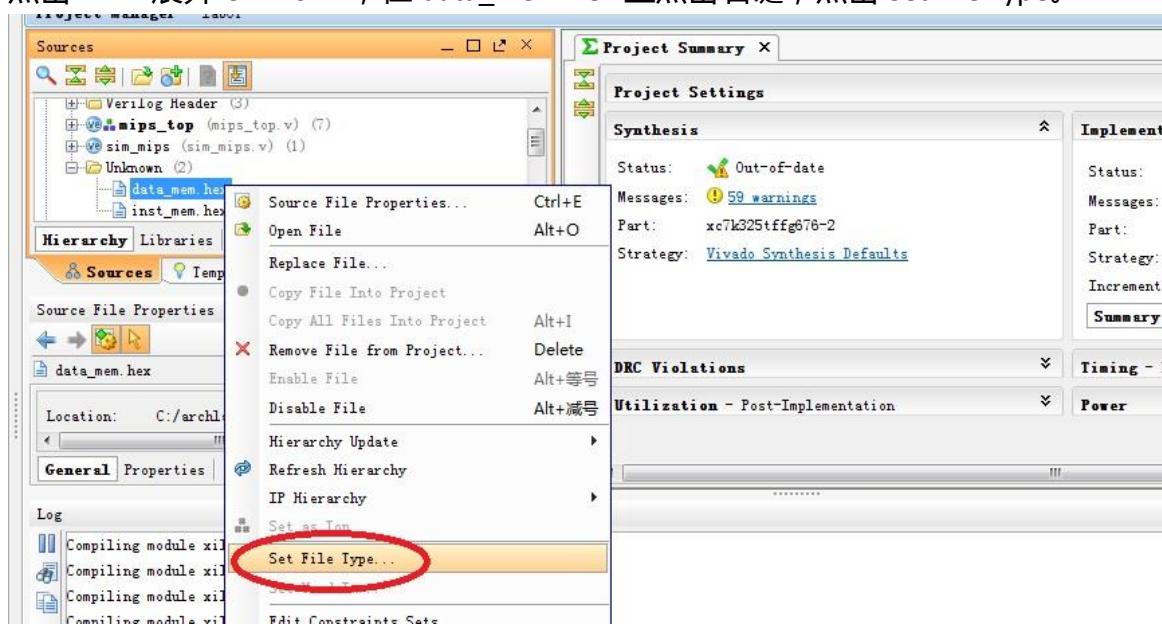


图 2-24 设置文件类型

选择 Data Files，点击 OK。

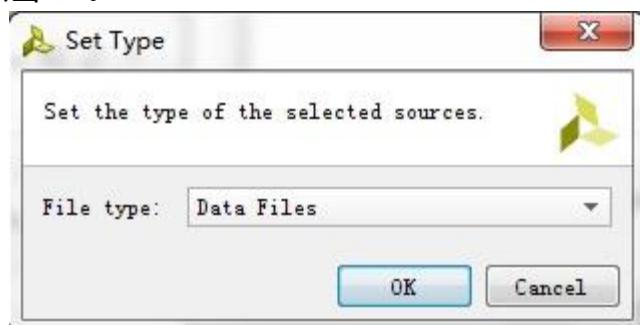


图 2-25 设置类型为 Data Files

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	21 of 43
作者	修改日期			
Hawk	2019/1/16			公开

同样设置 inst_mem.hex 的类型。

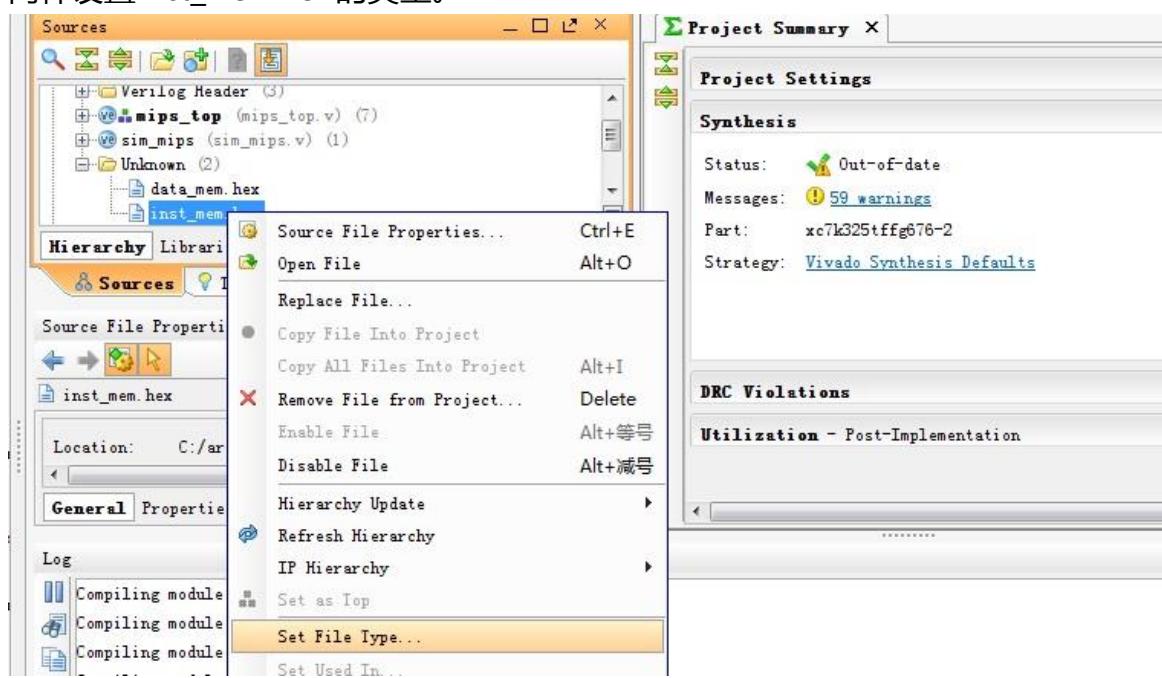


图 2-26 设置文件类型

设置为 Data Files。

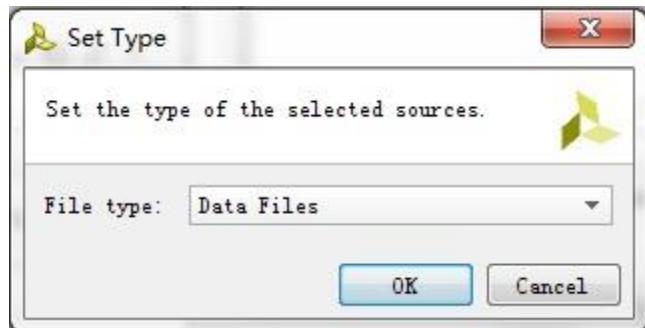


图 2-27 设置类型为 Data Files

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	22 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

在 data_mem.hex 上点击右键，点击 Refresh Hierarchy 更新视图。

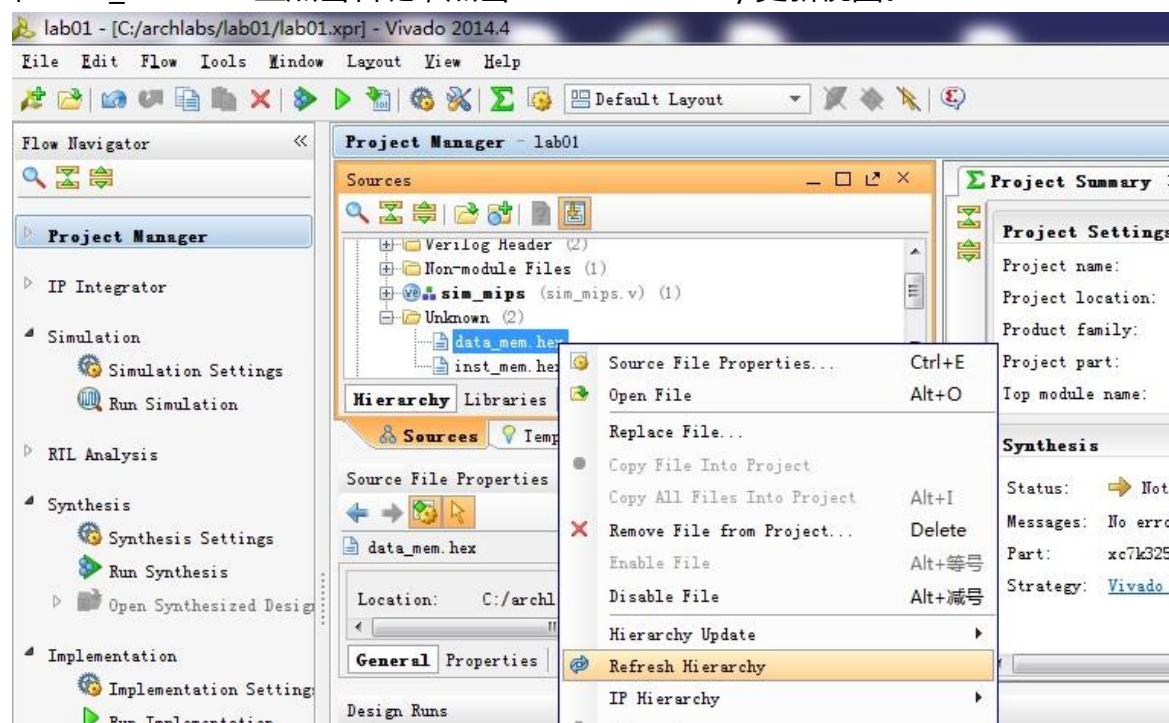


图 2-28 Refresh Hierarchy

现在 data_mem.hex 和 inst_mem.hex 都在 Data Files 下了，这两个文件包含指令存储器和数据存储器的初始化信息。

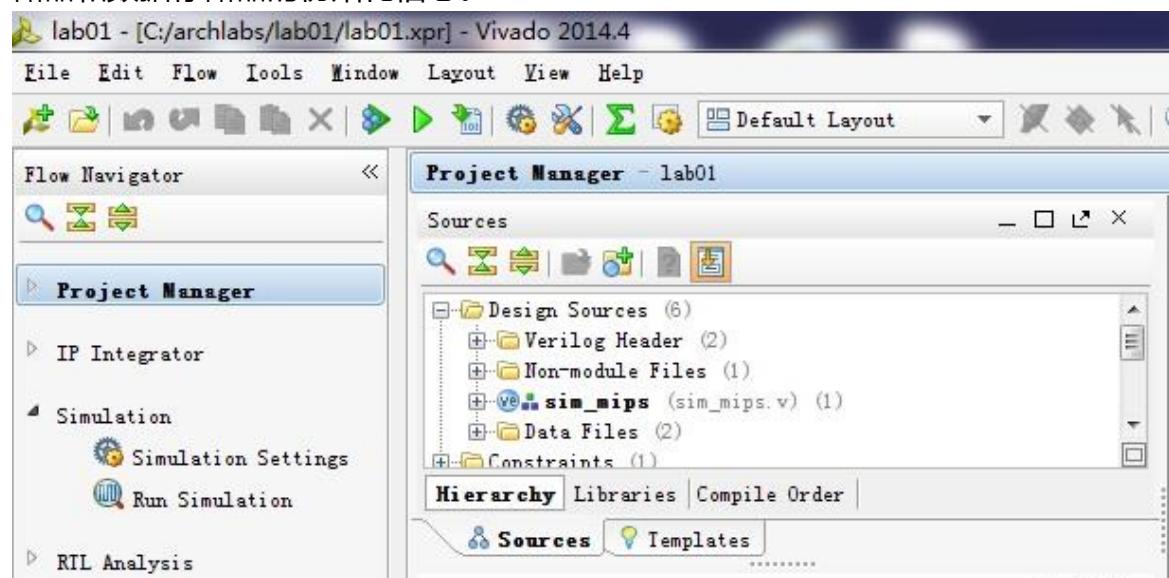


图 2-29 Data Files

2.4 功能仿真

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	23 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

点击 Run Simulation 下的 Run Behavioral Simulation。

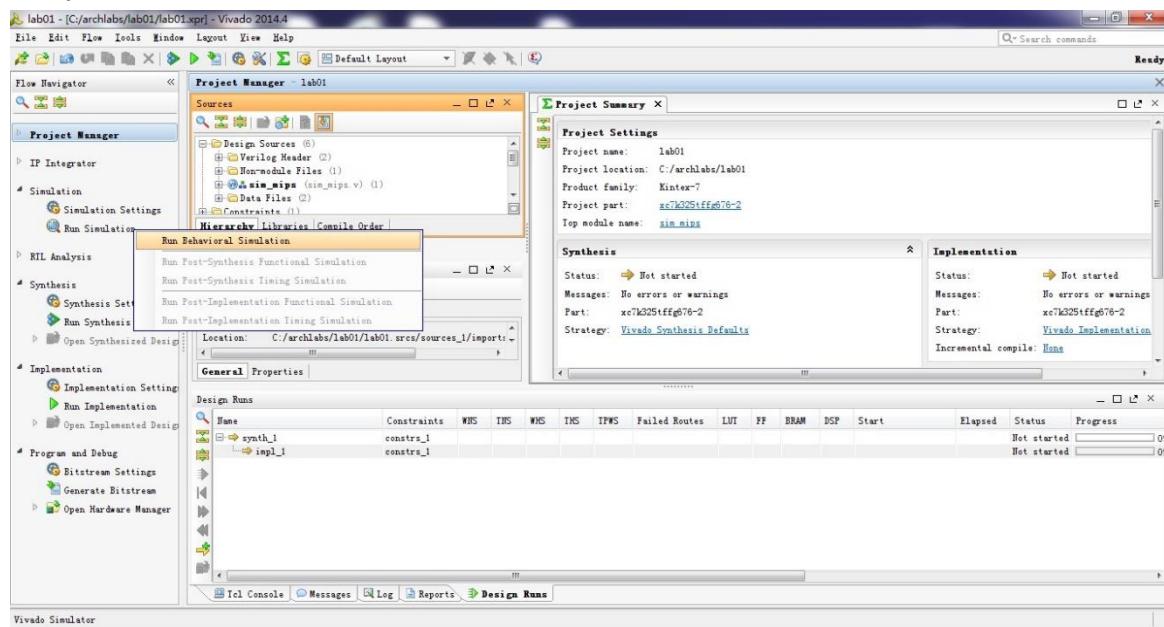


图 2-30 开始仿真

在 Scopes 窗口用 “+” 展开 sim_mips 和 uut，点击需要查看信号的模块 MIPS_CORE，在 Objects 窗口会出现可以查看的信号。

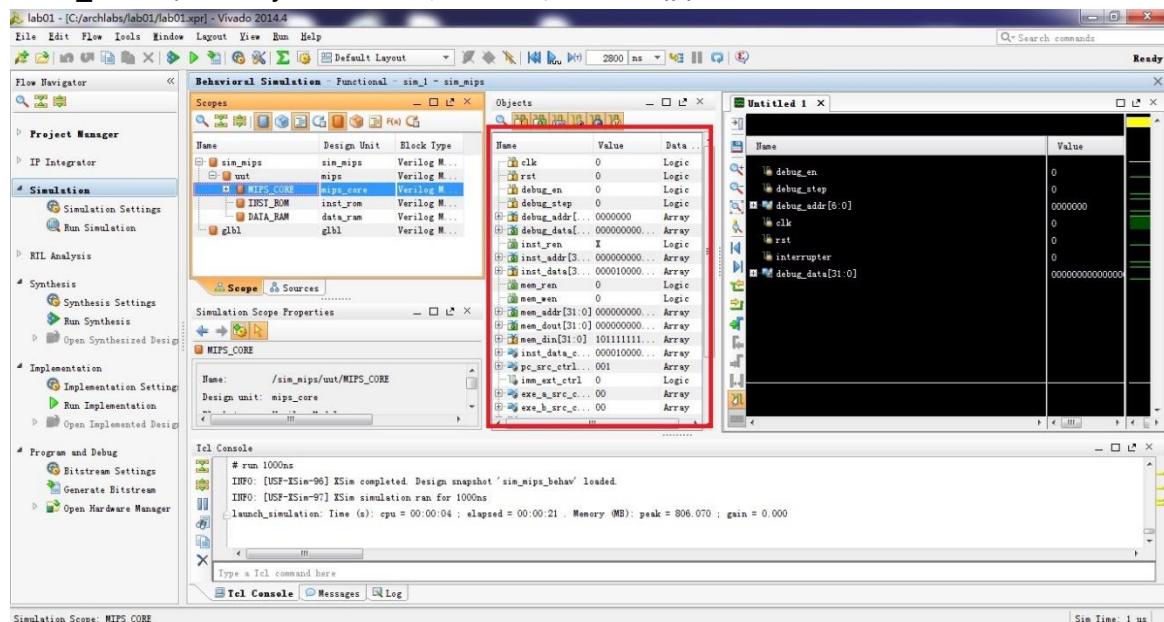


图 2-31 找到目标模块

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	24 of 43
作者	修改日期			
Hawk	2019/1/16			公开

选中感兴趣的信号，点击右键并 Add To Wave Window，可以增加到仿真波形窗口。

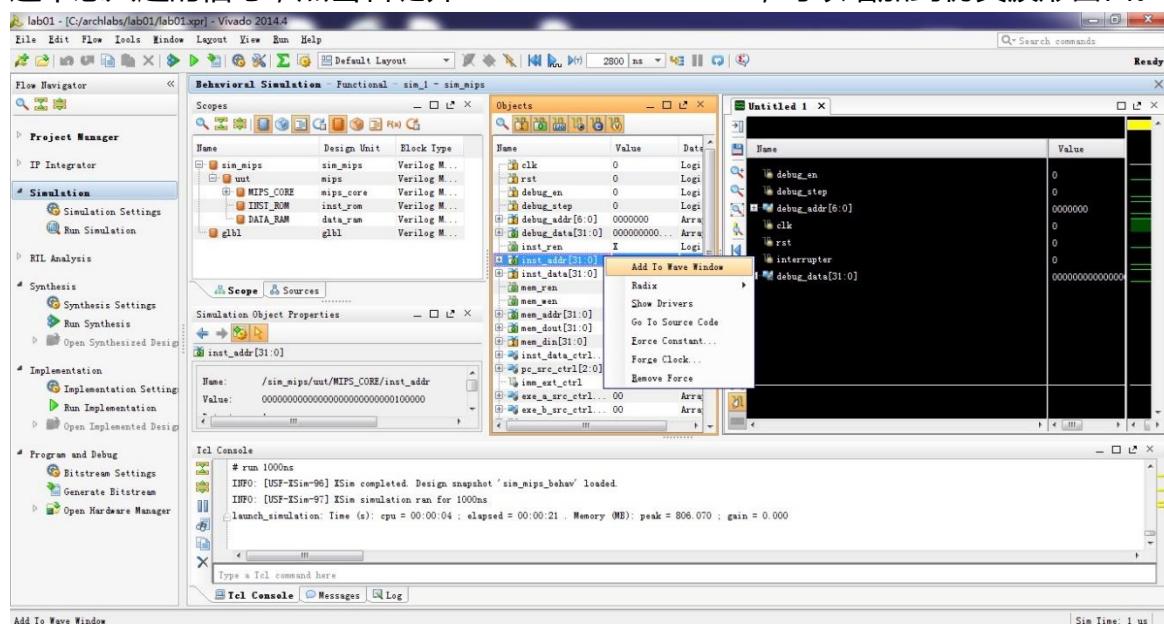


图 2-32 增加信号

对长信号来说，有时十六进制看起来更舒服。选择信号并点击右键，通过 Radix 菜单可以改变信号的显示方式。

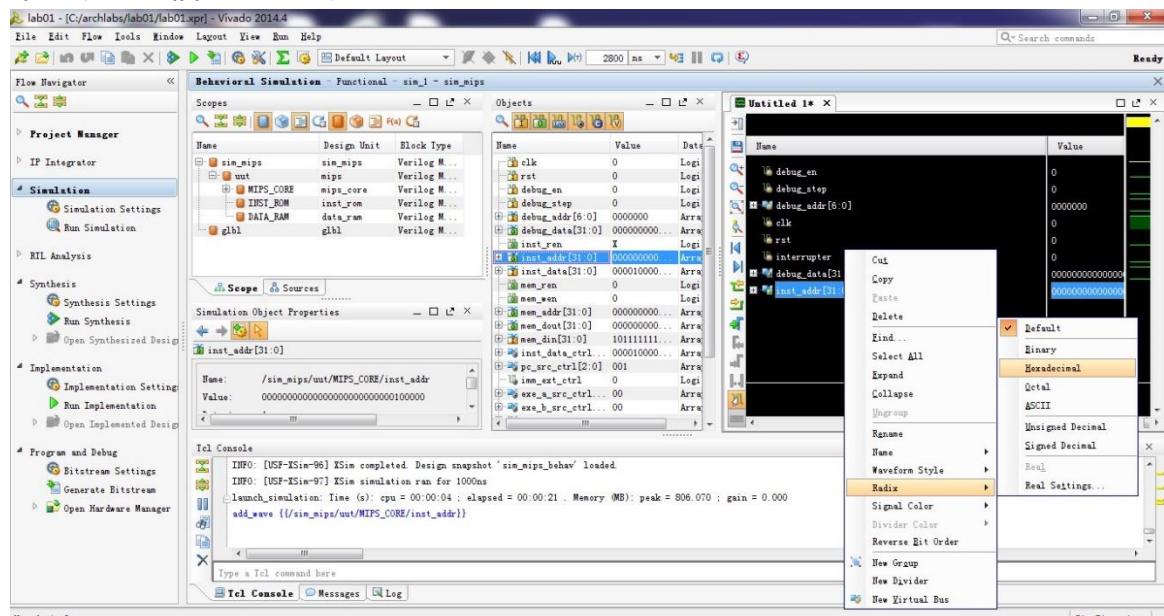


图 2-33 修改显示方式

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	25 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

我们设置要进行仿真的信号，用“Ctrl”+鼠标左键选择除了 clk 和 rst 外的信号，点击右键，点击 Delete。

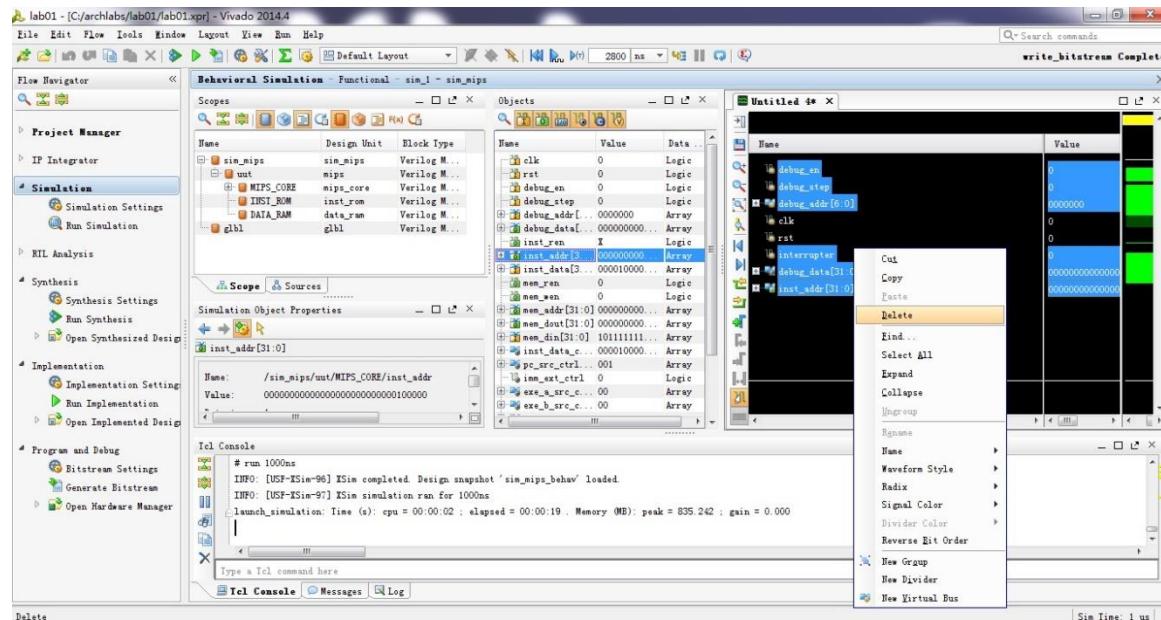


图 2-34 删除多余信号

增加 MIPS_CORE 下的 inst_addr[31:0]。

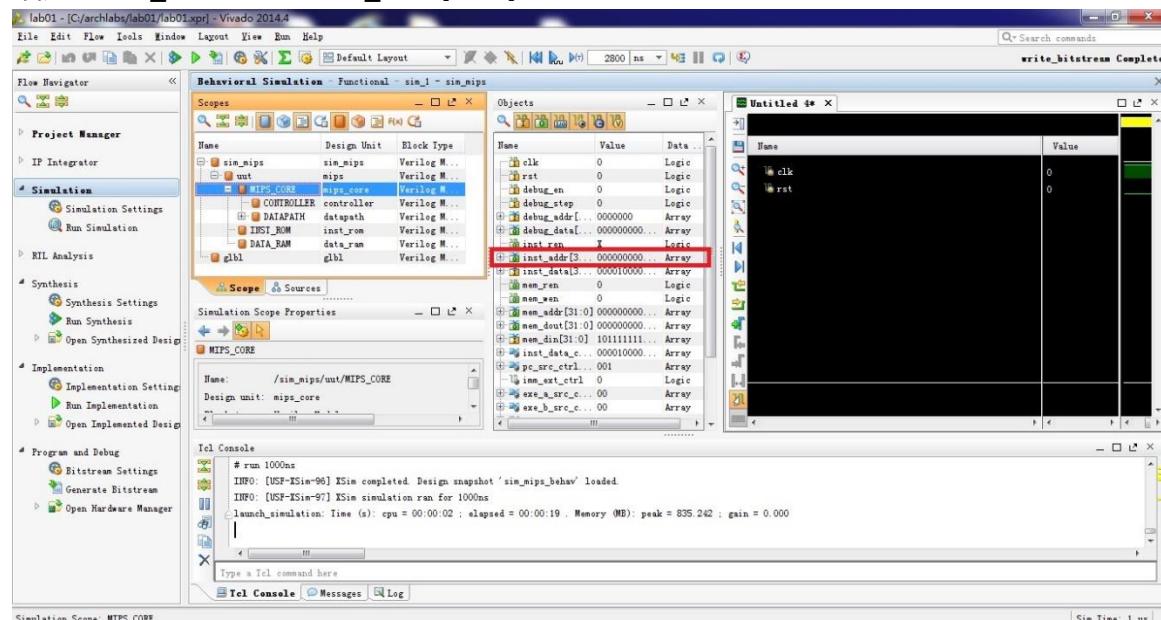


图 2-35 增加信号

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	26 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

增加 CONTROLLER 下的 inst[31:0]、pc_src[2:0]、imm_ext、exe_a_src[1:0]、exe_b_src[1:0]、exe_alu_oper[3:0]、mem_ren、mem_wen、wb_addr_src[1:0]、wb_data_src 和 wb_wen。

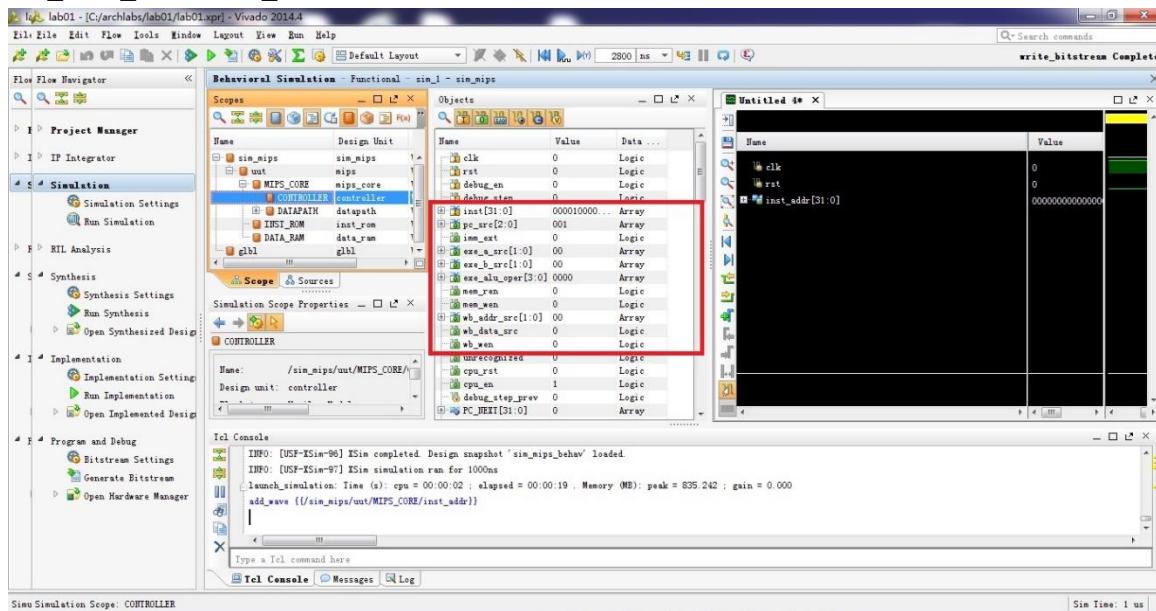


图 2-36 增加信号

增加 DATAPATH 下的 opa[31:0]和 opb[31:0]。

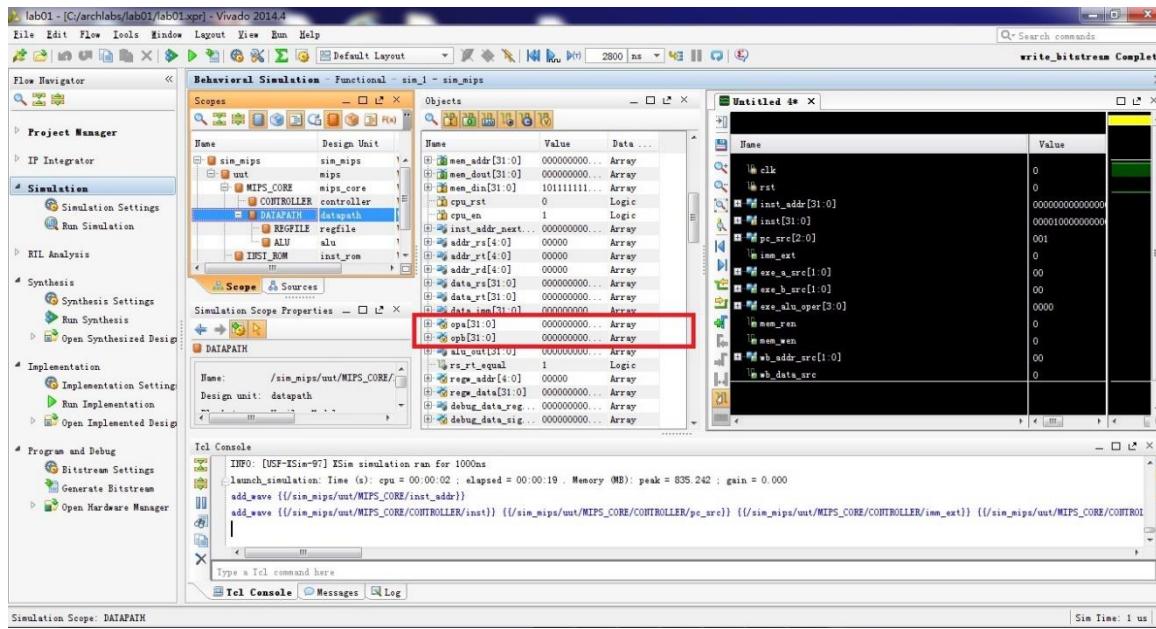


图 2-37 增加信号

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	27 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

增加信号后需要使用 Run 菜单下的 Restart，重新开始。

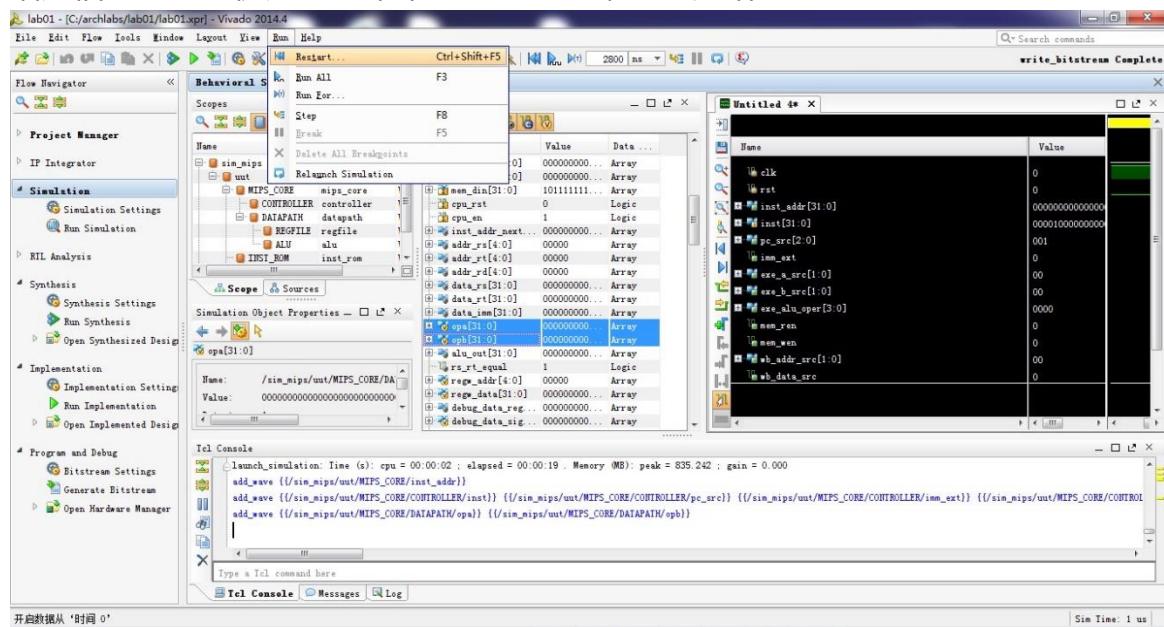


图 2-38 Restart Simulation

使用 Run for... 仿真指定时间长的波形。

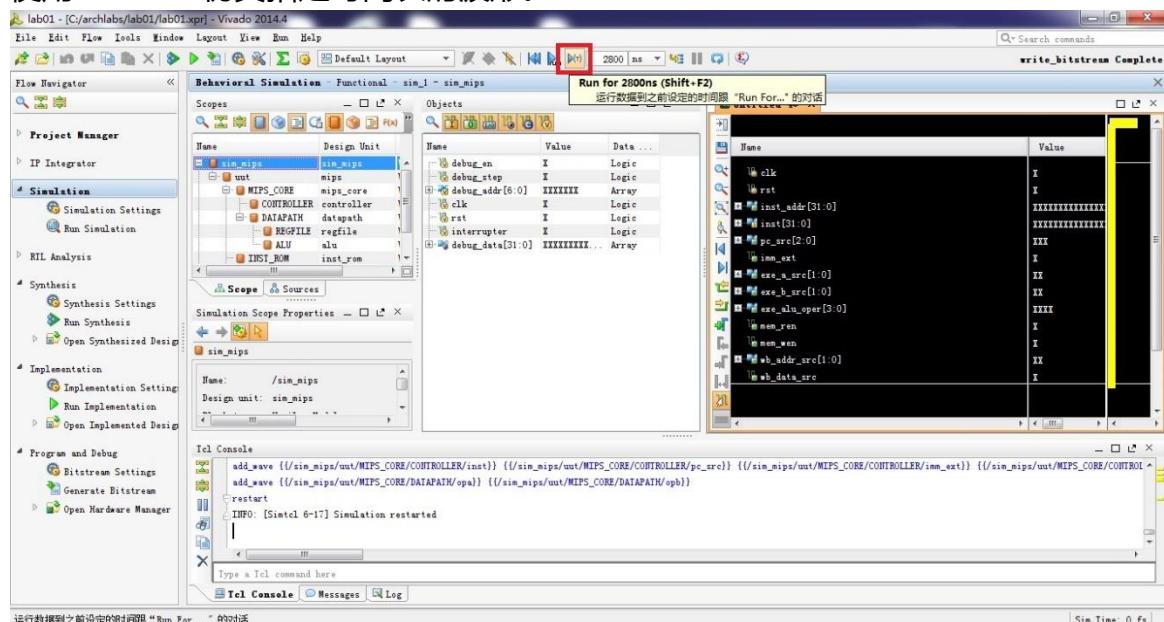


图 2-39 Run for...

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	28 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

将除了 clk 和 rst 外的信号都设置成 16 进制显示。

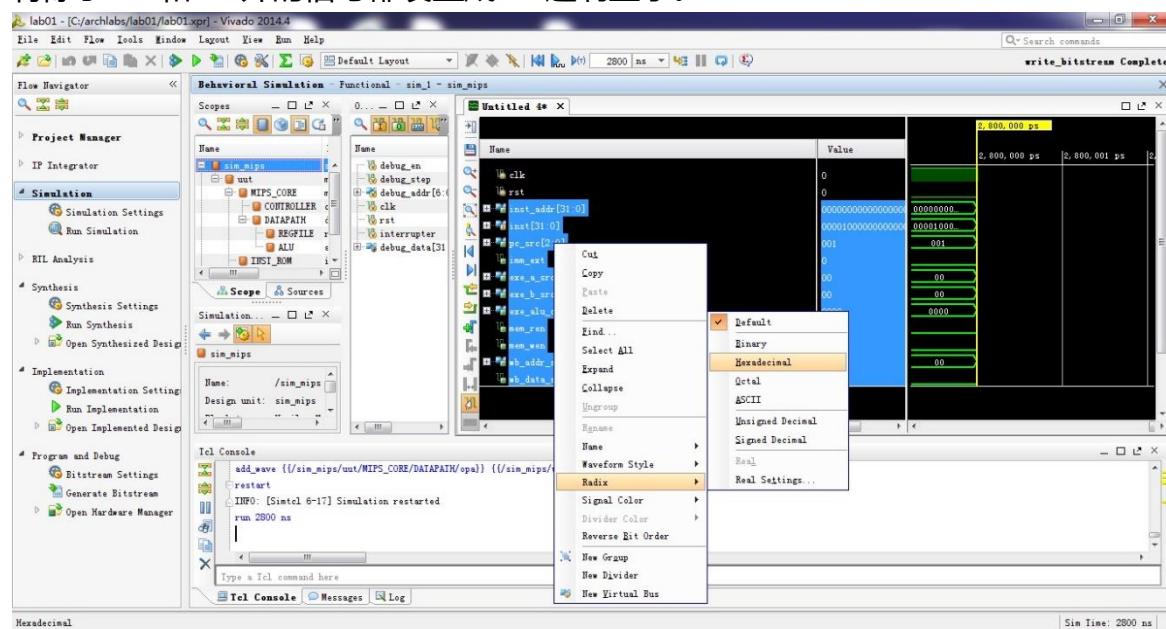


图 2-40 修改显示模式

通过键盘 Shift+ “-” 和 Shift+ “+” 可以对波形图进行缩放。

将仿真出的波形和本文档提供的波形对比，可以知道设计的电路是否正常工作。

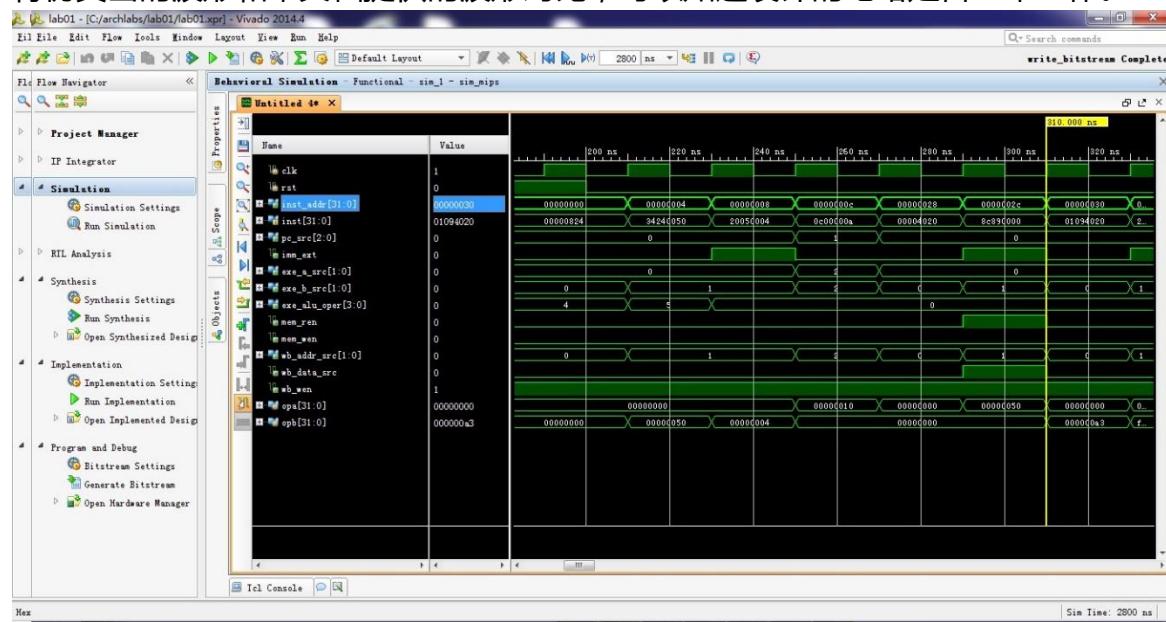


图 2-41 仿真结果 1

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	29 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

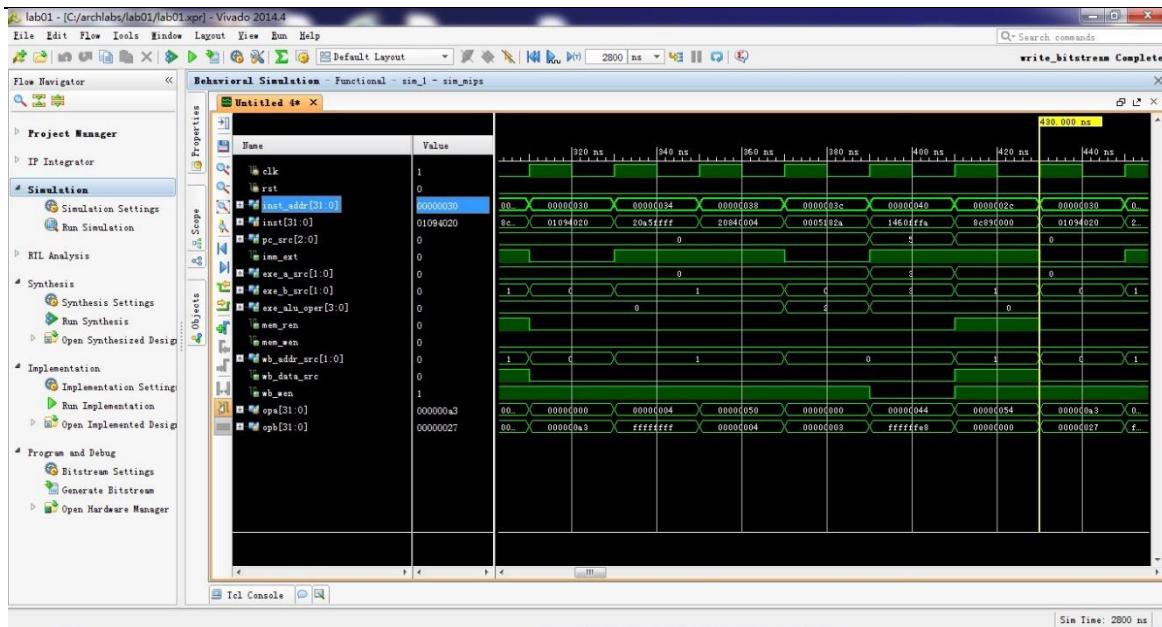


图 2-42 仿真结果 2

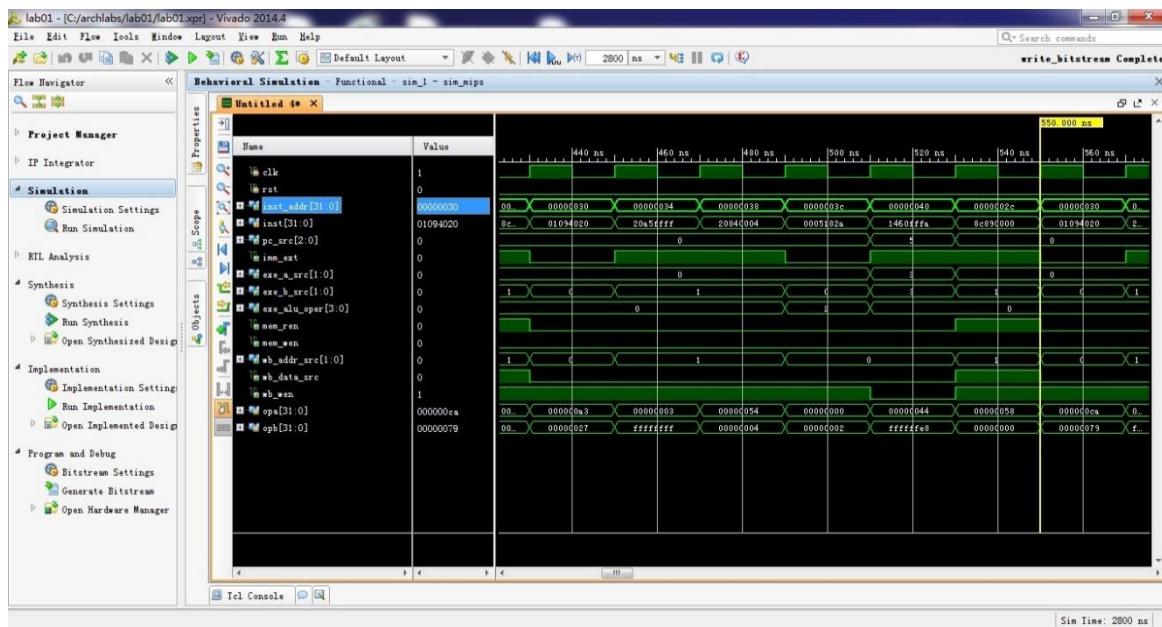


图 2-43 仿真结果 3

2.5 连接外设模块

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	30 of 43
作者 Hawk	修改日期 2019/1/16		公开

仿真结束后，我们增加各外设模块，在 Design Sources 上点击右键，点击 Add

Sources。

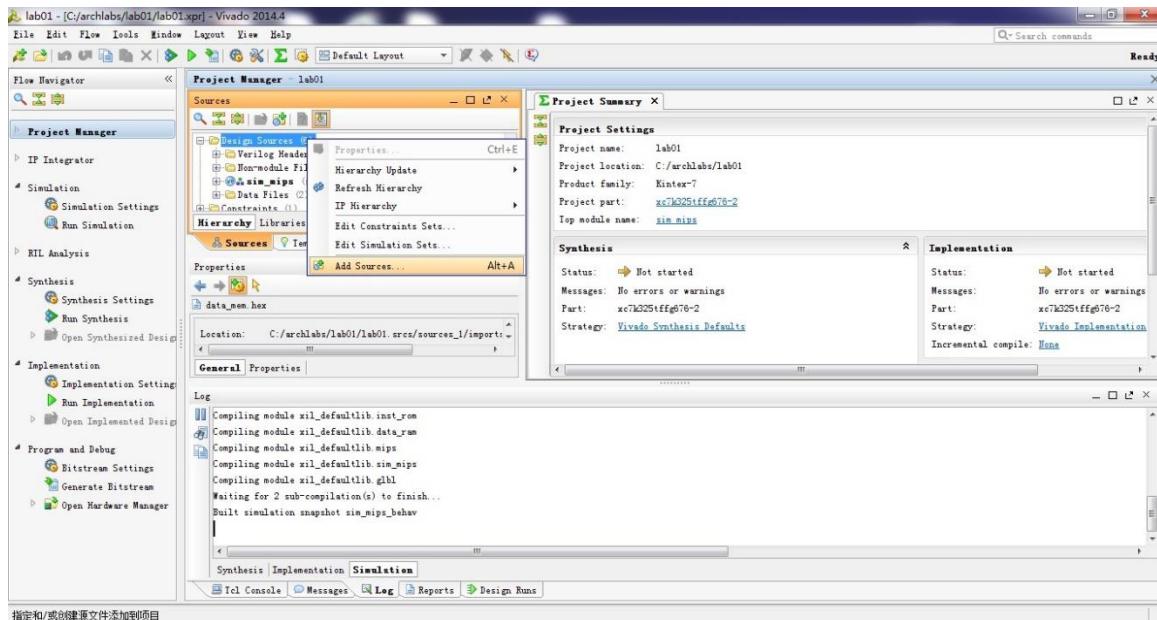


图 2-44 增加外设.v 文件

选择 Add or create design sources , 点击 Next。

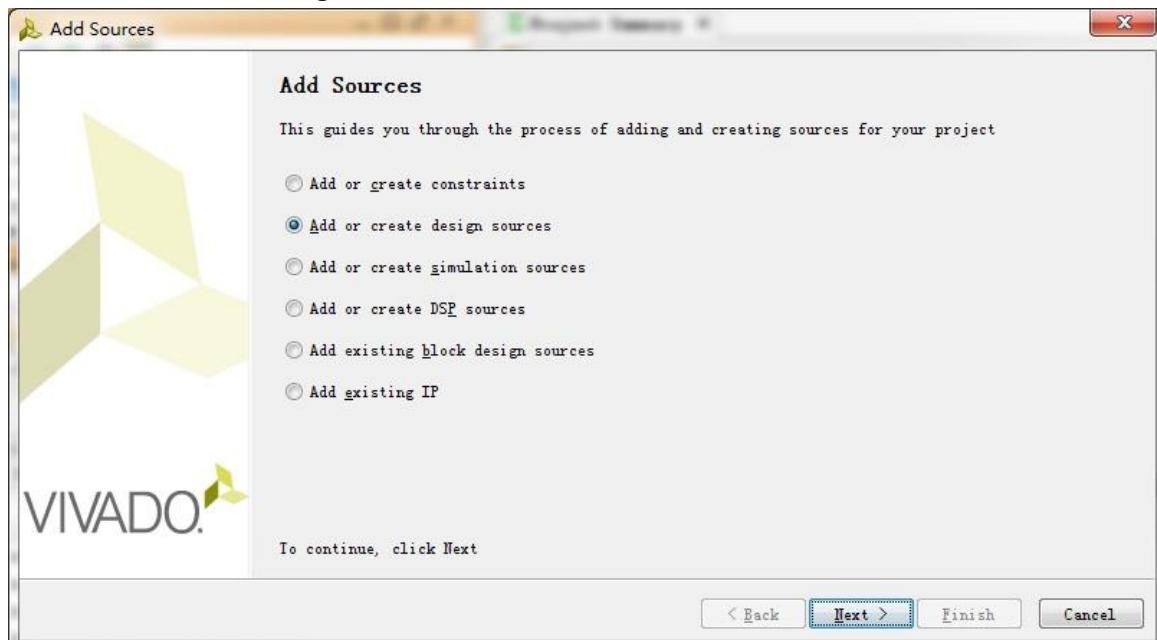


图 2-45 Next

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	31 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

点击 Add Files。

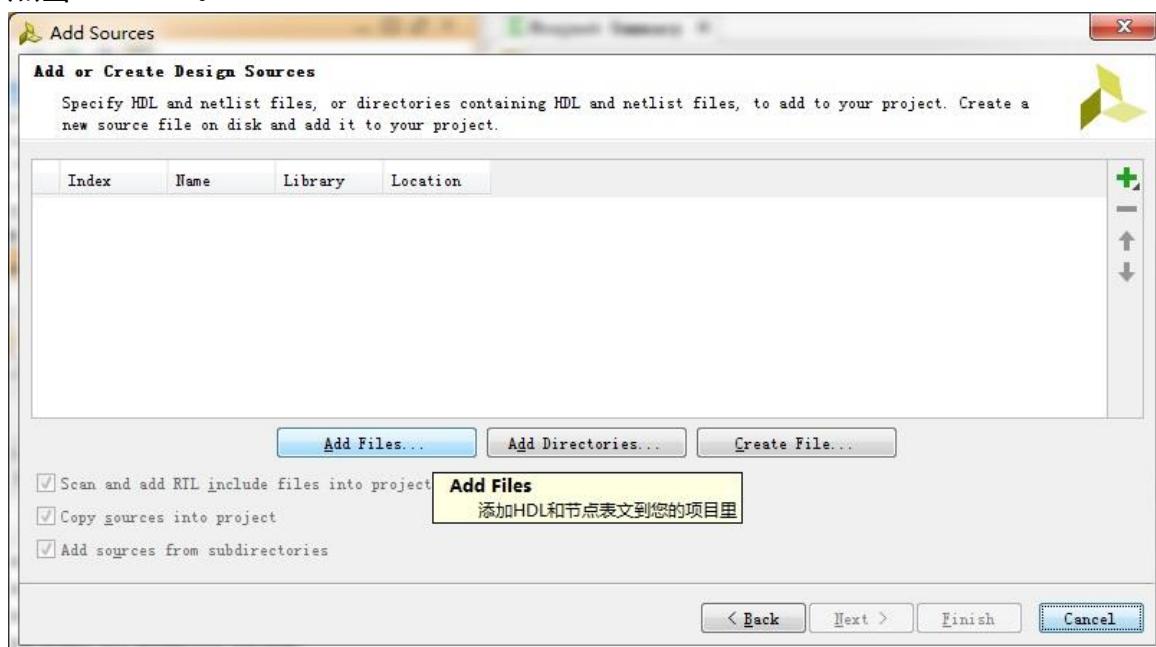


图 2-46 Add Files

切换目录到 lab_source\lab01\sources\peripherals。

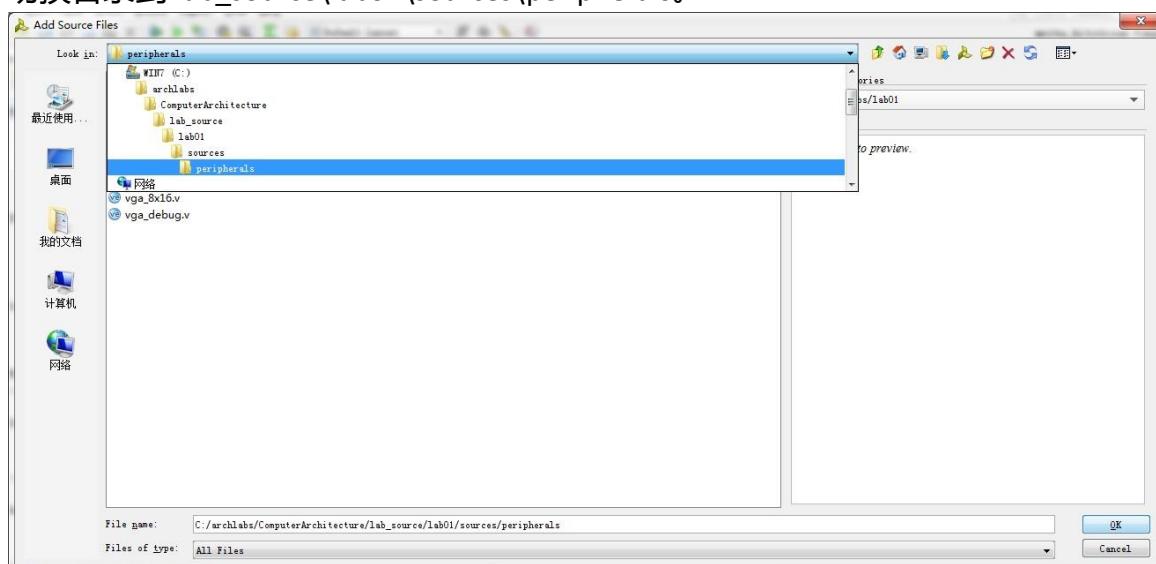


图 2-47 切换目录

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	32 of 43
作者	修改日期			
Hawk	2019/1/16			公开

将各模块增加到工程，各模块简介：

表 2-2 待添加的外设模块简介

文件名	说明
btn_scan.v	按键扫描模块
clk_diff.v	差分时钟转换单端时钟
display.v	七段数码管和 LED 显示模块
mips_top.v	开发板顶层模块
my_clk_gen.v	时钟生成器模块
parallel2serial.v	并转串模块，用于七段数码管和 LED
vga.v	液晶屏/VGA 显示模块
vga_8x16.v	字库（8x16 点阵）
vga_debug.v	调试文字信息生成模块

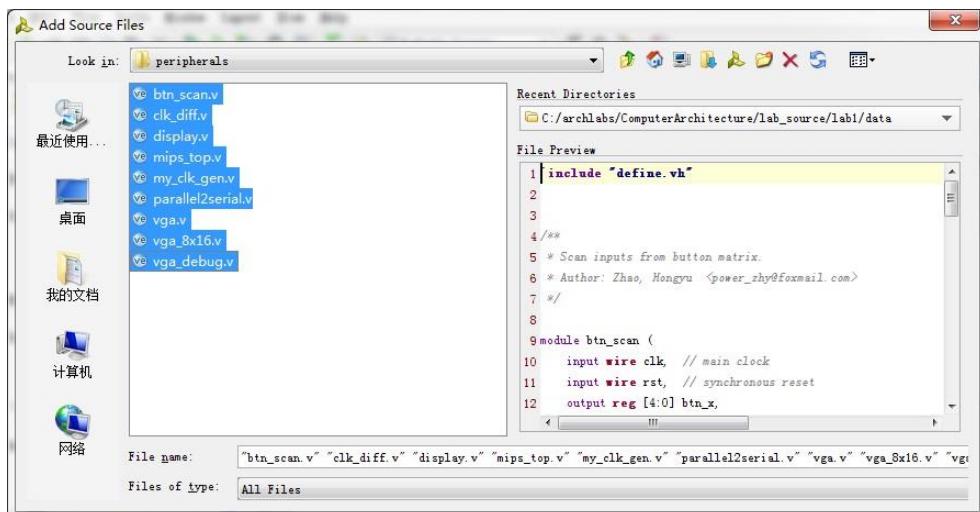


图 2-48 外设模块

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	33 of 43
作者	修改日期			
Hawk	2019/1/16			公开

本次共加入 9 个文件，选中 Scan and add RTL include files into project 和 Copy sources into project，点击 Finish。

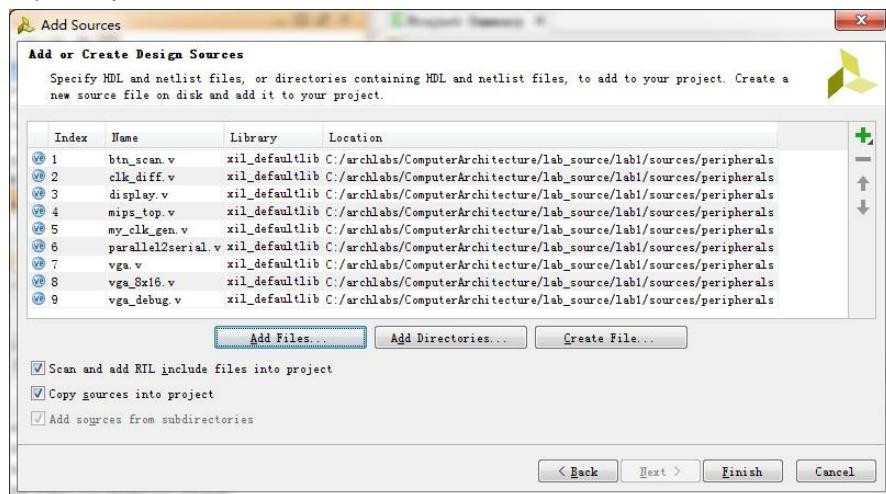


图 2-49 增加模块

在 Constraints 上点击右键，点击 Add Sources。

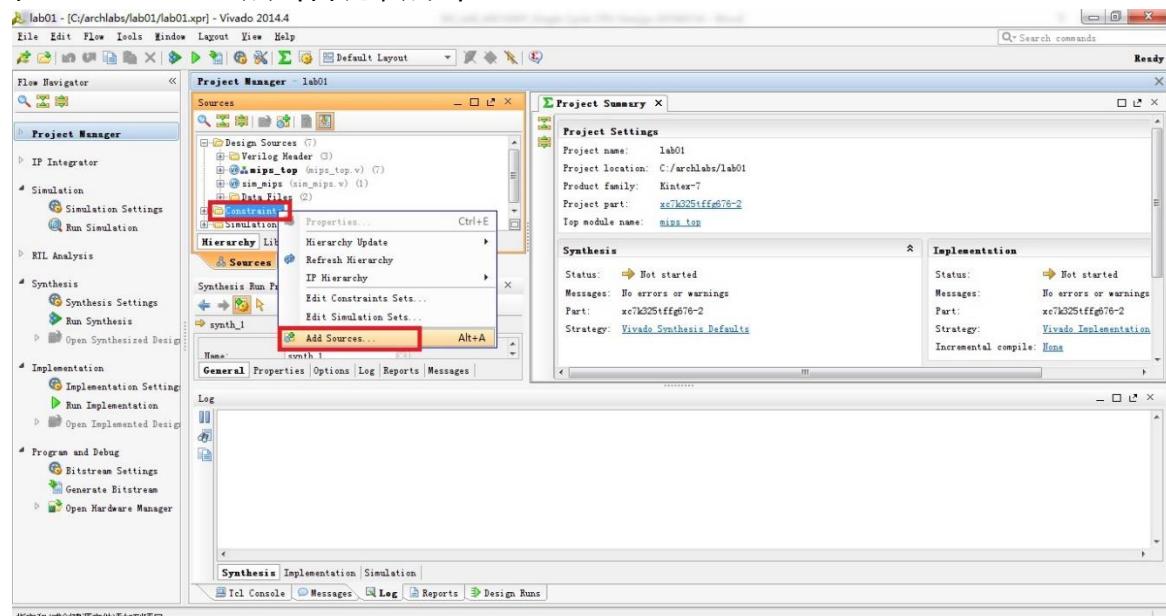


图 2-50 增加文件

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	34 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

选中 Add or create constraints , 点击 Next 继续。

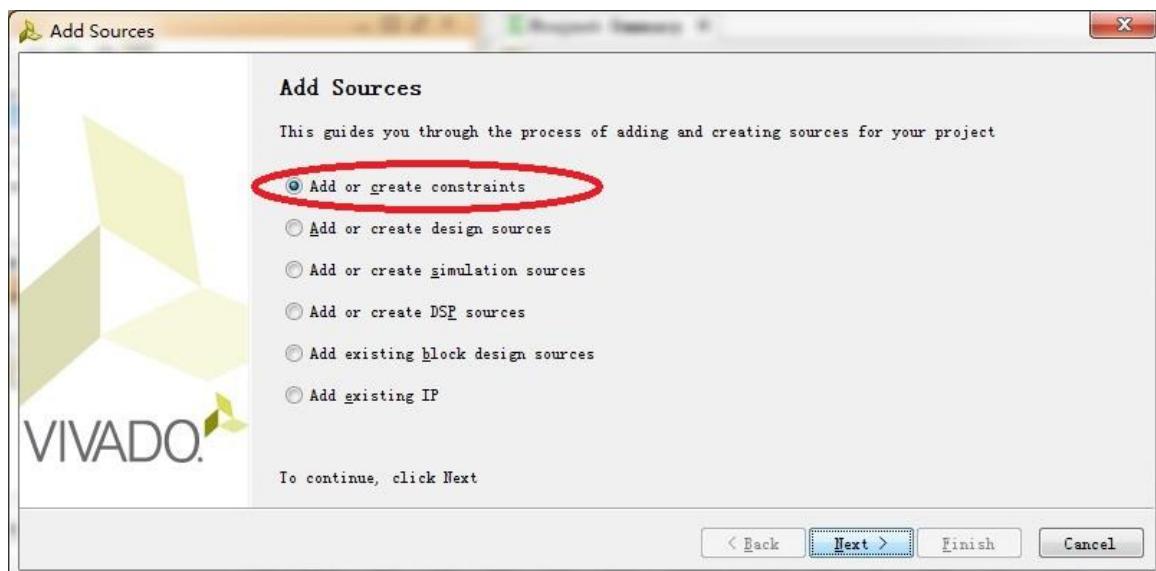


图 2-51 增加 constraints

点击 Add Files。

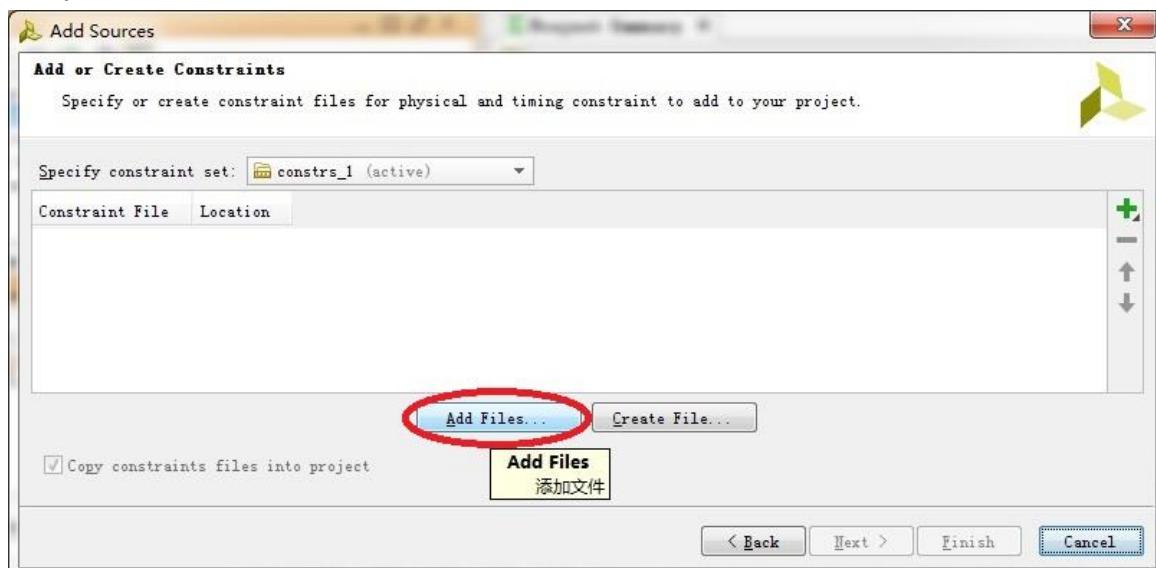


图 2-52 增加文件

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	35 of 43
作者	修改日期			
Hawk	2019/1/16			公开

进入 c:\archlabs\ComputerArchitecture\lab_source\lab01\constrs 目录。

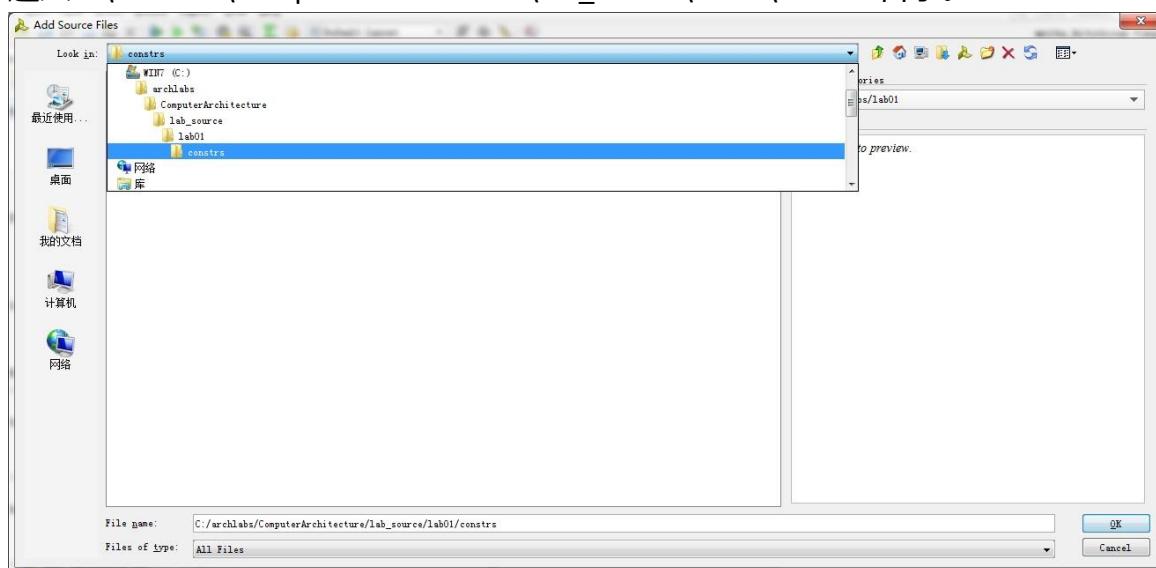


图 2-53 切换目录

选择 sword4.xdc 文件，点击 OK，将 SWORD4.0 板的 constraints 文件加入工程。

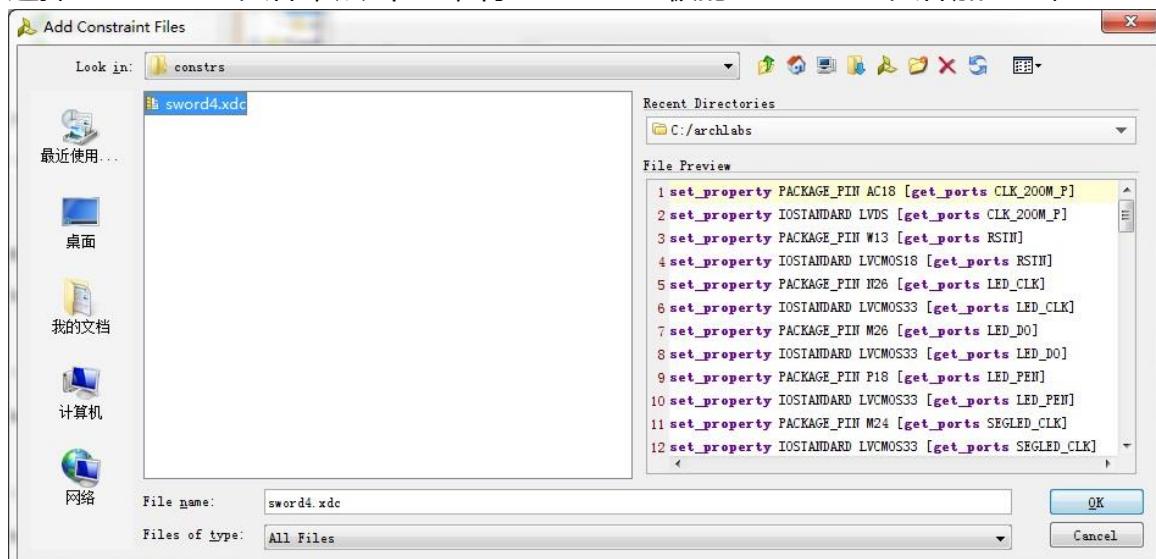


图 2-54 sword4.xdc

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	36 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

选中 **Copy constraints files into project**，点击 **Finish**。

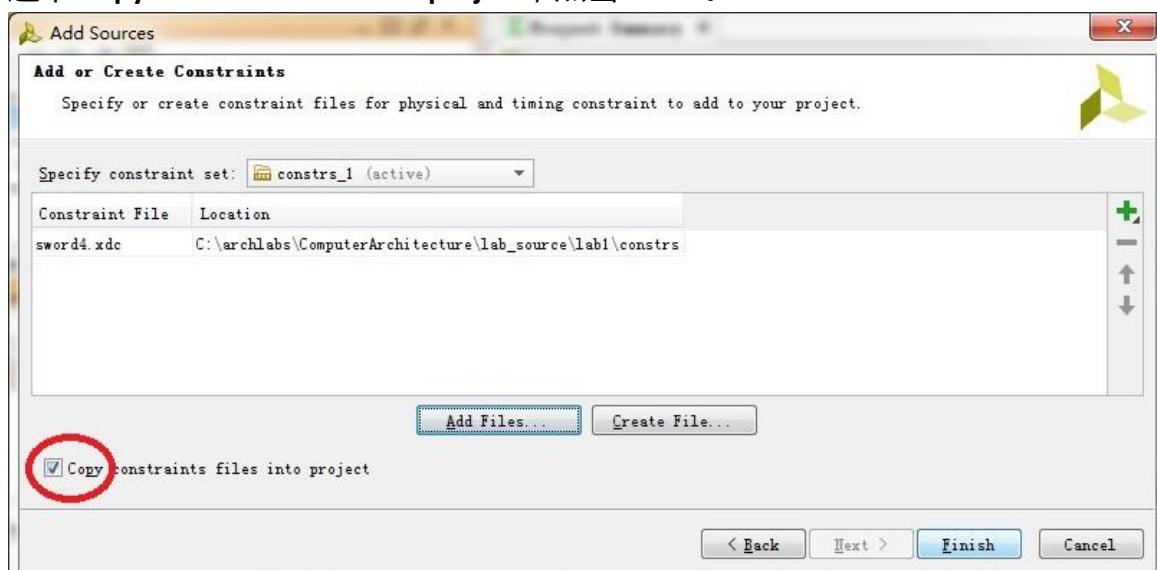


图 2-55 完成增加 constraints

在 mips_top 上点击右键，点击 Set as Top，将 mips_top 设置为顶层模块。

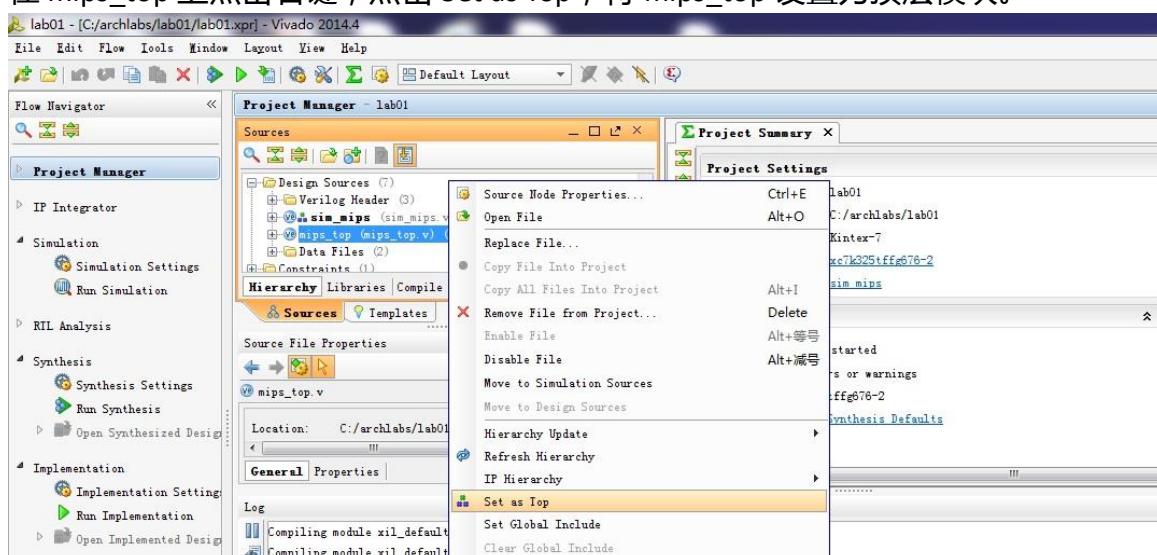


图 2-56 设置顶层模块

2.6 生成 bitstream 文件

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	37 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

mips_top.v 被设置为顶层文件后。点击 Generate Bitstream 生成 FPGA 配置文件。

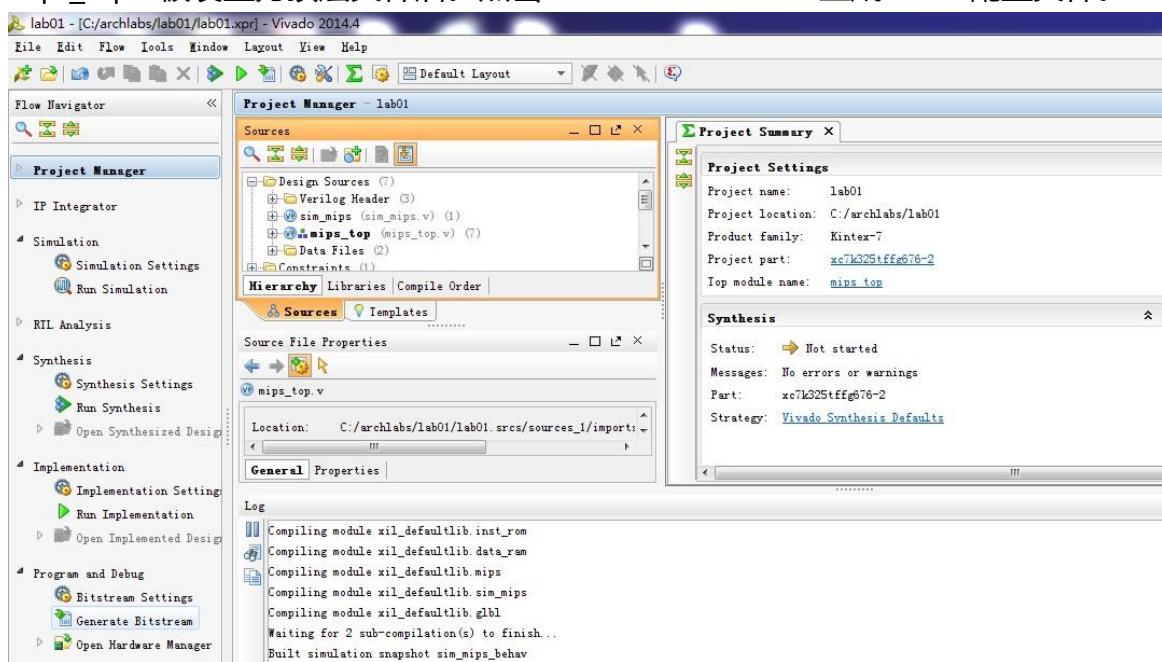


图 2-57 生成 bitstream

在询问对话框中选择 Yes，自动运行 synthesis 和 implementation。

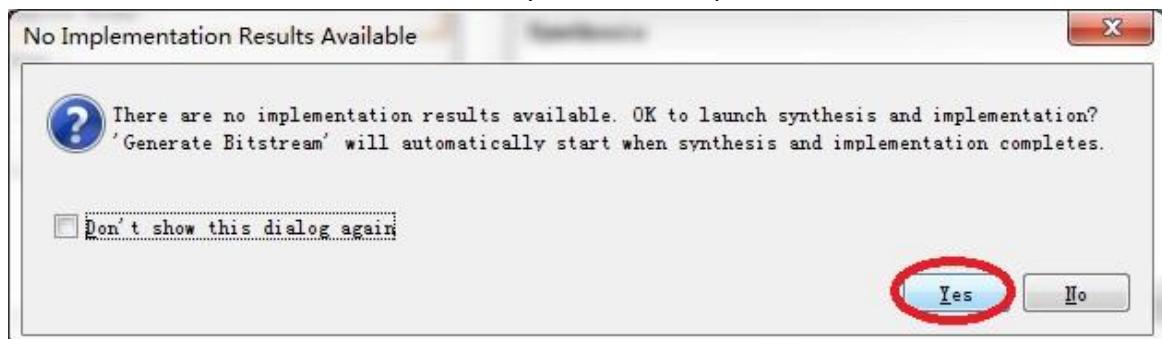


图 2-58 自动运行中间步骤

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	38 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

当显示 Bitstream Generation Completed 时表示文件成功生成，点击 Cancel 结束。

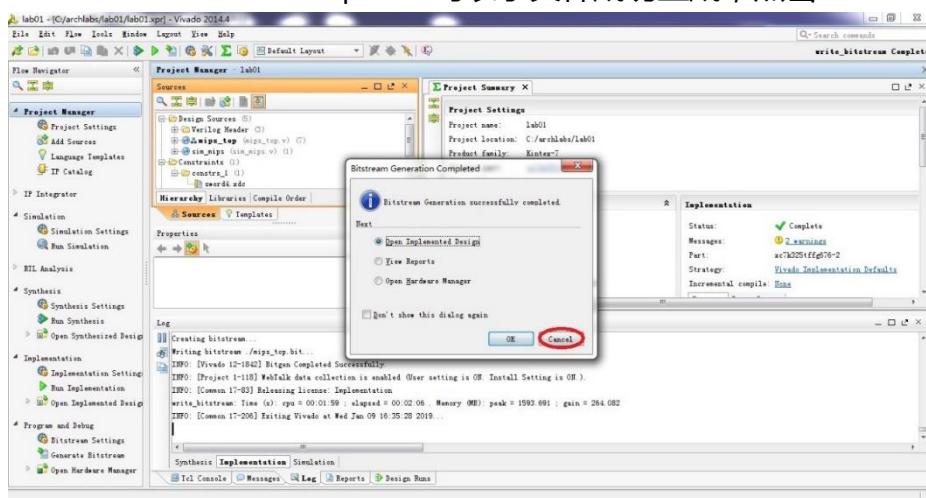


图 2-59 生成 bitstream 成功

2.7 下载验证

仿真完成后，下载 bit 文件到 SWORD4.0 开发平台查看真实效果。按图连接 SWORD4.0 的 12V 电源和 JTAG，然后打开开关。

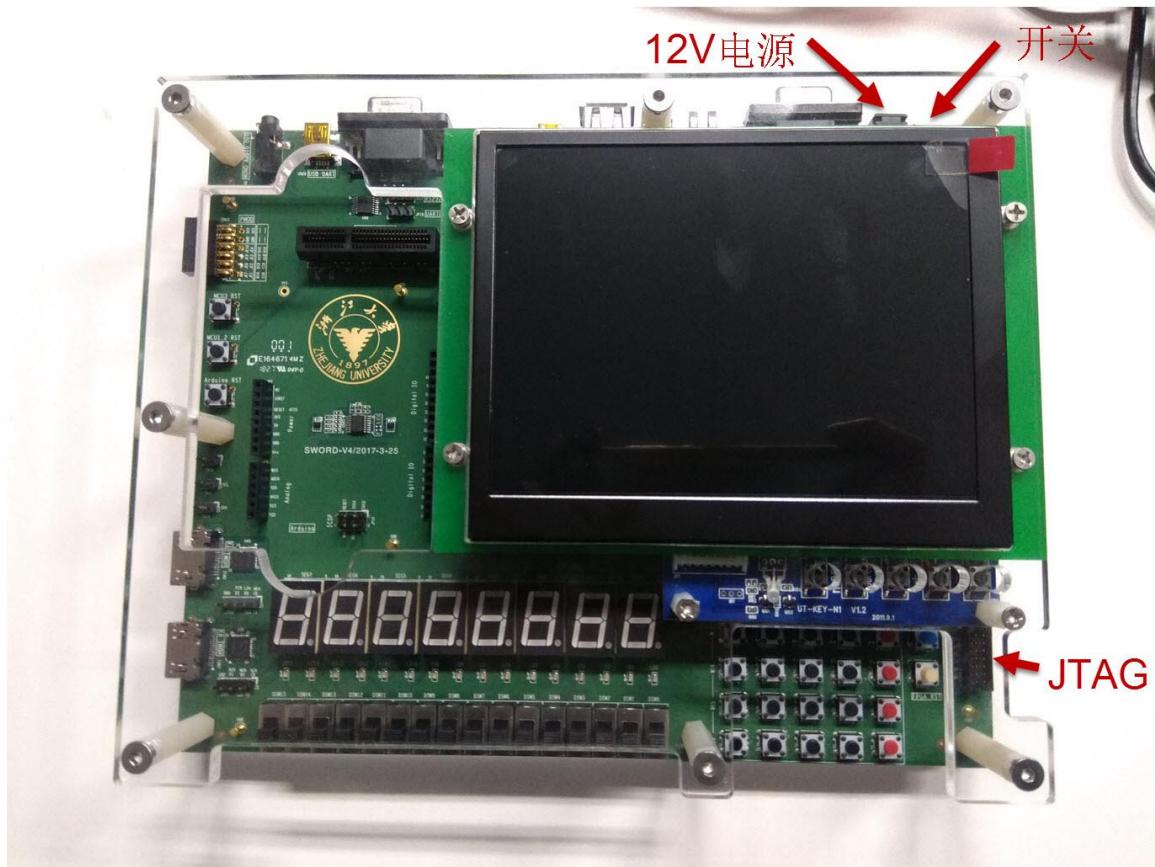


图 2-60 连接 SWORD4.0

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	39 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

SWORD4.0 的控制开关主要有拨码开关、键盘矩阵、复位按钮等。

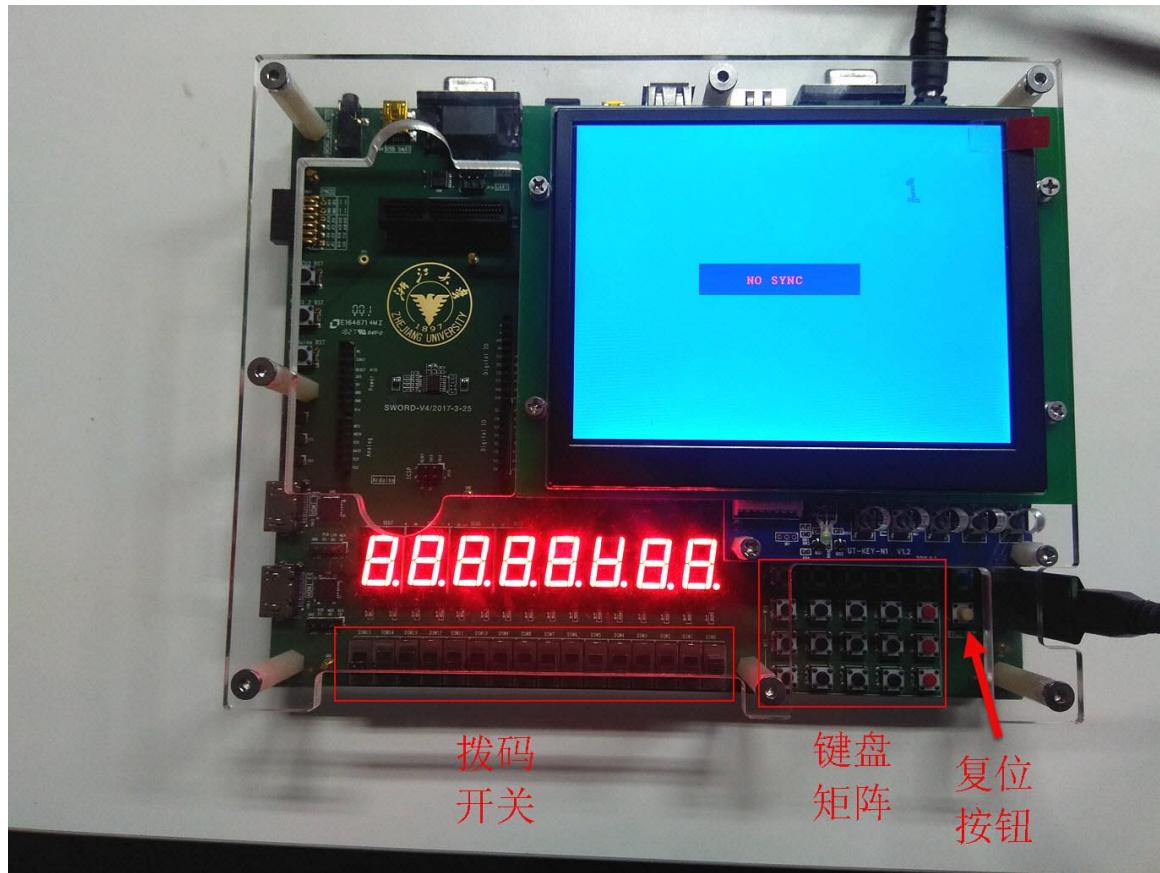


图 2-61 主要控制 I/O

在 Vivado 中点击 Open Hardware Manager。

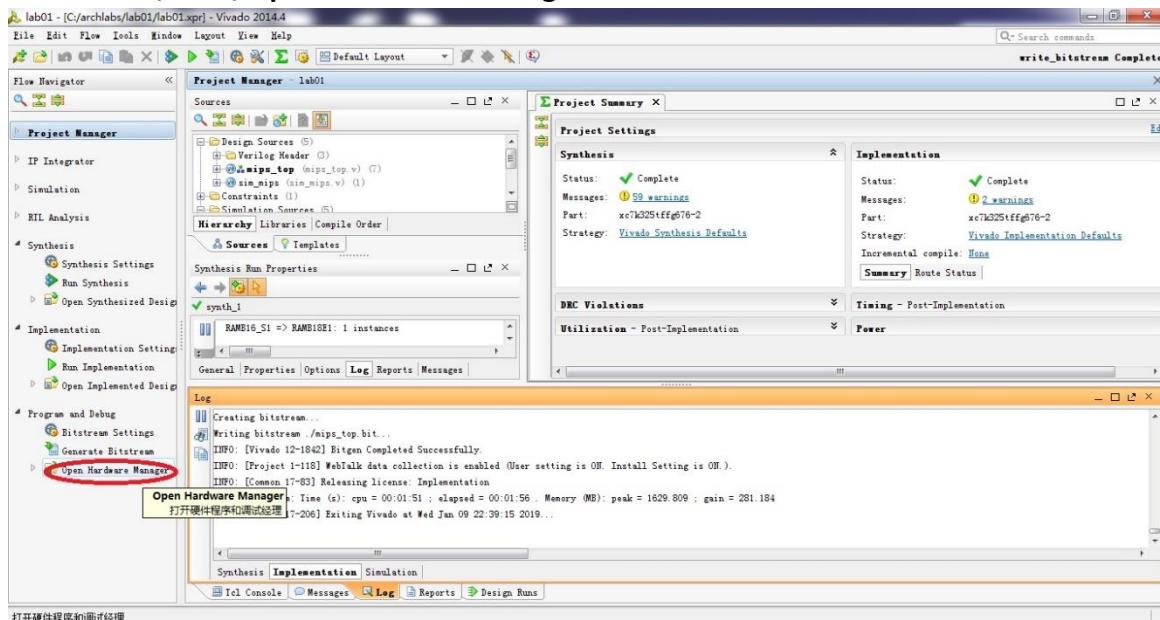


图 2-62 进入 Hardware Manager

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	40 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

点击 Open target , 然后点击 Auto Connect。



图 2-63 自动连接到 SWORD4.0

右键点击找到的 xc7k325t_0 , 选择 Program Device。

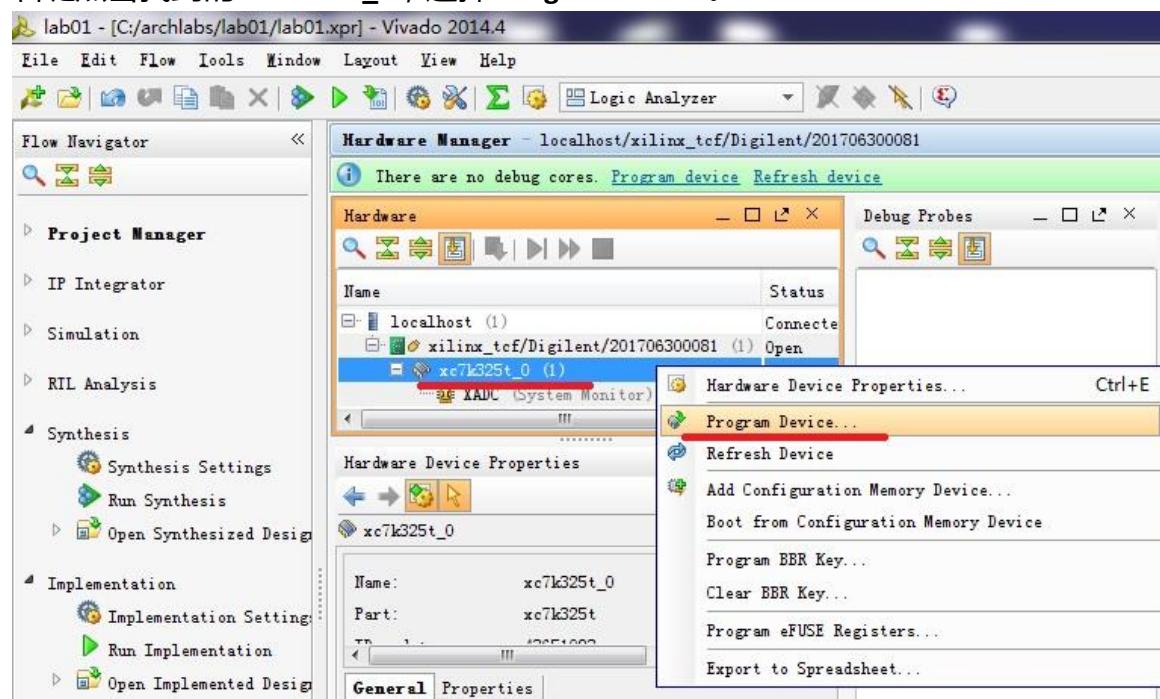


图 2-64 Program Device

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	41 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

点击 Program 下载 bit 文件。

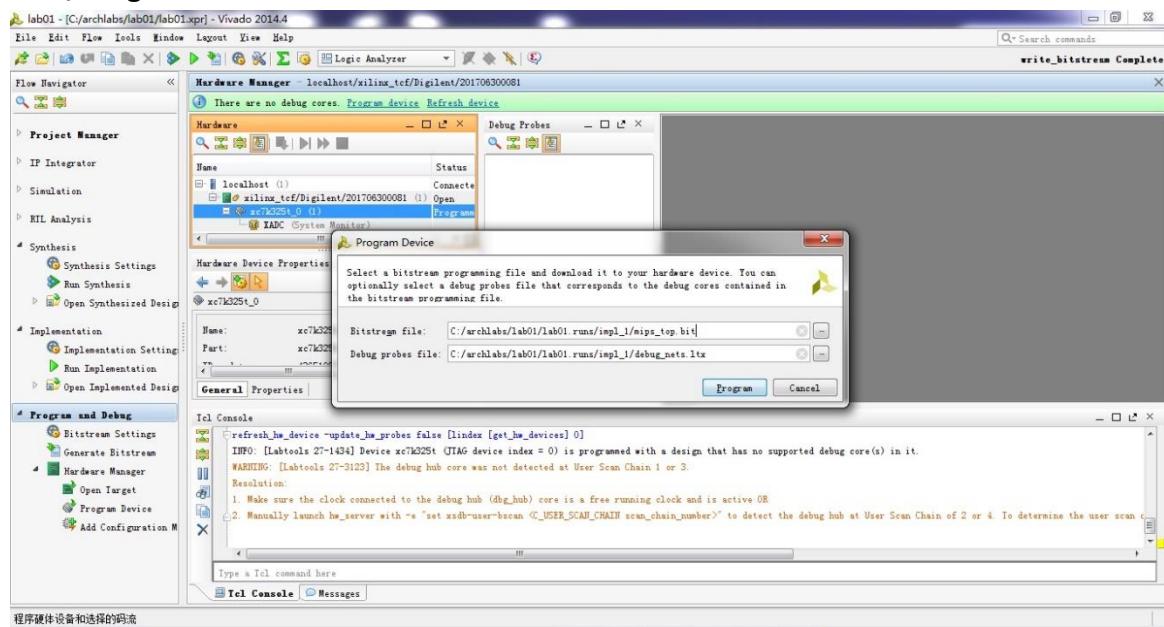


图 2-65 下载 bit 文件

下载完成后 SWORD4.0 上的反应，液晶屏上会显示调试信息。

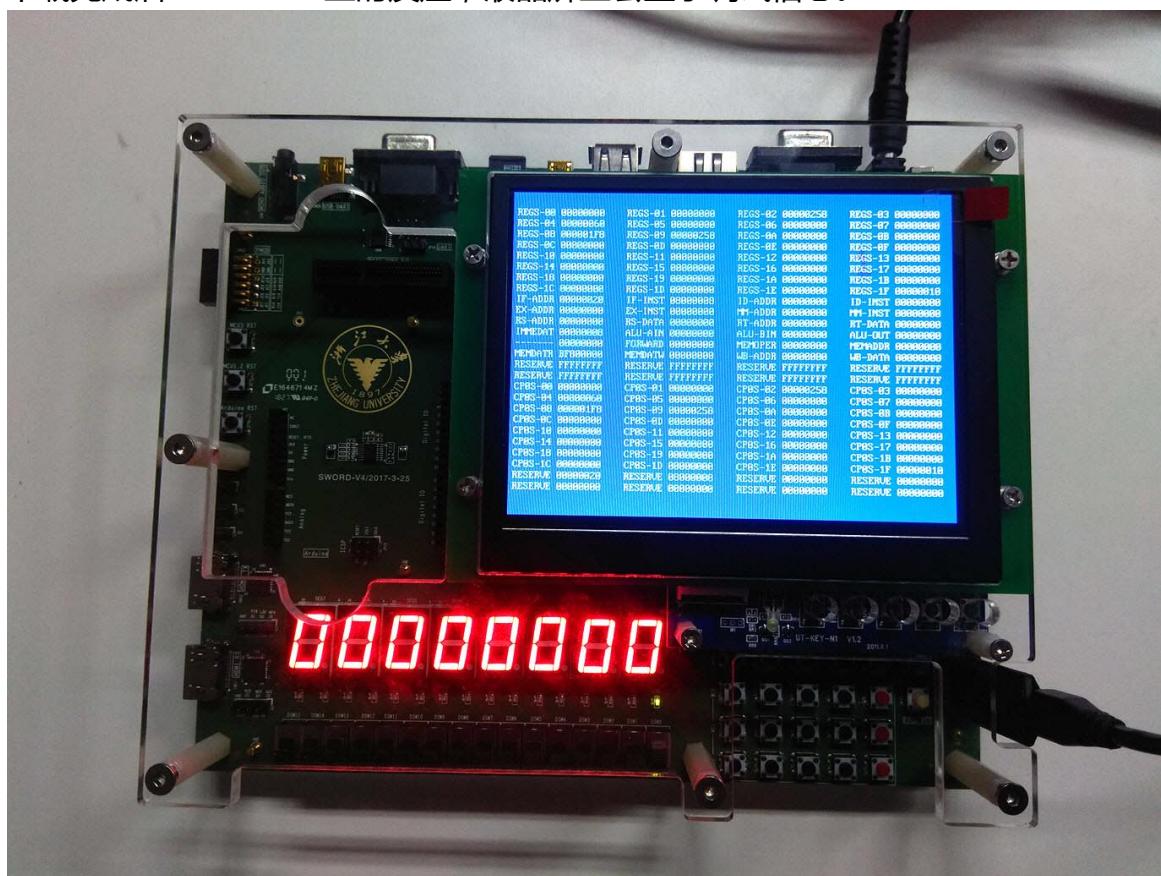


图 2-66 运行效果

通过将拨码开关 DSW0 拨向上，可以开启单步模式。之后每按一下键盘矩阵左下角

标题	文档编号	版本	页
Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	42 of 43
作者	修改日期		
Hawk	2019/1/16	公开	

的 BTNX4Y0 , CPU 就执行一条指令。按复位键 FPGA RST 按钮回到初始状态。

在单步模式下 , 将液晶屏显示数据与仿真波形比较 , 可以确认 cpu 是否正常工作。

XINGDENG	标题	文档编号	版本	页
	Lab1: Single Cycle CPU Design	XD-LAB-ARCH-001	1.0	43 of 43
作者	修改日期			
Hawk	2019/1/16			公开