

Tarea 1

Simulación de funciones lógicas digitales de 4 variables

***Acoidan Martín Conrado
Sistemas Electrónicos Digitales
1º Grado Ingeniería Informática
13/03/2024***

Índice

1. Funciones asignadas.....	2
2. Tablas de verdad	2
3. Funciones simplificadas.....	3
4. Circuito	3
5. Código VHDL.....	4
6. Cronograma de simulación	5

Tarea 1

Simulación de funciones lógicas digitales de 4 variables

1.- Funciones asignadas

Las funciones asignadas se muestran en la Tabla 1.

Alumno	f_0	f_1
119 Acoidan Martín Conrado	81FC	7D37

Tabla 1. Funciones asignadas

2.- Tablas de verdad

Las tablas de verdad de las funciones asignadas se muestran en la Tabla 2.

	a	b	c	d	f_0	f_1
0	0	0	0	0	0	1
1	0	0	0	1	0	1
2	0	0	1	0	1	1
3	0	0	1	1	1	0
4	0	1	0	0	1	1
5	0	1	0	1	1	1
6	0	1	1	0	1	0
7	0	1	1	1	1	0
8	1	0	0	0	1	1
9	1	0	0	1	0	0
10	1	0	1	0	0	1
11	1	0	1	1	0	1
12	1	1	0	0	0	1
13	1	1	0	1	0	1
14	1	1	1	0	0	1
15	1	1	1	1	1	0

Tabla 2. Tabla de verdad de las funciones asignadas

3.- Funciones simplificadas

Después de simplificar las tablas de verdad mediante los mapas de Karnaugh, las funciones simplificadas obtenidas son:

$$f_0 = \bar{a}c + \bar{a}b + bcd + a\bar{b}\bar{c}\bar{d}$$

$$f_1 = a\bar{d} + b\bar{c} + \bar{b}\bar{d} + \bar{a}\bar{c} + a\bar{b}c$$

4.- Circuito

El circuito a implementar se muestra en la Figura 1.

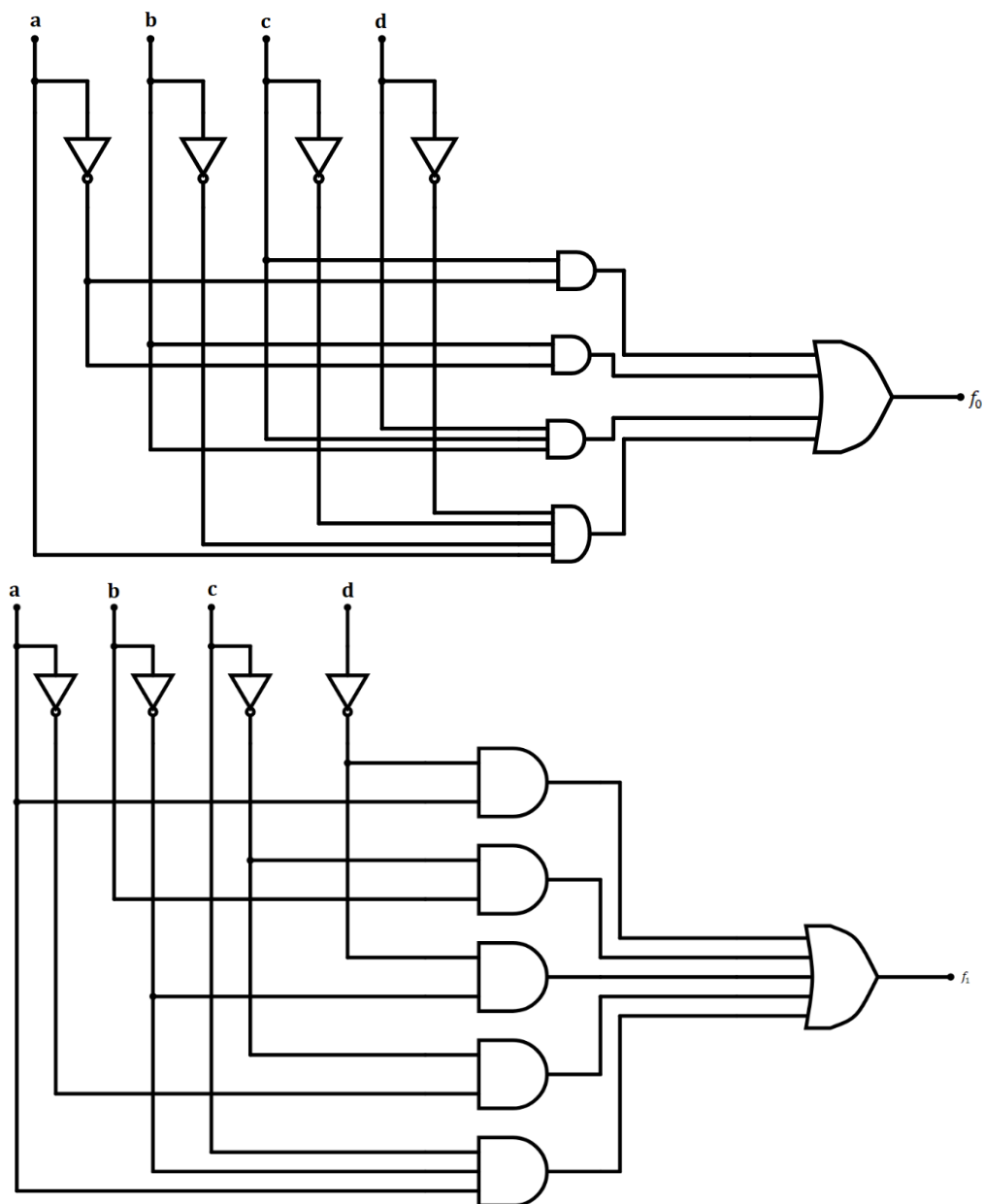


Figura 1. Tabla de verdad de las funciones asignadas

5.- Código VHDL

El código VHDL se muestra en la Figura 2.

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity funciones119 is
5     Port (a : in STD_LOGIC;
6           b : in STD_LOGIC;
7           c : in STD_LOGIC;
8           d : in STD_LOGIC;
9           f0 : out STD_LOGIC;
10          f1 : out STD_LOGIC) ;
11 end funciones119;
12
13 architecture Behavioral of funciones119 is
14
15 begin
16
17     f0 <= (not a and c) or (not a and b) or (b and c and d) or (a and not b and not c and not d);
18     f1 <= (a and not d) or (b and not c) or (not b and not d) or (not a and not c) or (a and not b and c);
19
20 end Behavioral;
```

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity funciones119_tb is
5 end funciones119_tb;
6
7 architecture tb of funciones119_tb is
8
9     component funciones119
10         port (a : in std_logic;
11              b : in std_logic;
12              c : in std_logic;
13              d : in std_logic;
14              f0 : out std_logic;
15              f1 : out std_logic);
16     end component;
17
18     signal a : std_logic := '0';
19     signal b : std_logic := '0';
20     signal c : std_logic := '0';
21     signal d : std_logic := '0';
22     signal f0 : std_logic;
23     signal f1 : std_logic;
24
25     constant Tb_semiPeriod : time := 10 ns;
26
27     signal TbSimEnded : std_logic := '0';
28
29 begin
30
31     dut : funciones119
32     port map (a => a,
33              b => b,
34              c => c,
35              d => d,
36              f0 => f0,
37              f1 => f1);
38
39     d <= not d after Tb_semiPeriod when TbSimEnded /= '1' else '0';
40     c <= not c after Tb_semiPeriod*2 when TbSimEnded /= '1' else '0';
41     b <= not b after Tb_semiPeriod*4 when TbSimEnded /= '1' else '0';
42     a <= not a after Tb_semiPeriod*8 when TbSimEnded /= '1' else '0';
43
44     TbSimEnded <= '1' after 16 * Tb_semiPeriod;
45
46 end tb;
```

Figura 2. Captura de pantalla del código VHDL

6.- Cronograma de simulación

A continuación, se muestra el cronograma de simulación de las funciones implementadas (Figura 3):

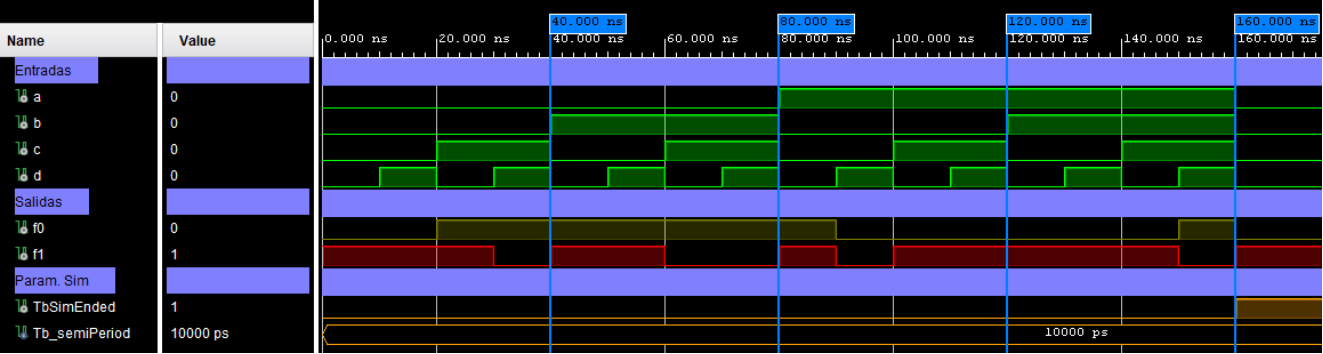


Figura 3. Cronograma de simulación.

Se aprecia que los resultados son consistentes con los que aparecen en la tabla 2.