

Tiempo restante 0:14:21

Pregunta 1

Sin responder aún

Puntúa como 1,00

Para poder usar la plantilla de asignación de pines a puertos *Nexys-A7-100T-Master* en nuestro diseño, hay que:

Seleccione una:

- ☐ a. Únicamente hay que cambiar el nombre por defecto que tiene el puerto (en cada línea, justo después de *get_ports*), de acuerdo con el nombre de los puertos que tenga la entidad del módulo *top level*.
- ☒ b. Es necesario realizar todas las operaciones indicadas en los demás ítems
- ☐ c. Basta con descomentar las líneas de código correspondientes a los pines que va a usar nuestro circuito (quitar #).
- ☐ d. Es suficiente con añadir la plantilla al proyecto con *Add Files*

[Quitar mi elección](#)

Tiempo restante 0:14:14

Pregunta 2

Sin responder aún

Puntúa como 1,00

Para simular un decodificador de 7 segmentos necesitamos

- ☐ a. Una señal de reloj
- ☐ b. Todas las respuestas son correctas
- ☐ c. Un test bench secuencial
- ☐ d. Asignaciones de pines
- ☐ e. Un test bench combinacional
- ☐ f. Una FPGA

Tiempo restante 0:13:59

Pregunta 3

Sin responder aún

Puntúa como 1,00

Para asignarle los periféricos de la tarjeta a los puertos de E/S de nuestro diseño, debemos conocer los pines de la FPGA a los cuales están conectados. Esta información la encontramos:

Seleccione una:

- ☐ a. Todas las respuestas son correctas
- ☐ b. En el datasheet de la tarjeta de desarrollo
- ☐ c. Serigrafiada en la propia tarjeta junto a cada periférico
- ☐ d. En un fichero XDC genérico que provee el fabricante de la tarjeta

Tiempo restante 0:13:55

Pregunta 4

Sin responder aún

Puntúa como 1,00

Si queremos definir un puerto o señal como bus, debemos usar

- ☐ a. integer
- ☐ b. binary_vector
- ☐ c. std_logic
- ☐ d. El nombre de la señal con el rango entre paréntesis. a(0:7), por ejemplo
- ☐ e. array
- ☐ f. std_logic_vector

Tiempo restante 0:13:51

Pregunta 5

Sin responder aún

Puntúa como 1,00

La declaración

```
signal my_bus : std_logic_vector(7 downto 3);
```

define un bus de:

- ☐ a. 7 bits
- ☐ b. 8 bits
- ☐ c. 5 bits
- ☐ d. 4 bits

Tiempo restante 0:13:46

Pregunta 6

Sin responder aún

Puntúa como 1,00

Un decodificador de 7 segmentos sólo puede describirse en VHDL usando asignaciones con operadores lógicos (AND, OR, NOT, etc)

Seleccione una:

- ☐ Verdadero
- ☐ Falso

Tiempo restante 0:13:41

Pregunta 7

Sin responder aún

Puntúa como 1,00

Las señales internas para interconectar elementos del circuito que estamos diseñando se declaran:

- ☐ a. En el test bench
- ☐ b. En la zona funcional de la arquitectura del circuito a realizar
- ☐ c. En la zona declarativa de la arquitectura del circuito a realizar
- ☐ d. En el archivo de restricciones de usuario
- ☐ e. En el simulador
- ☐ f. En la entidad del circuito

Tiempo restante 0:12:58

Pregunta 8

Sin responder aún

Puntúa como 1,00

El fichero **pinout.vhd** es un fichero de asignación de pines

Seleccione una:

- ☐ Verdadero
- ☐ Falso

Tiempo restante 0:11:42

Pregunta 9

Respuesta guardada

Puntúa como 1,00

En el cronograma de simulación de Vivado Simulator, queremos cambiar la representación de una señal, de binario a hexadecimal. Esto se hace en:

- ☐ a. Vivado Simulator no permite esa opción
- ☒ b. Show hexadecimal
- ☐ c. Force Hexadecimal
- ☐ d. Change Bit Order
- ☐ e. Radix

[Quitar mi elección](#)

Tiempo restante 0:11:37

Pregunta 10

Respuesta guardada

Puntúa como 1,00

De la lista que se muestra, únicamente hay un dispositivo que es una FPGA existente, ¿cuál?

Seleccione una:

- ☐ a. RX 5000M
- ☐ b. i5
- ☐ c. Kintex-9
- ☐ d. Spartan-8
- ☐ e. Cyclone 40
- ☒ f. Artix-7
- ☐ g. Titan RTX
- ☐ h. Artix-9

[Quitar mi elección](#)

Tiempo restante 0:11:16

Pregunta 11

Respuesta guardada

Puntúa como 1,00

El archivo circuito.BIN es un fichero binario que contiene toda la información necesaria para configurar la FPGA

Seleccione una:

- ☒ Verdadero
- ☐ Falso

Tiempo restante 0:11:12

Pregunta 12

Respuesta guardada

Puntúa como 1,00

Queremos ver todo el tiempo de simulación en la pantalla con un golpe de ratón. Tenemos que pulsar en el icono del comando:

Seleccione una:

- ☐ a. Zoom Out
- ☐ b. Adjust Scale
- ☐ c. Zoom to Cursors
- ☒ d. Zoom Fit
- ☐ e. Zoom In

[Quitar mi elección](#)

Tiempo restante 0:10:14

Pregunta 13

Respuesta guardada

Puntúa como 1,00

¿Cuáles de las siguientes son inicializaciones de bus correcta?

- ☐ a. `signal bcd : std_logic_vector(7 downto 0) := X"00";`
- ☒ b. Todas las respuestas son correctas
- ☐ c. `signal bcd : std_logic_vector(7 downto 0) := "00000000";`
- ☐ d. `signal bcd : std_logic_vector(7 downto 0) := (others => '0');`

[Quitar mi elección](#)

Tiempo restante 0:10:10

Pregunta 14

Respuesta guardada

Puntúa como 1,00

Una señal interna...

- ☐ a. No puede usarse en una asignación concurrente
- ☐ b. No puede simularse
- ☒ c. Puede estar tanto a la izquierda como a la derecha en una asignación concurrente
- ☐ d. Sólo puede estar a la derecha en una asignación concurrente
- ☐ e. Sólo puede estar a la izquierda en una asignación concurrente

[Quitar mi elección](#)

Tiempo restante 0:10:05

Pregunta 15

Sin responder aún

Puntúa como 1,00

En un cronograma de simulación

Seleccione una:

- ☐ a. Todas las respuestas son correctas
- ☐ b. Si el color de las señales es naranja, el diseño no es correcto
- ☐ c. Vemos el valor que toman los puertos de salida y las señales en función de los estímulos de entrada a lo largo del tiempo
- ☐ d. Las entradas deben ser constantes
- ☐ e. No podemos ordenar las señales