***Tarea 2***

***Implementación de un contador aleatorio***

***Acoidan Martín Conrado***

***Sistemas Electrónicos Digitales***

***1º Grado Ingeniería Informática***

***10/04/2024***

**Índice**

1. Funciones asignadas 2

2. Tablas de verdad 2

3. Circuito del contador implementado 3

4. Circuito del contador implementado 3

5. Códigos VHDL 4

6. Cronograma de simulación 7

**Nota:** La plantilla utilizada es una guía para la realización del informe, el estudiante la debe usar un punto de partida. Se valorará todas las explicaciones para el entendimiento del proceso seguido.

***Tarea 2***

***Implementación de un contador aleatorio***

**1.- Funciones asignadas**

El contador aleatorio asignado se muestra en la Tabla 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Alumno | Secuencia | Flip-flops | | | | Cíclico |
| 119 Acoidan Martín Conrado | 3,5,8,1,7,4,6,9,0,2 | T | D | D | T | No |

**Tabla 1.** Contador aleatorio asignado

**2.- Tabla de transiciones**

La tabla de transiciones del contador aleatorio asignado es:

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Estado actual | | | | Estado siguiente | | | |  | | | |
|  | QA | QB | QC | QD |  |  |  |  | TA | DB | DC | TD |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | X | X | X | X | X | X | X | X |
| 11 | 1 | 0 | 1 | 1 | X | X | X | X | X | X | X | X |
| 12 | 1 | 1 | 0 | 0 | X | X | X | X | X | X | X | X |
| 13 | 1 | 1 | 0 | 1 | X | X | X | X | X | X | X | X |
| 14 | 1 | 1 | 1 | 0 | X | X | X | X | X | X | X | X |
| 15 | 1 | 1 | 1 | 1 | X | X | X | X | X | X | X | X |

**3.- Mapas de Karnaugh**

Los mapas de Karnaugh de las entradas de los biestables son:

|  |  |
| --- | --- |
|  | ) |
|  |  |

**4.- Circuito del contador implementado**

A continuación, se muestra el circuito del contador que se ha implementado:

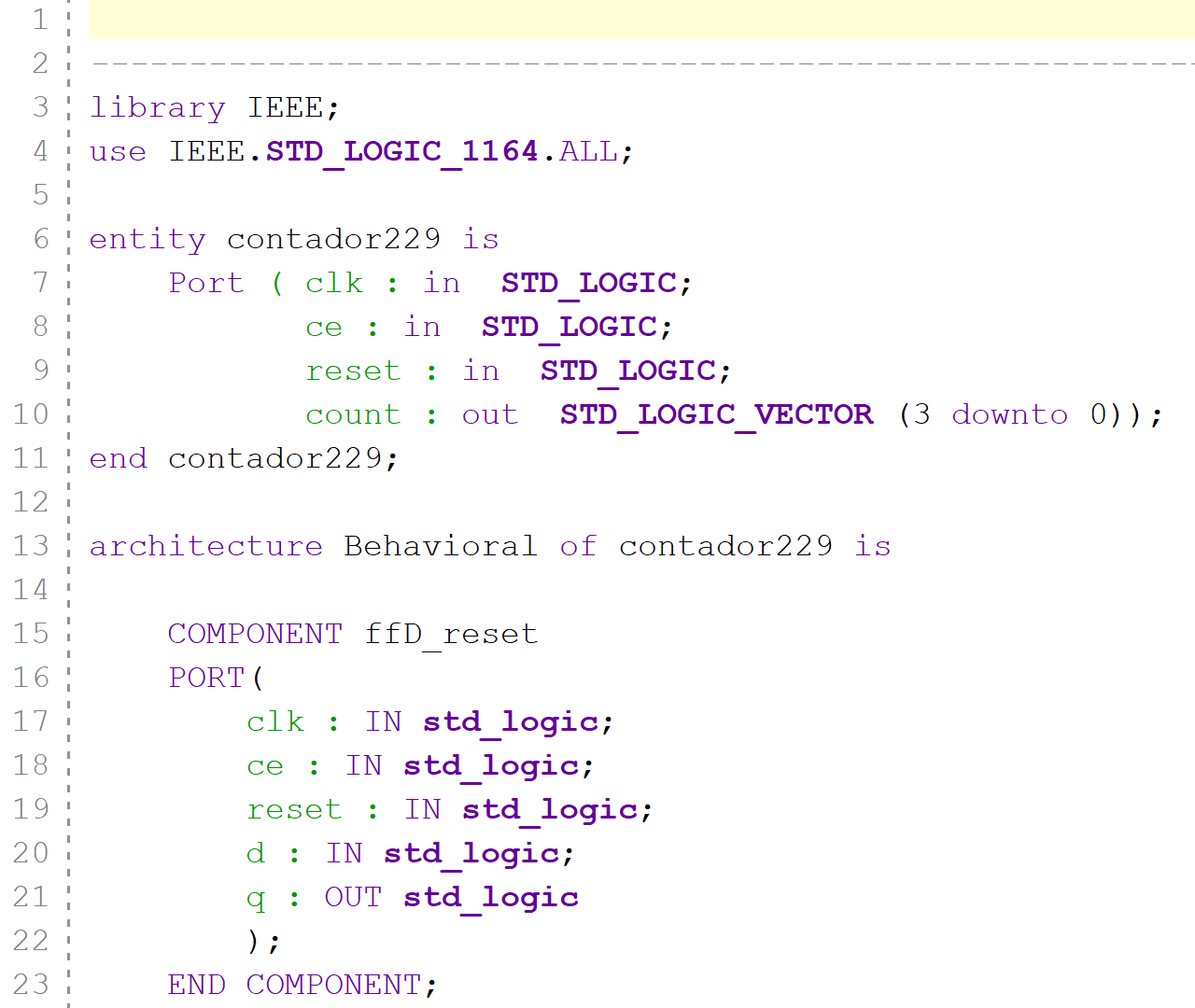
A black background with white lines

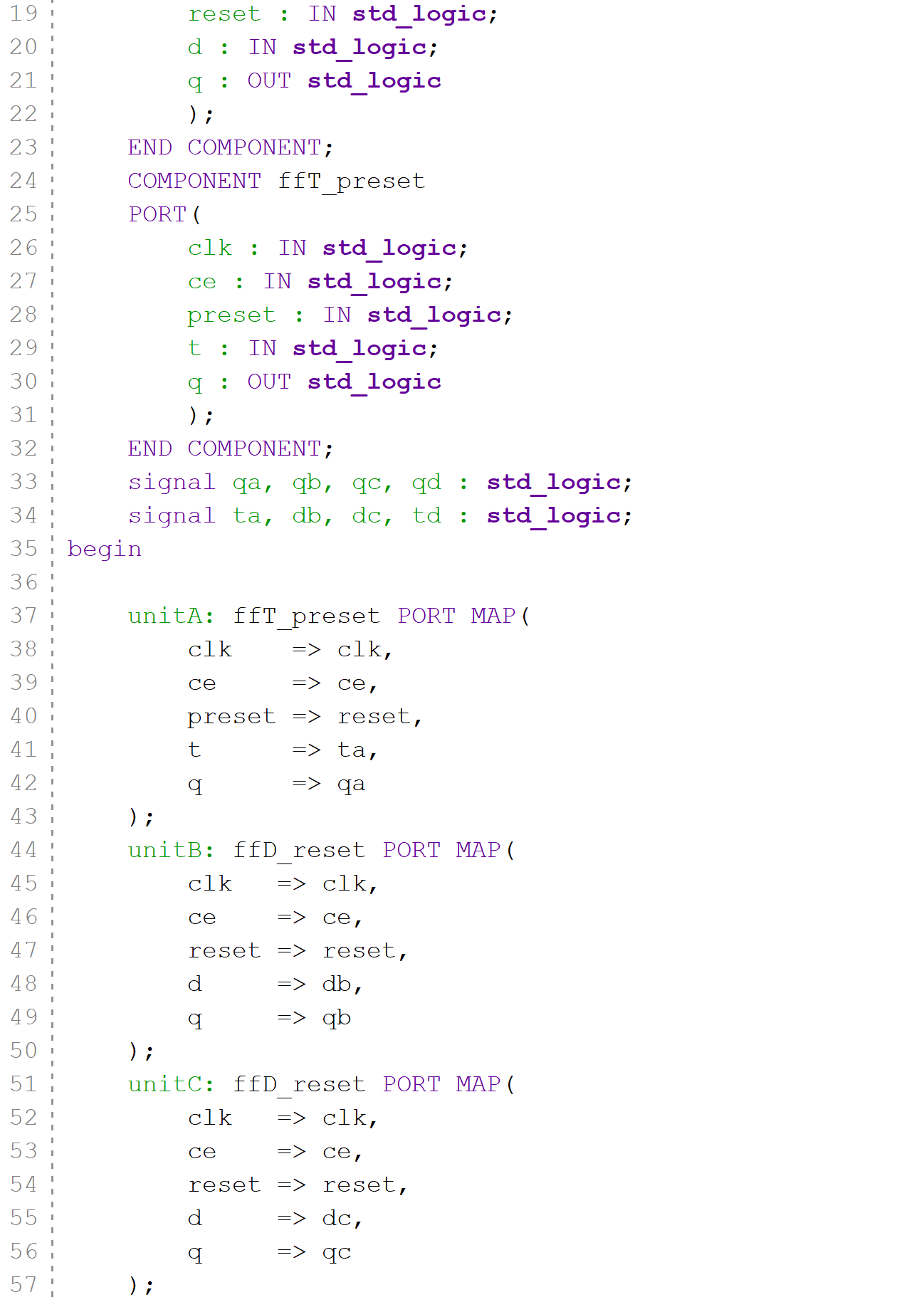
Description automatically generated

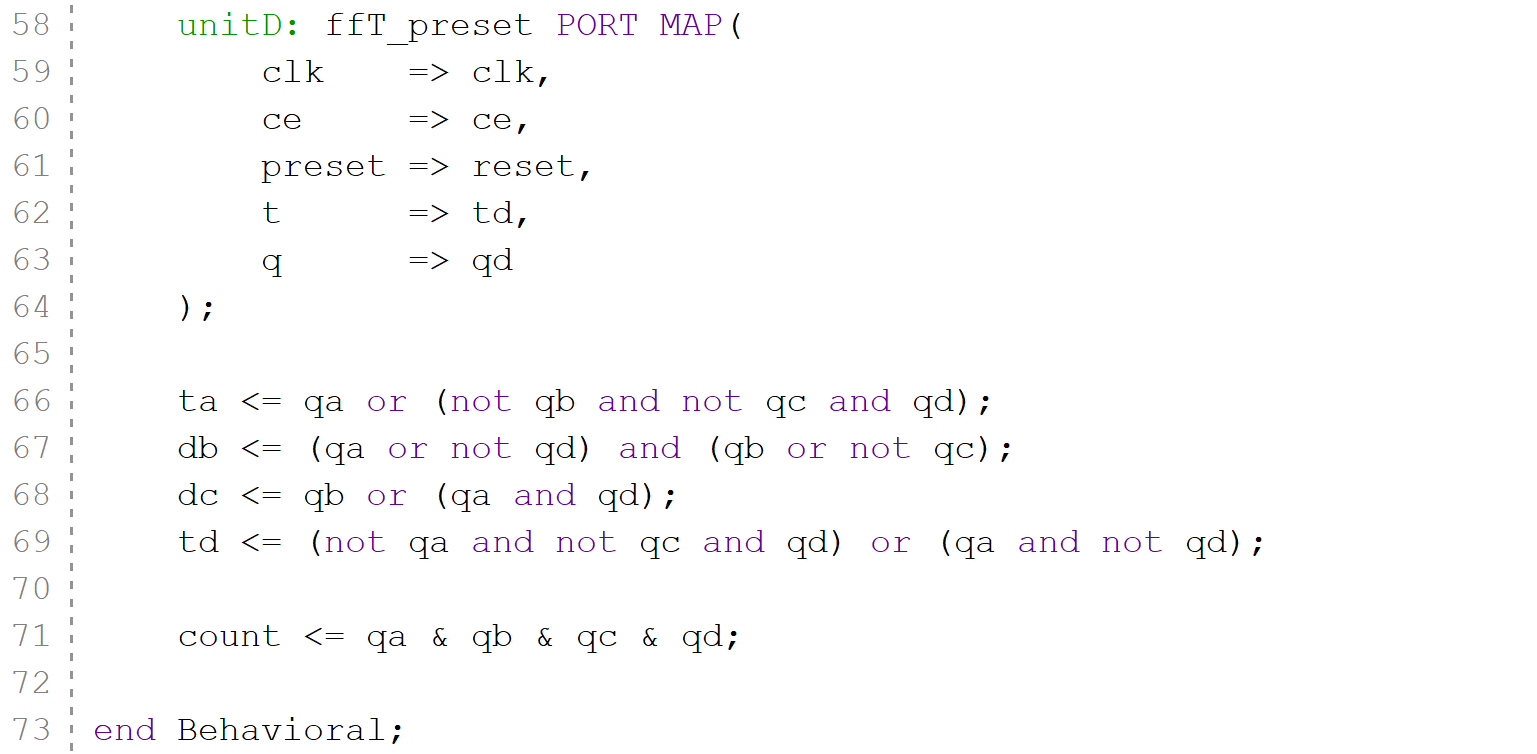
**Figura 1.** Circuito implementado del contador 119.

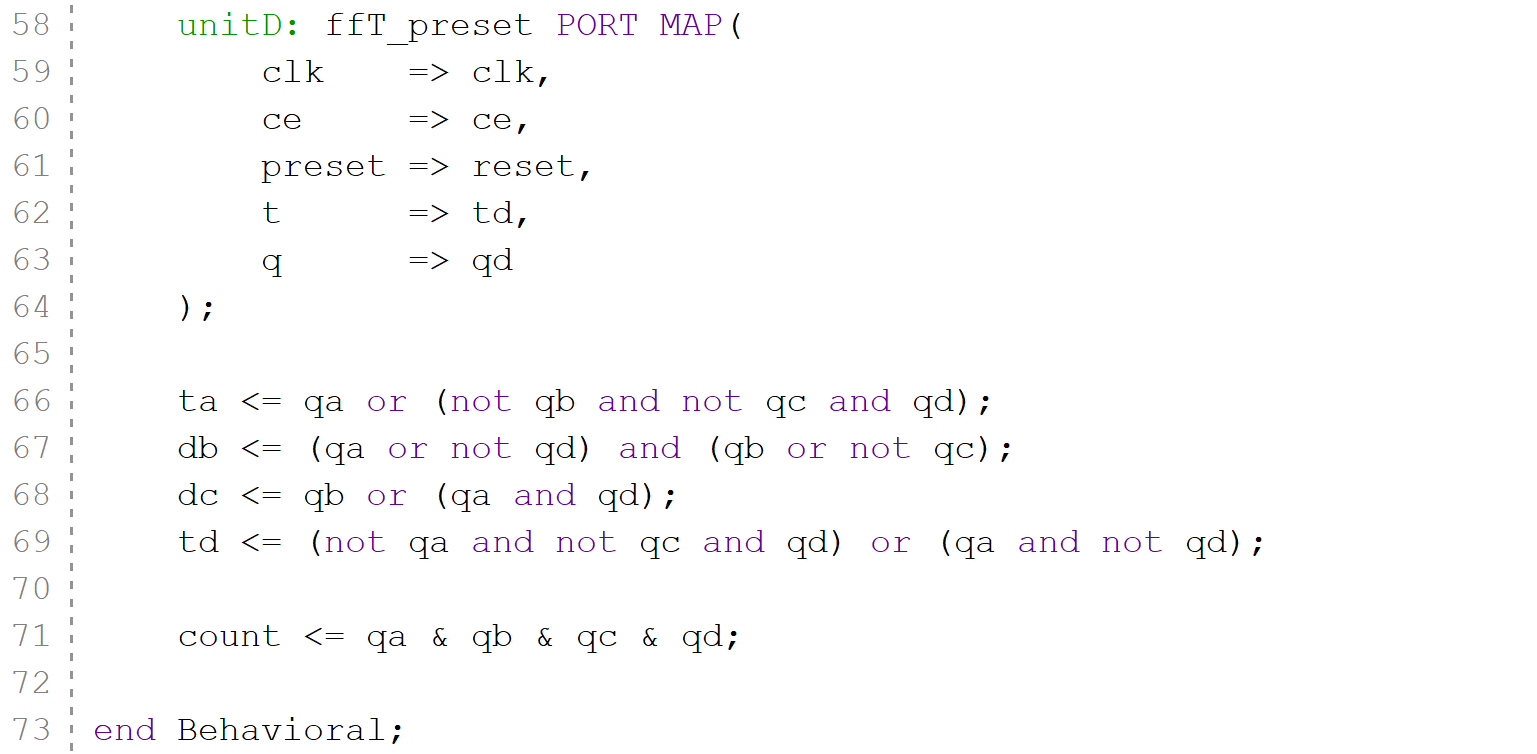
**5.- Códigos VHDL**

En este apartado se muestra el código VHDL del contador implementado:



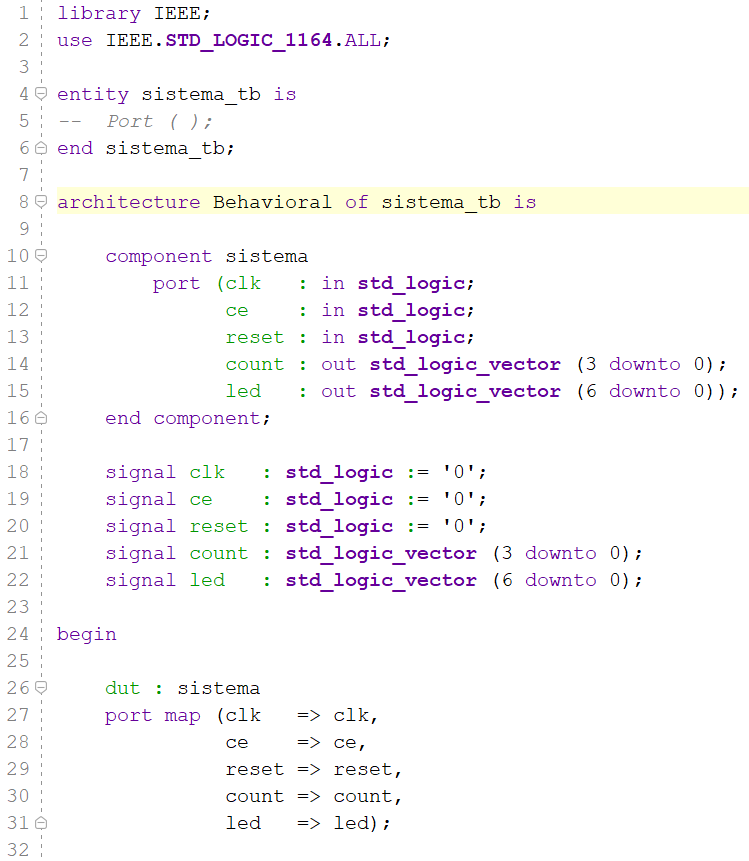


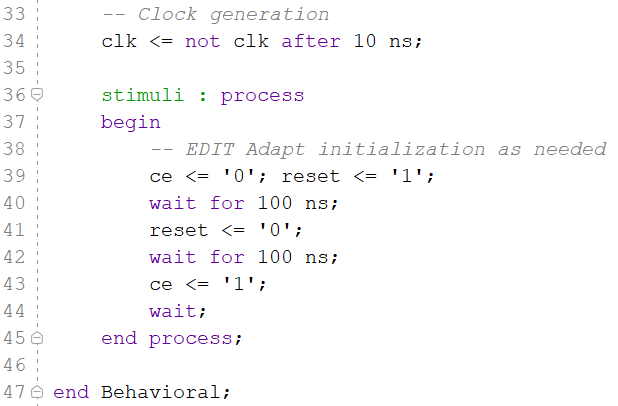




**Figura 2.** Código VHDL del contador 119.

También se muestra el código VHDL del test bench.

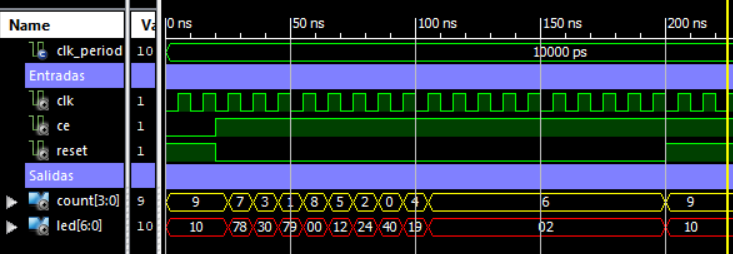




**Figura 3.** Código VHDL del test bench.

**6.- Cronograma de simulación**

A continuación, en la Figura 3, se muestra el cronograma de simulación del sistema implementado con las salidas del contador y del decodificador de 7 segmentos.



**Figura 4.** Cronograma de simulación del contador 119 con la secuencia completa recorrida.

Se aprecia que los resultados son consistentes con la secuencia que aparece en la tabla del apartado 1.

NOTA:

Criterios para realizar la simulación:

* Inicialmente, ce=0 y reset=1, después de 20ns, ambas señales se conmutan para iniciar la cuenta. 180ns más tarde, se resetea el sistema para comprobar que volvemos al estado de partida
* Se debe añadir 2 divisores de señales (Entradas y Salidas)
* Count en amarillo y Led en rojo

.