



УНИВЕРЗИТЕТ У НОВОМ САДУ
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА У
НОВОМ САДУ



Алекса Ђоровић

**Реализација алгоритма комбиновања
канала на „Cirrus Logic DSP“ платформи**

Испитни рад
- Алгоритми и архитектуре ДСП 1 -

Ментор:
др Јелена Ковачевић

Нови Сад, 2018

САДРЖАЈ

1. Опис задатка.....	5
2. Резултати	7
3. Литература.....	9

СПИСАК СЛИКА

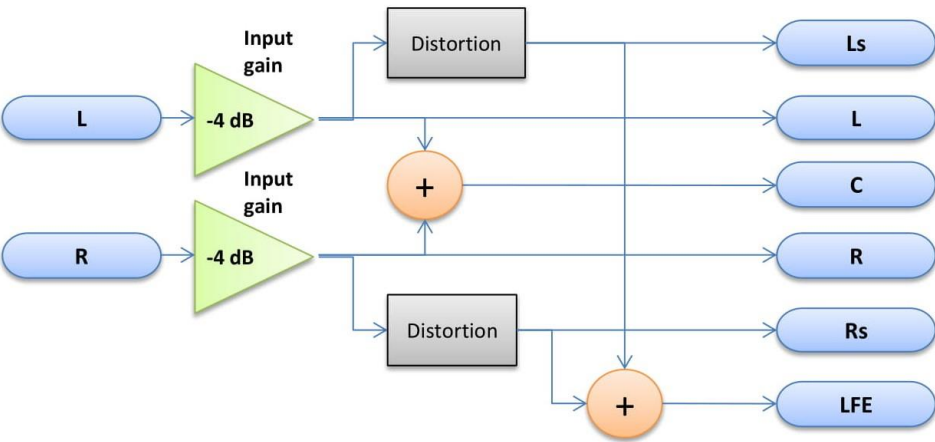
Слика 1. Блок шема задатка	6
Слика 2. Корисничке контроле	6

СПИСАК ТАБЕЛА

Табела 1, оптимизација броја инструкција у обради 2 на 6	8
Табела 1, оптимизација броја инструкција у дисторзији 2 на 6	8

1. Опис задатка

На основу шеме комбиновања канала приказане на слици 1 и табеле контрола за дато комбиновање канала реализовати референтни Ц код у аритметици покретног зареза. Обрада се врши по блоковима. Један блок представља 16 одбирака сигнала. На улаз долази 2 канала, а излаз представља до 6 канала. Омогућити прослеђивање назива улазних и излазних датотека као и вредности контрола преко параметара командне линије. На основу референтног Ц кода реализовати Ц код прилагођен аритметици „Crystal” ДСП процесора, поштујући методологију израде модула (од модела 1 до модела 3). 5. Тестирати излазе модела 0, 1, 2 и 3 користећи дате тест векторе. Водити рачуна да се покрију све карактеристичне вредности корисничких контрола. Аутоматизовати процес тестирања употребом „batch” скрипте. Урадити процену утрошка ресурса („MIPS”, меморија). Спровести ССС2 специфичне оптимизације. MIPS критичне секције имплементирати употребом асемблерског језика. Могу се користити уграђени асемблерски искази или имплементација читавих функција у асемблерском језику.



Слика 1

control	Enable	Input gain	Output Mode
values	On/Off	From 0 to $-\infty$ dB	2_0_0, 2_2_0, 3_2_1
default value	On	-4 dB	3_2_1

Слика 2

2. Резултати

Добијени алгоритам дисторзије као и блок шему је било неопходно оптимизовати како би могли да обрађују улазе податке у реалном времену на циљној платформи. Самим компирањем „С“ кода и преправљањем типова података у аритметику у непокретном зарезу, како је захтевано од стране ДСП процесора за кога је оптимизован код, број инструкција је био превелик да би се могао извршавати у реалном времену. На пример само за обраду да се добије 6 излазних од 2 улазна канала и дисторзију 2 канала било је потребно иницијално преко 2200 инструкција за 16 одбирака.

Померањем појачања са којим се улазни сигнали множе, као и појачања блока дисторзије из глобалне променљиве у локалну (на стек) број инструкција се смањио за око 200. Даљим кориговањем софтверских петљи да би их компајлер могао превести као хардверске уштеђено је још око 200 инструкција чиме се дошло на отприлике 1800 инструкција за алгоритам „hard clipping“, 2 на 6 канала.

Уклањањем параметара функције која обавља дисторзију број инструкција је умањен за још 100, а избацивањем провера прага код „hard clipping“ алгоритма и коришћењем лимитера број инструкција је знатно опао као што се може видети у табелама испод.

Учитавањем адреса улазног и излазног низа пре извршавања петље која улазни множи са појачањем у свим местима у коду је такође учињен велики помак у смањењу броја инструкција.

Обрада улазних одбирака	Број инструкција
Почетно	1200
Хардверске петље	1000
Паралелизација инструкција	910
Учитавање појачања унапред	870
Учитавање адреса низова унапред	753
Додазна оптимизација петљи	565

Табела 1.

Дисторзија	Број инструкција
Почетно	842
Хардверске петље	760
Уклањање параметара	660
Учитавање појачања унапред	610
Избацивање провере прага	410

Табела 2.

3. Литература

- [1] Др Јелена Ковачевић, Дејан Бокан: *Архитектуре и алгоритми дигиталних сигнал процесора – збирка задатака и лабораторијски приручник*, ФТН издаваштво, Нови Сад 2016

- [2] Владимир Ковачевић, Мирослав Поповић, Миодраг Темеринац, Никола Теслић: *Архитектуре и алгоритми дигиталних сигнал процесора 1*, ФТН издаваштво, Нови Сад 2005