

ACRiルーム・ハンズオン 2024/6/27 14:00-17:00

HLS入門

ACRiルーム副室長 / ザイリンクス株式会社 安藤 潤

本セミナーはACRi参加団体の協賛金で運営されています









インテル株式会社

株式会社インテリジェント ウェイブ





株式会社サイバーエージェント





株式会社デンソーウェーブ





Intellectual Highway合同会社



株式会社SUSUBOX

TD SYNNEX株式会社

グリーン 7 株式会社イーツリーズ・ジャパン

株式会社インサイト

株式会社エッチ・ディー・ラボ

株式会社ネフロック

Chiptip Technology株式会社

株式会社 TRIPLE-1

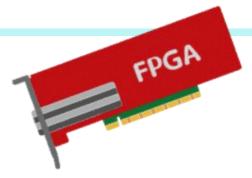
合同会社リトルウイング

ACRi 参加団体(2024年6月)



自己紹介

- 安藤 潤(あんどうじゅん)
 - ザイリンクス株式会社 アプリケーションエンジニア
 - ACRiルーム副室長



いらすとや風FPGAカード

• 主な担当製品

- Alveo (PCle FPGAカード)
- Vitis (設計ツール)、HLS (高位合成)
- Vivado



V70 ビデオ解析AIデモ

お願い

- お手元の「情報工学系計算機室利用の注意事項」を良くお読みください。
 - 喫煙と飲食は厳禁。
 - 室内は土足厳禁、雨傘の持ち込みも禁止。
 - 作法を守ってコンピュータを正しく使う。
 - 整理・整頓を心がける。
 - このイベントは「わいわいしても大丈夫」です。
- 配布した「情報工学系計算機室 利用誓約書」にご記入ください。
- 受付で指定された座席にご着席ください。
- マスクの着用は個人の判断でお願いします。

本日の流れ

- 14:00 14:30
 - HLS概要
 - HLSチャレンジ概要、利用の流れ
- 14:30 15:00
 - ACRiルーム / HLSチャレンジ体験(ハンズオン)
- 15:00 15:30
 - 高速化テクニック紹介
- 15:30 17:00
 - テキストに沿って課題に挑戦 (ハンズオン)
 - 質問や雑談など

ハンズオンで使用するアカウントについて

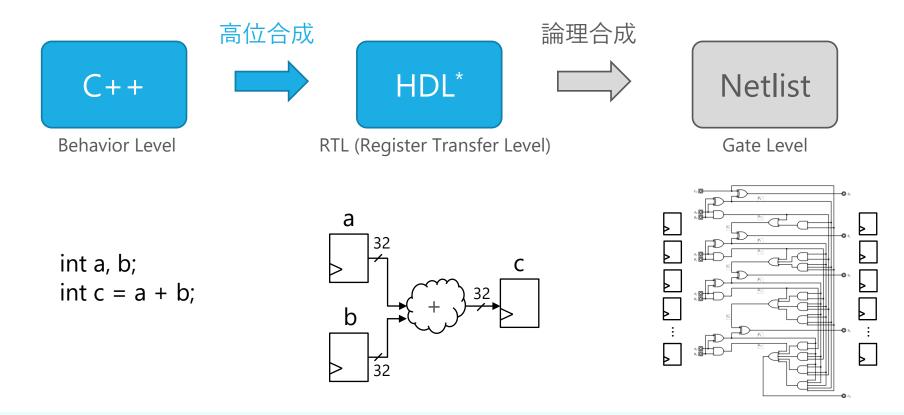
- 必要なアカウント
 - ACRIルーム
 - HLSチャレンジ
- お知らせください
 - アカウントがない
 - ユーザー名、パスワードを忘れてしまった
 - ログインできない
 - その他お困りのこと



HLS概要

HLSとは

- High Level Synthesis (高位合成)
 - プログラミング言語でハードウェアを設計する技術



HLSによる設計生産性の追求

「コーディング」生産性の追求

1. C/C++(HLS-C)記述

```
void sum_hls(float a, float b, float c, float d, float &dout)
{
    #pragma HLS INTERFACE ap_vld port=dout
    #pragma HLS INTERFACE ap_vld port=d
    #pragma HLS INTERFACE ap_vld port=c
    #pragma HLS INTERFACE ap_vld port=b
    #pragma HLS INTERFACE ap_vld port=a

#pragma HLS PIPELINE
    dout = a + b + c + d;
}
```

: 回路表記モデルの発展

: 実装に向けて自動生成

2. 高位合成後のRTL

```
1 timescale 1 ns / 1 ps
 3 (* CORE_GENERATION_INFO="sum_hls,hls
                                                       6453 FDRE \din1_buf1_reg[8]
                                         Vivado
                                                       6454
                                                                   (.C(ap clk),
 5 module sum_hls (
                                                       6455
                                                                    .CE(ap block pp0 stage0 11001),
           ap_clk,
                                                       6456
                                                                    .D(\din1_buf1_reg[8]_0 ),
           ap_rst,
                                                       6457
                                                                    .Q(din1_buf1[8]),
           ap start,
                                                                    .R(1'b0));
           ap done,
                                                            FDRE \din1 buf1 reg[9]
           ap idle,
                                                                  (.C(ap_clk),
11
           ap ready,
                                                                   .CE(ap_block_pp0_stage0_11001),
12
           d_ap_vld,
                                                       6462
                                                                    .D(\din1_buf1_reg[9]_0 ),
13
           c_ap_vld,
                                                       6463
                                                                    .Q(din1 buf1[9]),
14
          b_ap_vld,
                                                                    .R(1'b0));
15
           a ap vld,
                                                             (* SOFT HLUTNM = "soft lutpair88" *)
                                                             LUT3 #(
17
           ь,
                                                               .INIT(8'hAC))
18
           c.
                                                               \dout[0] INST 0
19
                                                                  (.I0(r_tdata[0]),
20
           dout,
                                                       6470
                                                                   .I1(\dout_r_reg_n_0_[0] ),
21
           dout ap vld
                                                       6471
                                                                    .I2(ce r),
22);
                                                       6472
                                                                    .0(dout[0]));
                                                             (* SOFT_HLUTNM = "soft_lutpair93" *)
                                                       6473
                ap_ST_fsm_pp0_stage0 = 1'd1;
                                                       6474
                                                            LUT3 #(
                                                       6475
                                                               .INIT(8'hAC))
                                                       6476
                                                               \dout[10] INST 0
                                                                  (.I0(r tdata[10]),
                                                       6477
552 assign ap enable reg pp0 iter0 = ap start;
                                                                   .I1(\dout_r_reg_n_0_[10] ),
                                                       6478
                                                       6479
                                                                    .I2(ce r),
554 assign dout = grp_fu_75_p2;
                                                                    .0(dout[10]));
                                                             (* SOFT HLUTNM = "soft lutpair93" *)
556 endmodule //sum hls
```

論理合成後のネットリスト

ACRi ブログ:<u>高位合成で加速するアクセラレータ開発 (2) \sim 高位合成と C ベース設計 1章 より</u>

HLSの利点

- ツールがハードウェアを生成してくれる
 - マイクロアーキテクチャ (パイプライン、ステートマシン)
 - インターフェース (設定、データ)
 - ターゲット周波数、デバイスに合わせて
 - コード行数短縮、単純なコードで複雑なハードウェアが実現できる
 - アルゴリズムの実装に集中できる
- プログラミング言語で設計できる
 - コーディングに関する情報が豊富
 - メタプログラミングができる
- 設計期間短縮
 - 人手によるコーディングミスがない
 - ソフトウェアレベルで高速シミュレーション、容易にデバッグ

HLSの弱点

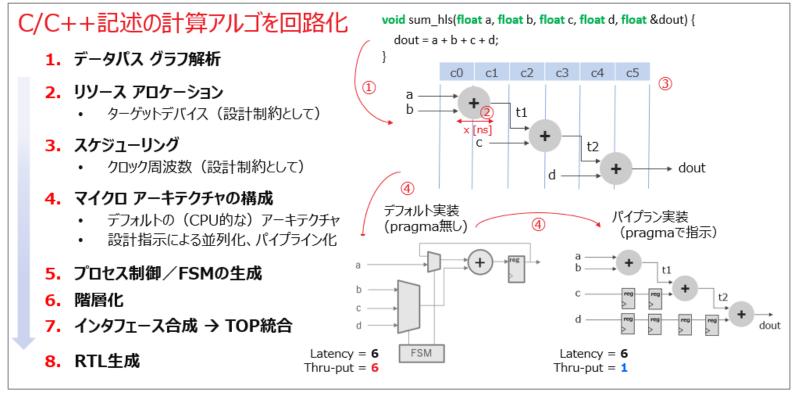
- 詳細なハードウェア設計はできない
- ハードウェア設計の知識はある程度必要
- ツールをうまく使いこなすために経験が必要

HLS設計の流れ

- アルゴリズム、仕様を決定
 - 計算内容
 - インターフェース
 - 要求性能、回路規模
- リファレンスモデルを作成
 - 好きな言語で期待値を出力するソフトウェアを作成する
- HLSコードを作成
 - 実現したい回路を思い浮かべながらコーディングする
- HLSコードを検証
 - リファレンスモデルと同じ出力をするか
 - 性能や回路規模が要求を満たすか

HLSプラグマ

- どのような回路にしたいかツールに伝える手段
 - 例:#pragma HLS PIPELINE



ACRi ブログ:<u>高位合成で加速するアクセラレータ開発 (2) \sim 高位合成と C ベース設計 1章 より</u>

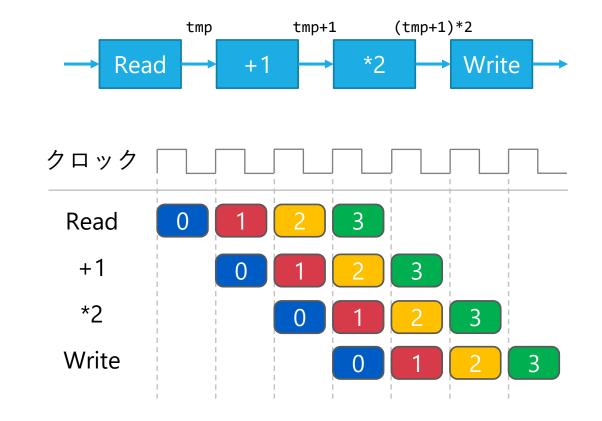
パイプライン

ソフトウェア

• 上から順番に実行するイメージ

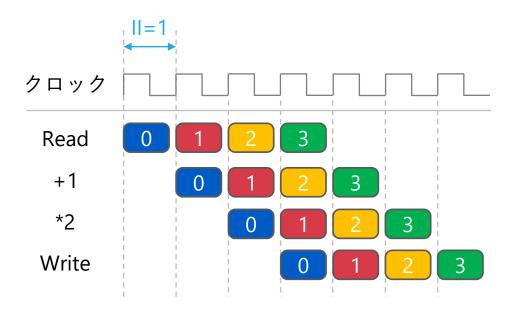
```
void func(const float in[256], float out[256]) {
  for (int i = 0; i < 256; i++) {
    float tmp = in[i];
    tmp = tmp + 1;
    tmp = tmp * 2;
    out[i] = tmp;
  }
}</pre>
```

- パイプライン化されたハードウェア
 - すべての回路が並列(同時)に動作

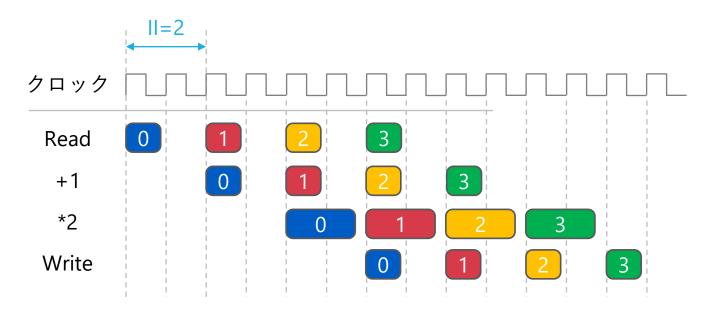


パイプラインの重要な概念

- II (Initiation Interval、開始間隔)
 - 何サイクルおきにループ内の処理を開始できるか
 - ・ 理想は Ⅱ=1



||=1の理想的なパイプライン



ボトルネックがあり II=2 になってしまったパイプライン、性能は半分



HLSチャレンジ概要

ACRi HLS チャレンジとは?

- ・ お題に沿った回路を HLS(高位合成)で設計し、 性能を競います
- HLS の活用促進
 - ザイリンクス FPGA 向けの無償 HLS ツールを使用
 - C++だけでFPGAアクセラレータの開発ができる
 - HLS を学んでみたい方の練習の場
 - 高速な回路の設計技術を共有する場
- ACRi ルームを活用



ACRi ルーム

学生 若手技術者 Start-up企業

技術力向上 のため



技術力向上 テスト利用

一般企業



ACRi 参加企業

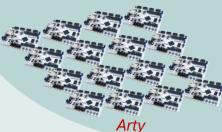


技術力向上 テスト利用



















ACRi Founders

- 3時間単位で機材を無償で貸出し
- リモートからアクセスして利用するスタイル
- Forumを通じて大学教員やACRi企業が技術支援を実施

FPGA Server



- CPU: Core i9 (8 core /16 thread)
- メモリ: DDR4 128GB (32GB x 4)
- ストレージ: SSD M.2 1TB x2
- 開発環境インストール済み

Arty A7-35T



- Digilent社 Arty A7-35T カ
- 1サーバにArtyを15枚接続
- ユーザ毎にVMを割り当て

Alveo



- Xilinxアクセラレータカード
- Alveo U50 / U200 / U250 / U280 / VCK5000

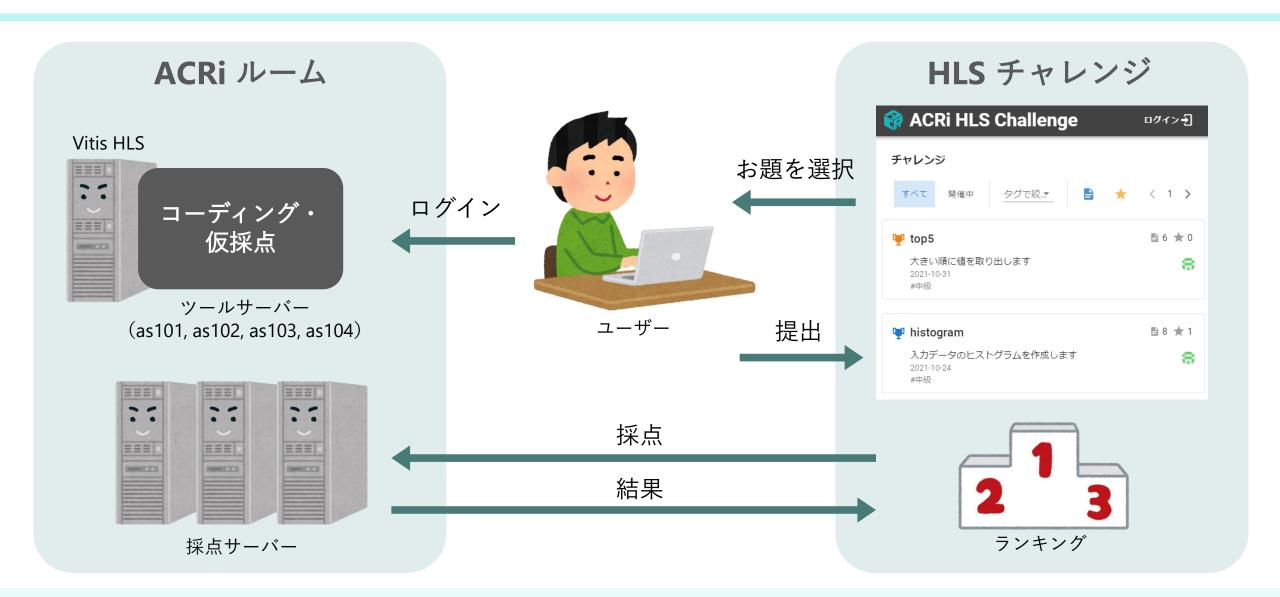
Instinct



MI210 64GB



HLS チャレンジの利用方法



人気チャレンジ bai-gaeshi

- 投稿数:141件 (2021年11月時点)
- 配列の値を倍にして 返すシンプルなお題



問題

入力されるfloat配列の要素の値をすべて倍にして出力しなさい。 ただし入力される値の範囲は [-1000, 1000) とします。

カーネルヘッダー

```
#pragma once

extern "C" {

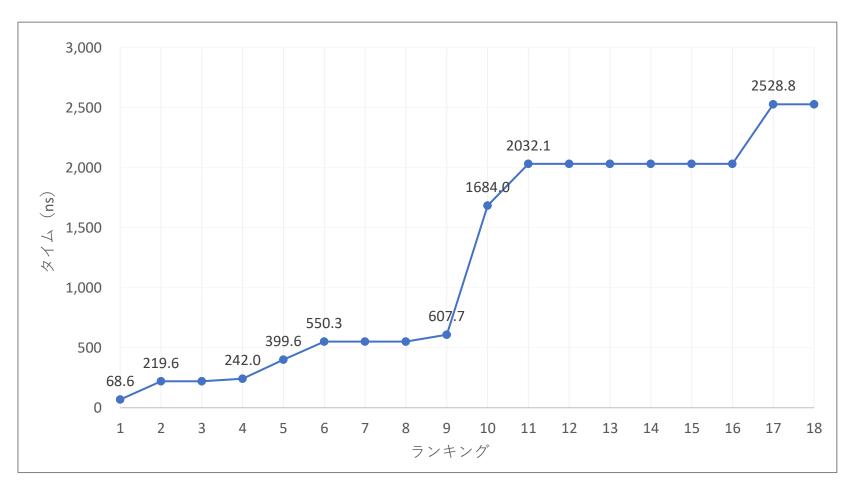
void kernel(const float in[1024], float out[1024], int size);
}
```

bai-gaeshi の解答例

- 素直なソフトウェア実装
- 採点結果
 - 動作周波数:599.9 MHz
 - サイクル数:1219 cycles
 - タイム: 2032.073 ns



bai-gaeshi のランキング



コードの記述方法によって36倍の差!

チャレンジ記録更新の様子



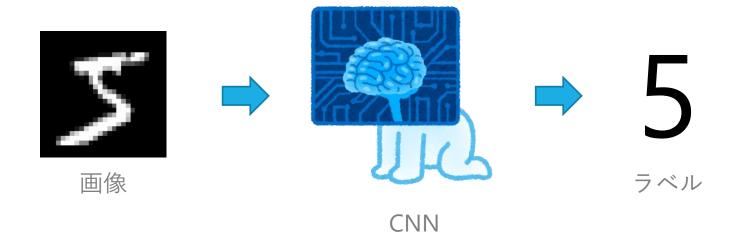
抜きつ抜かれつの熱い闘い!



AIチャレンジ紹介

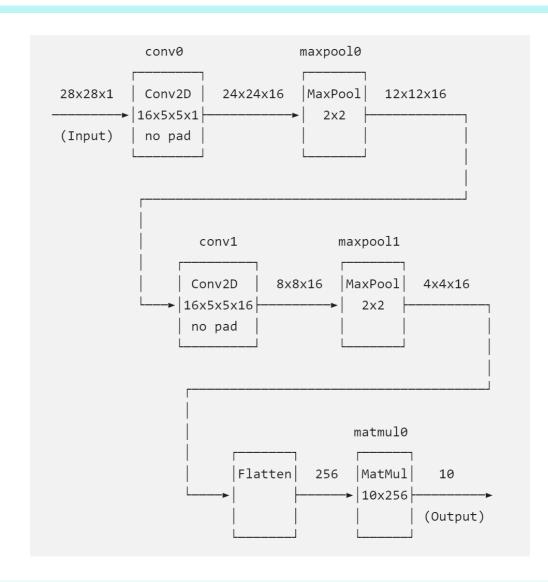
MNIST AI

• 画像から数字を認識する回路を実装します



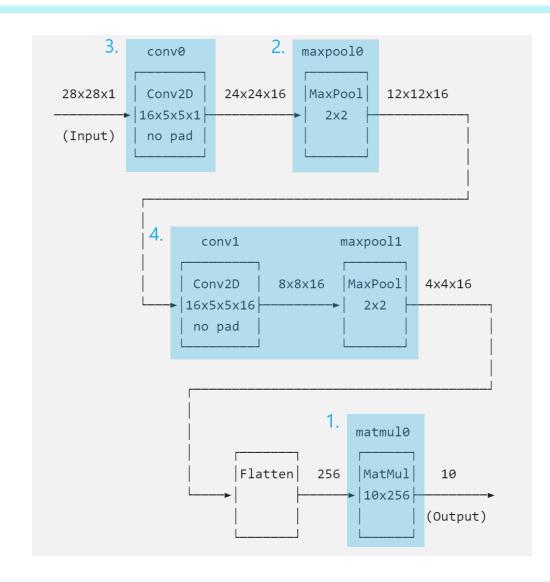
• 実装する回路

- 畳み込みニューラルネットワーク (CNN)
 - 畳み込み層(Conv2D)
 - Max Pooling層
 - 全結合層 (MatMul)
- 学習済みの重みを使って計算
 - 重み:符号付き2bit (3値:-1,0,1)
 - アクティベーション:符号なし2bit (0~3)
- 簡単なレイヤーから順に段階を踏んで実装



• 6つの難易度別チャレンジ

- 初級
 - 1. mnist1-matmul0
 - 2. mnist2-maxpool0
- 中級
 - 3. mnist3-conv0
 - 4. mnist4-conv1-mp1
- 上級
 - 5. mnist5-all (すべてのレイヤー)
 - 6. mnist6-free (実装内容自由)



- 変わり種チャレンジ: mnist6-free
 - 新しい実験的な試み
 - 回路の実装内容を問わずラベルの正答率のみでパス判定
 - アルゴリズムから作成してもらう
 - mnist5-all をベースにしても OK
 - 画像20枚のテストで90%以上正答することがパスの条件



チャレンジの状況

mnist6-free

- 1.37us まで高速化
- ベースライン実装から45,900倍
- 1入力あたり47サイクル!
 - オーバーヘッド込みのサイクル数
 - 1秒あたり1063万枚以上
- FPGAに特化したNNを独自フレーム ワークで学習されたそう
- ACRiウェビナーで講演していただきました!
 - https://www.youtube.com/watch?v=5Q-2yTU3rbs&t=572s
 - https://speakerdeck.com/ryuz88/orizinarunoshen-ceng-xue-xi-de-hls-challenge-nitiyarenzi





HLSチャレンジ利用の流れ

利用の流れ

- 1. HLSチャレンジにログイン
- 2. チャレンジ(お題)を選択
- 3. チャレンジをダウンロード
- 4. コードを作成5. コードをチェックACRiルームを活用

- 6. HLSチャレンジに投稿
- 7. ランキング上位を狙ってコードをブラッシュアップ!

1. ログイン

右上の「ログイン」からGitHubアカウントまたは メールアドレスでログインします



※ ACRiルームのアカウントとは連携していません

2.チャレンジを選択

取り組んでみたい チャレンジを選択

- チャレンジの例
 - ベクトル演算の基本
 - ストリーム処理の基本
 - ソート
 - SHA256ハッシュ
 - マンデルブロ集合



チャレンジの例

- ベクトルの要素を倍にして返す問題
 - https://acri-vhls-challenge.web.app/challenge/bai-gaeshi



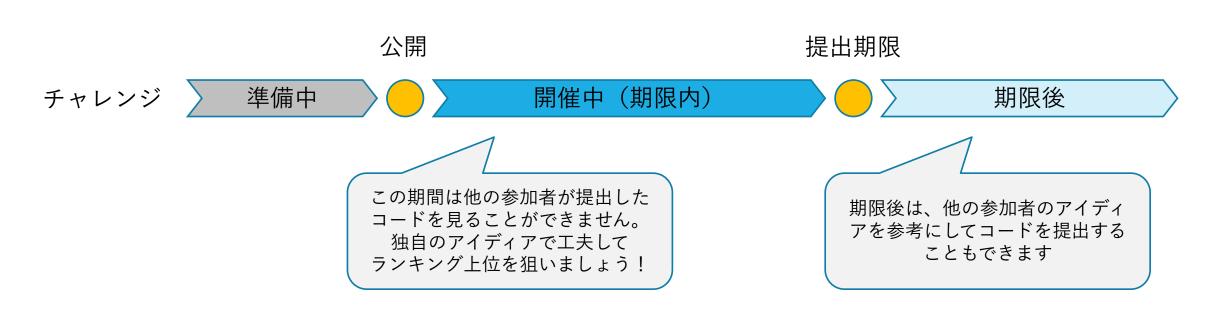
チャレンジの例

- チャレンジには提出期限や、 コードが満たすべき条件が設 定されています
 - 最初は気にする必要はありません
 - ランキング上位を目指す場合には 気をつけてください

提出期限	2021-07-17	実行時間制限	
合成制約		CSIM	1分
クロック周期	2 ns	HLS	2分
リソース制限		CoSIM	5分
FF	無制限	論理合成	30分
LUT	50,000	ビルド条件	
DSP	無制限	コンパイルフラグ	
BRAM	無制限	リンクフラグ	
URAM	無制限	ツール	2021.1

チャレンジの提出期限について

- すべてのチャレンジには提出期限が設定されています
- 提出期限を過ぎるとすべてのコードが公開されます
- 期限内に上位にランクした記録は期限後も残ります



3. チャレンジをダウンロード

- 「ターミナルにコピー」を 使ってACRiルームのサー バーにチャレンジを転送し ます
 - TeraTermまたはPower Shellを使ってACRiルームにログインし、ターミナルに貼り付けて実行します(リモートデスクトップではうまくいきません)
 - ファイルに保存してscpで転送して も構いません



ACRiルーム

- ACRiルームでコードを作成・仮採点してから、 HLSチャレンジへ提出します
 - ACRiルームの登録はこちら
 - https://gw.acri.c.titech.ac.jp/wp/manual/apply-for-account
 - サーバーの利用方法はこちら
 - https://gw.acri.c.titech.ac.jp/wp/manual/how-to-reserve
- いつでも使用できるサーバーを用意しています
 - 予約不要、時間制限なし!
 - ホスト名:as101、as102、as103、as104、as105
 - ご一読ください:<u>https://gw.acri.c.titech.ac.jp/wp/manual/alveo-server#toc2</u>

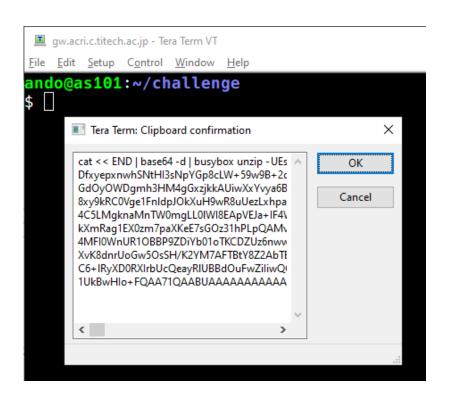
ACRiルームにログイン

- ACRiルームのツール専用サーバーへ接続
 - 例:ssh as101

```
gw.acri.c.titech.ac.jp - Tera Term VT
                                                                                                     X
File Edit Setup Control Window Help
ando@fserv4:~
 ssh as101
Welcome to Ubuntu 18.04.4 LTS (GNU/Linux 3.10.0-957.27.2.el7.x86_64 x86_64)
 * Documentation: <a href="https://help.ubuntu.com">https://help.ubuntu.com</a>
 * Management: <a href="https://landscape.canonical.com">https://landscape.canonical.com</a>
 * Support:
                 https://ubuntu.com/advantage
305 packages can be updated.
240 updates are security updates.
*** System restart required ***
ando@as101:~
```

チャレンジを転送

ターミナルに貼り付けて、エンター





```
gw.acri.c.titech.ac.jp - Tera Term VT
                                                                     File Edit Setup Control Window Help
TA6n61jP2WxpWU2CVl46+mrupiQI2JaWsZrSF1tYupgyYlEki+05/nkEVihftC1WFXw7ywt7hU/wVQSw^
AKAAAACADl0vVSHKV9jF8AAABiAAAAFAAAAAAAAAAAAAAAAAAAAAPAAAYmFpLWdhZXNoaS9SRUFETUUubW
RQSwECFAAKAAAACADl0vVSADFJrFAAAABbAAAAFQAAAAAAAAAAAAAAAAAAAYmFpLWdhZXNoaS9rZX
JuZWwuaHBwUEsBAhQACqAAAAqA5Tr1UmUWeLhKAAAAWAAAABUAAAAAAAAAAAAAAAAPQEAAGJhaS1nYw
VzaGkva2VybmVsLmNwcFBLAQIUAAoAAAAIAOU69VKL0Ka9WwEAAE0CAAARAAAAAAAAAAAAAAAAAAAAAAA
BiYWktZ2Flc2hpL3RiLmNwcFBLAQIUAAoAAAAIAOU69VINyhuWYAAAAIUAAAAZAAAAAAAAAAAAAAAAAA
QDAABiYWktZ2Flc2hpL3JlZ3VsYXRpb24udHh0UEsBAhQACqAAAAqA5Tr1UkBwHIo+FQAA71QAABUAAA
AAAAAAAAAAAAAA2wMAAGJhaS1nYWVzaGkvdmhscy1jaGVja1BLBQYAAAAABwAHAMoBAABMGQAAAAA=
 END
Archive: -
  creating: bai-gaeshi/
 inflating: bai-gaeshi/README.md
 inflating: bai-gaeshi/kernel.hpp
                                         チャレンジデータが
 inflating: bai-gaeshi/kernel.cpp
 inflating: bai-gaeshi/tb.cpp
                                         展開されます
 inflating: bai-gaeshi/regulation.txt
 inflating: bai-gaeshi/vhls-check
ando@as101:~/challenge
```

4. コードを作成

チャレンジデータ

- README.md ... 問題文
- kernel.hpp ... カーネルヘッダー
- kernel.cpp ... カーネルソース (雛形)
- tb.cpp ... テストベンチ
- regulation.txt ... 採点条件
- vhls-check ... 採点スクリプト



カーネルを実装します

5. コードをチェック

採点スクリプトを実行します

```
gw.acri.c.titech.ac.jp - Tera Term VT

File Edit Setup Control Window Help

ando@as101:~/challenge/bai-gaeshi
$ chmod a+x ./vhls-check
ando@as101:~/challenge/bai-gaeshi
$ ./vhls-check -v -f
```

セミコロンを忘れていた のでエラーに...

```
gw.acri.c.titech.ac.jp - Tera Term VT
File Edit Setup Control Window Help
csim.mk:81: recipe for target 'obj/kernel.o' failed
../../../kernel.cpp: In function ' void kernel(const float*, float*, int)
../../../kernel.cpp:6:3: error: expected ';' before '}' token
make: *** [obj/kernel.o] Error 1
ERROR: [SIM 211-100] 'csim_design' failed: compilation error(s).
INFO: [HLS 200-111] Finished Command csim_design CPU user time: 0.59 seconds. CP
U system time: 0.3 seconds. Elapsed time: 1.96 seconds; current allocated memory
 251.079 MB.
   while executing
'source csim.tcl"
   ("uplevel" body line 1)
   invoked from within
"uplevel \#0 [list source $arg] "
INFO: [Common 17-206] Exiting vitis hls at Wed Jul 21 16:43:44 2021...
Command exited with non-zero status 1
3.42user 0.86system 0:05.99elapsed 71%CPU (0avgtext+0avgdata 1215604maxresident)
88inputs+872outputs (Omajor+396285minor)pagefaults Oswaps
ando@as101:~/challenge/bai-gaeshi
```

採点の流れ



• CSIM

コードをソフトウェアとして実行し、 正しく動作することを確認します

HLS

• 高位合成を実行し、問題なくハードウェア(RTL) に変換されることを確認します

CoSIM

• RTLシミュレーションを実行し、正しく動作すること、実行サイクル数を確認します

• 論理合成

- RTLを論理合成し、回路のリソース使用量を見積もります
- 時間がかかるため仮採点ではスキップします
- 実行するにはvhls-checkに-sオプションを渡します

採点がパスした例

- ・ 採点結果、リソース使用量 の見積もりが出ます
- 動作周波数とシミュレー ションサイクル数から実行 時間が見積もられます

```
gw.acri.c.titech.ac.jp - Tera Term VT
File Edit Setup Control Window Help
ando@as101:~/challenge/bai-gaeshi
 ./vhls-check -f
Bytes of kernel code: 241
CSim: Pass
HLS: Pass
CoSim: Pass
Resource usage
 FF : 1427
 LUT : 2261
Clock period (ns): 1.460
Clock frequency (MHz): 684
Simulation cycle: 1199
Simulation time (ns): 1750.540
```

作成したコードを提出

- 作成したコードをHLSチャレンジに提出します
- 自動的に採点が行われます
 - 採点が完了するまで数十分かかりま
- 採点がパスすれば、実行時間の短い順でランキングされます





ACRiルーム / HLSチャレンジ体験 (ハンズオン)

サーバーに SSH 接続

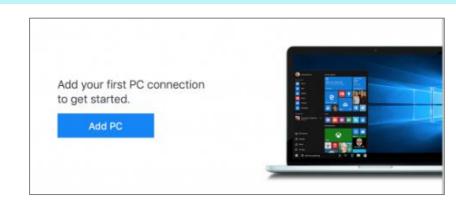
ターミナルを開き以下のコマンドを入力

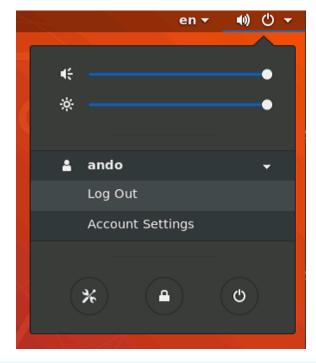
```
~$ ssh -L 13389:<サーバー名>:3389 <アカウント名>@gw.acri.c.titech.ac.jp
```

- <サーバー名>は as101 から as105 をランダムに選択
- <アカウント名>は ACRi のアカウント名(u_*)
- The authenticity of host ... と表示されたら、yes と入力
- password: と表示されたら、サーバー用のパスワードを入力してログイン
- ターミナルは開いたままにしておく

リモートデスクトップ接続

- Microsoft Remote Desktop を起動
 - Add PC ボタン
 - PC name に localhost:13389 と入力して Add ボタンを押す
 - 追加された PC をダブルクリック
 - The identity of the remote PC ... と表示された ら、Connect をクリック
 - Enter Your User Account と表示されたら、 ユーザー名とサーバー用のパスワードを入力 してログイン
 - 使用後は右上のメニューからログアウトしてください





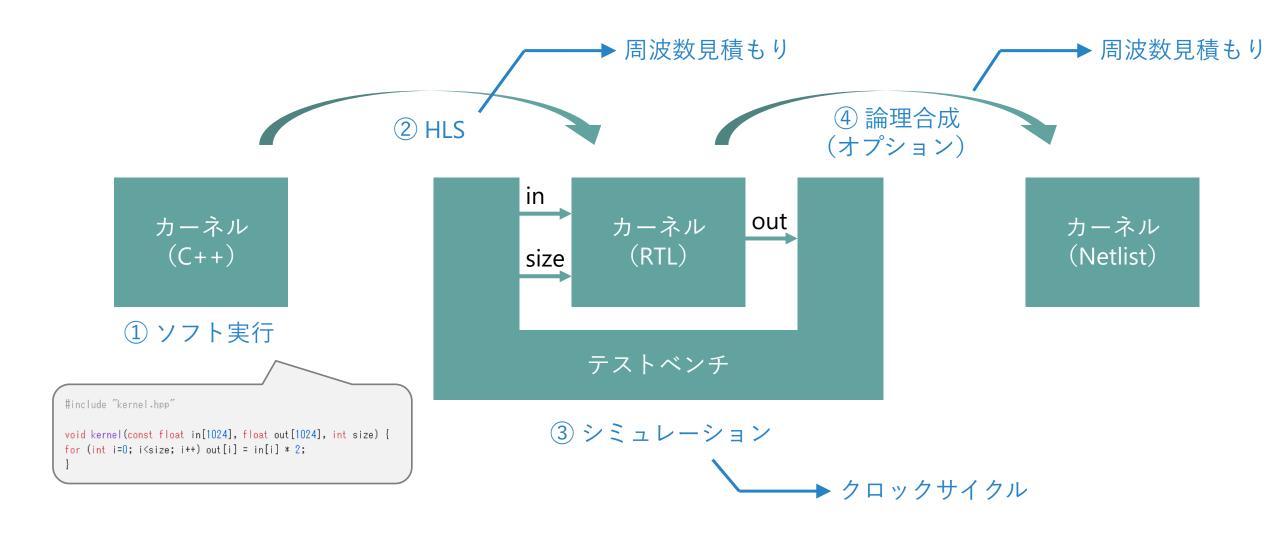
ハンズオン:ACRiルーム / HLSチャレンジ体験

- ブラウザで HLS チャレンジを開いてログインしてください https://acri-vhls-challenge.web.app
- または「HLSチャレンジ」で検索
- bai-gaeshi3 を開いてコードを投稿してみましょう
- このスライドはこちらから参照できます
 https://github.com/acri-room/hls-challenge-labs/blob/master/slide.pdf
- 演習を進めたい方はこちら https://github.com/acri-room/hls-challenge-labs

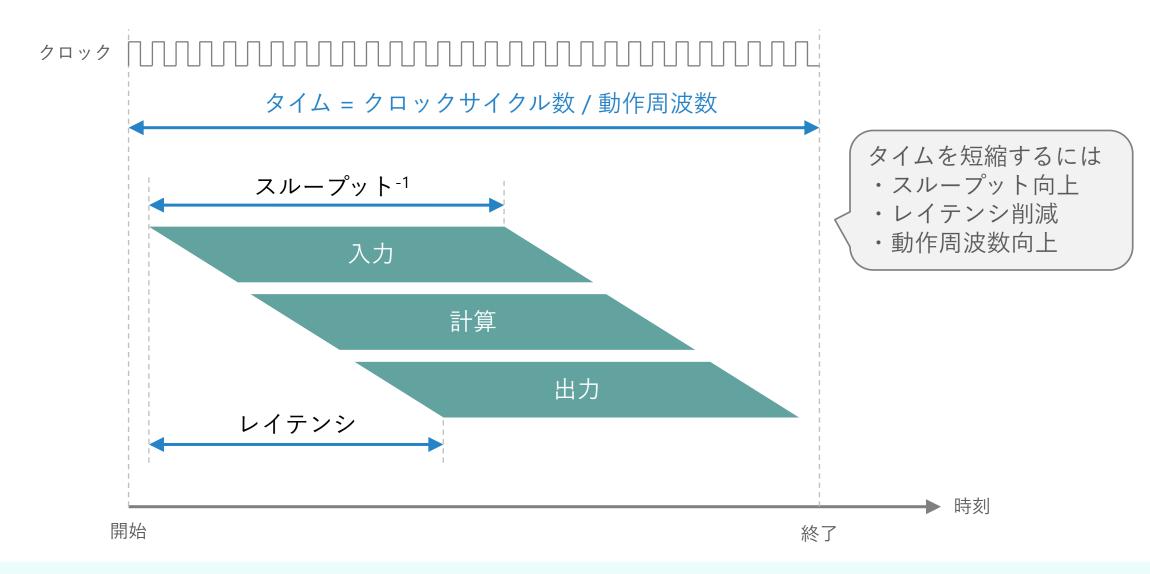


高速化テクニック紹介

採点の仕組み

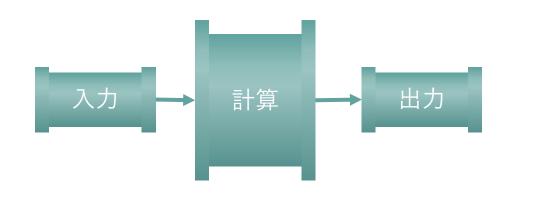


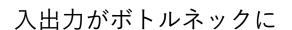
タイム算出の仕組み

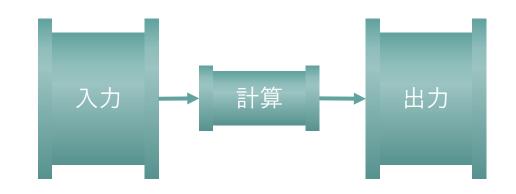


スループットを向上するには

- 入出力と計算のバランスが取れていること
 - 計算だけではなくインターフェースも重要
 - インターフェースの帯域にマッチする演算器を作る







計算がボトルネックに

パイプライン化 (PIPELINE)

- ツールが自動で行ってくれる
 - ループ内のタスクが並列に実行される(タスク並列)

```
void kernel(const float in[1024], float out[1024]) {
  for (int i = 0; i < 1024; i++) {
    out[i] = in[i] * 2;
  }
}
```

パイプラインにしたくない場合や、パイプラインの詳細を制御したいときにプラグマを使う

```
void kernel(const float in[1024], float out[1024]) {
  for (int i = 0; i < 1024; i++) {
  #pragma HLS PIPELINE off
  out[i] = in[i] * 2;
  }
}
```

データ並列化 (UNROLL)

- 演算器を増やして処理時間を短縮
 - 複数のデータを同時に処理する(データ並列)

```
void kernel(const float in[1024], float out[1024]) {
  for (int i = 0; i < 1024; i++) {
  #pragma HLS UNROLL factor=4
    out[i] = in[i] * 2;
  }
  }
}</pre>
演算器が4つ生成され、ループは256回になる
```

UNROLLなしのとき

Read *2 Write *2

データ並列化 (UNROLL)

- ループ回数が未知のとき
 - ・ 余分なアクセスが発生してしまわないように32bit単位のインターフェースになる
 - インターフェースがボトルネックになり速くならない

```
void kernel(const float in[1024], float out[1024], int size) {
  for (int i = 0; i < size; i++) {
  #pragma HLS UNROLL factor=4
   out[i] = in[i] * 2;
  }
}</pre>
```

データ並列化 (UNROLL)

- ループ回数が未知のとき
 - sizeがfactorの倍数であることが分かっている または
 - 余分に読み書きしても問題ない とき
 - skip_exit_checkオプションにより終了条件チェックを削除
 - インターフェースが並列化される

```
void kernel(const float in[1024], float out[1024], int size) {
  for (int i = 0; i < size; i++) {
  #pragma HLS UNROLL factor=4 skip_exit_check
    out[i] = in[i] * 2;
  }
}</pre>
```

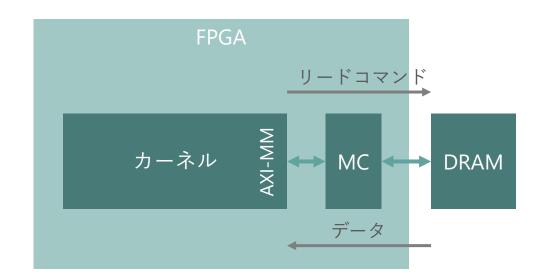
インターフェースのデータ幅

- ツールが自動でデータ幅を増やす場合もある
 - これまでの例ではfloat (32bit) を4つ同時、128bit単位で読み書きするインターフェースが自動で生成される
- データ幅を明示的に指定するにはカーネル引数の型を変 更する必要がある
 - hls::vector型を使う
 - HLSチャレンジではカーネル引数の型は変更できない

```
void kernel(const hls::vector<float, 4> in[256], hls::vector<float, 4> out[256], int size) {
  for (int i = 0; i < size; i++) {
  #pragma HLS UNROLL factor=4 skip_exit_check
    out[i] = in[i/4][i%4] * 2;
  }
}</pre>
```

インターフェースの軽量化

- 配列引数へのアクセスはデフォルトで AXI-MMインターフェースになる*
 - MM: Memory Mapped (アドレスとデータのインターフェース)
 - 外部DRAMへのアクセスに相当するレイテンシが考慮される



* Vitis kernel flowのとき

インターフェースの軽量化

- インターフェースをAXI-Sに変更する
 - INTERFACEプラグマでインターフェースの種類を指定
 - ARRAY_PARTITIONプラグマでAXI-Sを並列化

```
void kernel(const float in[1024], float out[1024], int size) {
 // インターフェースを指定するプラグマ
#pragma HLS INTERFACE mode=axis port=in
#pragma HLS INTERFACE mode=axis port=out
 // 配列アクセスポートを並列化するプラグマ
                                                                        AXI-S
                                                                                           AXI-S
#pragma HLS ARRAY PARTITION variable=in type=cyclic factor=4 dim=1
                                                                        AXI-S
                                                                                           AXI-S
#pragma HLS ARRAY PARTITION variable=out type=cyclic factor=4 dim=1
                                                                                           AXI-S
 for (int i = 0; i < size; i++) {
                                                                        AXI-S
                                                                                           AXI-S
#pragma HLS UNROLL factor=4 skip exit check
   out[i] = in[i] * 2;
                                                              通常インターフェースは仕様で決まる。
                                                             HLSチャレンジでのみ有効なテクニック。
```

パイプラインのボトルネックを取り除く

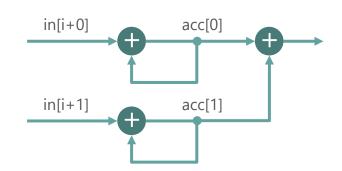
- 浮動小数点数の累積演算がボトルネックに
 - パイプラインの II(Initiation Interval)を 1 にできない状況

```
float acc = 0;
for (int i = 0; i < 1024; i++) {
   acc += in[i];
}
*out = acc;</pre>
```

2サイクル (II=2) in acc

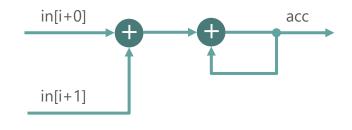
累積演算を並列化

```
float acc[2] = {};
for (int i = 0; i < 1024; i++) {
    #pragma HLS UNROLL factor=2
    acc[i % 2] += in[i];
}
*out = acc[0] + acc[1];</pre>
```



足し合わせてから累積

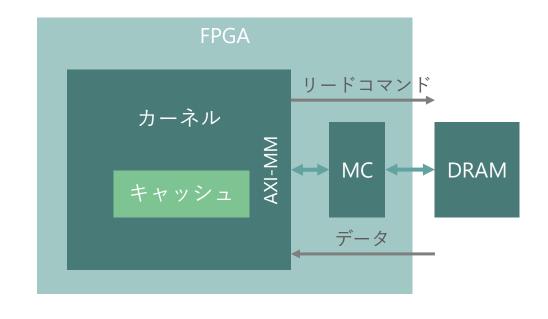
```
float acc = 0;
for (int i = 0; i < 1024; i += 2) {
   acc += in[i] + in[i + 1];
}
*out = acc;</pre>
```



外部へのアクセスを減らす

- 配列引数に繰り返しアクセスすると時間がかかる
 - カーネル内に一時配列を作る(CPUのキャッシュに相当する役割)

```
void kernel(const int in[1024], int out[1024]) {
 // 一時配列
 int tmp[1024];
 // 入力
 for (int i = 0; i < 1024; i++) { tmp[i] = in[i]; }
 // バブルソート
 for (int i = 0; i < 1024-1; i++) {
   for (int j = 1024-1; j > i; j--) {
     if (tmp[j] < tmp[j-1]) {</pre>
        int t = tmp[j]; tmp[j] = tmp[j-1]; tmp[j-1] = t;
 // 出力
 for (int i = 0; i < 1024; i++) { out[i] = tmp[i]; }
```



適したアルゴリズムを選択する

- simple-sort (データの並び替え)
 - バブルソート: 1.05M
 - Radixソート: 67.98k
 - バイトニックソート: 11.55k
- vector-mean-var (データの平均と分散)
 - ① 平均を計算してから分散を計算する
 - ② 「二乗の平均」と「平均の二乗」の差から計算する

$$\sigma^2 = rac{1}{n} \sum_{i=1}^n (x_i - \mu)^2 \qquad \qquad ext{2} \ \sigma^2 = rac{1}{n} \sum_{i=1}^n x_i^2 - \left(rac{1}{n} \sum_{i=1}^n x_i
ight)^2$$

高校数学の美しい物語「分散の意味と2通りの求め方・計算例」より https://manabitimes.jp/math/1081

高速化テクニックまとめ

- パイプライン化(PIPELINE)
- データ並列化(UNROLL)
- インターフェースのデータ幅
- インターフェースの軽量化
- 外部へのアクセスを減らす
- パイプラインのボトルネックを取り除く
- 適したアルゴリズムを選択する



テキストに沿って課題に挑戦 (ハンズオン)

演習テキスト

- ブラウザでこちらのリンクを開いてください
- https://github.com/acri-room/hls-challenge-labs

