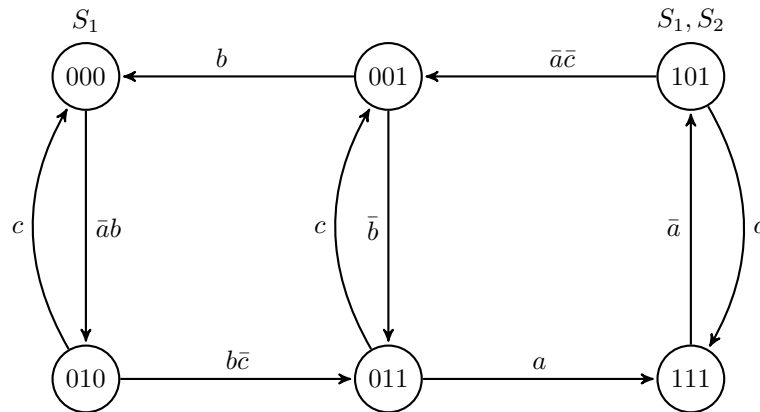


Systèmes de commande à événements discrets

Durée : 1h30. Avec documents.

Exercice 1



1. Combien d'entrées et de sorties ce système possède-t-il ?
2. Quel est le mode de fonctionnement du système ?
3. Compléter le fichier VHDL suivant en vue d'une mise en oeuvre en VHDL

```

library IEEE;
use IEEE.std_logic_1164.all;

entity monsysteme is
...
...
end monsysteme;

architecture archi_monsysteme of monsysteme is
signal y1, y2, y3, : std_logic;
begin
...
...
end archi_monsysteme ;

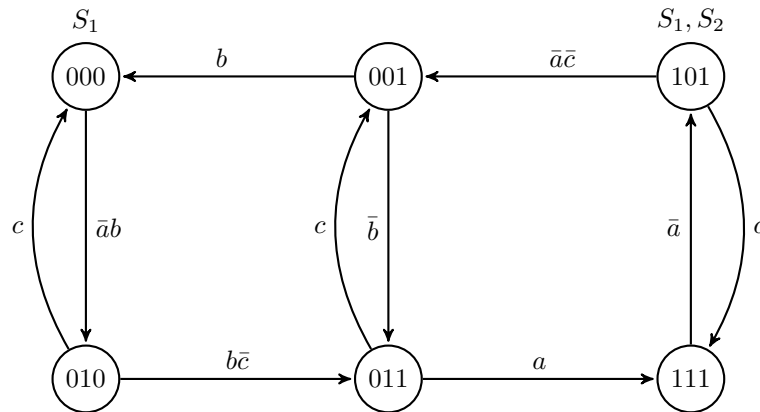
```

4. On considère que le système peut être réinitialisé dans l'état 000 sur le passage à l'état logique haut du signal *init*. Dans quelle mesure la réponse à la question 3 est-elle modifiée ? Proposez une solution.
5. Proposez une mise en oeuvre par mémoire (sans multiplexage) de la machine à état (sans tenir compte du signal *init*).

Systèmes de commande à événements discrets

Durée : 1h30. Avec documents.

Exercice 1



1. Combien d'entrées et de sorties ce système possède-t-il ? **3 entrées (a,b,c) et 2 Sorties (S1,S2)**
2. Quel est le mode de fonctionnement du système ? **Fondamental**
3. Compléter le fichier VHDL suivant en vue d'une mise en oeuvre en VHDL

```
library IEEE;
use IEEE.std_logic_1164.all;

entity monsysteme is
port(a,b,c : in std_logic;
S1, S2 : out std_logic );
end monsysteme;

architecture archi_monsysteme of monsysteme is
signal y1, y2, y3, : std_logic;
begin
...
... feuille
end archi_monsysteme ;
```

4. On considère que le système peut être réinitialisé dans l'état 000 sur le passage à l'état logique haut du signal *init*. Dans quelle mesure la réponse à la question 3 est-elle modifiée ? Proposez une solution. **feuille**
5. Proposez une mise en oeuvre par mémoire (sans multiplexage) de la machine à état (sans tenir compte du signal *init*).