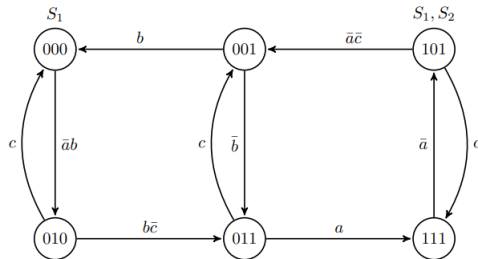


Annales

1 Annale 2018

1.1 Exercice 1



1. Combien d'entrées et de sorties ce système possède-t-il ?

3 entrées (a, b, c) et 2 sorties (S_1, S_2)

2. Quel est le mode de fonctionnement du système ?

Fondamental

3. Compléter le fichier VHDL suivant en vue d'une mise en œuvre en VHDL

```

library IEEE;
use IEEE.std_logic_1164.all;
entity monsysteme is
    port(
        a,b,c : in std_logic;
        S1,S2 : out std_logic;
    );
end monsysteme;

architecture archi_monsysteme of monsysteme is
    signal y1, y2, y3, : std_logic;
begin
    ...
end archi_monsysteme ;

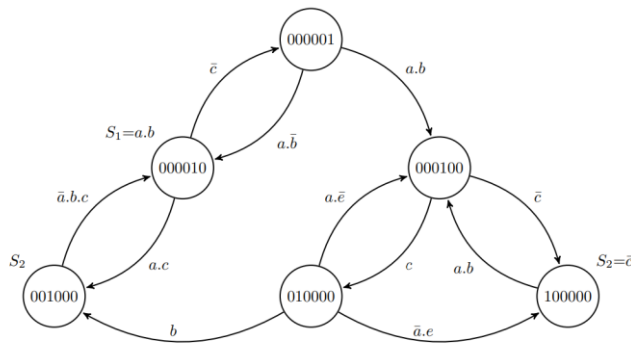
```

4. On considère que le système peut être réinitialisé dans l'état 000 sur le passage à l'état logique haut du signal init. Dans quelle mesure la réponse à la question 3 est-elle modifiée ? Proposez une solution.
5. Proposez une mise en œuvre par mémoire (sans multiplexage) de la machine à état (sans tenir compte du signal init).

2 Annale 2019

2.1 Exercice 1

On désire mettre en œuvre la MEF suivante par bascule D.



- Comment peut-on caractériser le codage utilisé ? Quels sont les avantages/inconvénients de ce type de codage ?

Codage 1 parmi N

Avantages : Vitesse, coût, encombrement mais attention pas d'état adjacent

- Donner les équations d'excitation des bascules D en utilisant le codage proposé.

2.2 Exercice 2

Soit un système de commande défini par le programme VHDL ci-dessous.

```

library IEEE;
use IEEE.std_logic_1164.all;

entity monsysteme is
  port(
    a, b, c : in std_logic;
    S : out std_logic;
  );
end monsysteme;

architecture archi_monsysteme of monsysteme is
  signal y1, y2, y3, y4 : std_logic;
begin
  y1 <= a and not y1 and not y2 and y3 and y4 or not b and y2 or y1 and y2 or c and y1;
  y2 <= not b and not y1 and not y2 and y3 and y4 or not y1 and y2 or not c and y2;
  y3 <= y3 and y4 or b and y4 or (a or not b) and y3 or not a and not b and not y1 and not y2;
  y4 <= y1 or y2 or not c and y3 and y4 or not y3 and y4 or a and not y3;
  S <= a and y1 and not y2;
end archi_monsysteme ;
  
```

En considérant que la machine à état de cette mise en œuvre possède 7 états : $Q = \{0000, 0001, 0010, 0011, 0111, 1111, 1011\}$ et avec la convention de codage $[y_1y_2y_3y_4]$ répondez aux questions suivantes.

- Combien d'entrées et de sorties ce système possède-t-il ?

3 entrées (a, b, c) et 1 sortie (S)

- Quel est le mode de fonctionnement du système ? Justifiez.
- Retrouvez le graphe d'état à l'origine de cette réalisation. Aidez-vous de tableaux de Karnaugh ou de tableaux de Karnaugh à variables introduites.
- Combien peut-on coder d'état avec le nombre de variables d'état utilisées ici ? Pourquoi l'auteur de cette mise en œuvre a-t-il utilisé quatre variables d'état ?
- De quoi la sortie du système dépend-elle ?

Elle dépend de l'entrée a et des signaux y_1 et y_2

3 Annale 2022

3.1 Exercice 1: Analyse de programme

Soit un système de commande défini par le programme VHDL ci-dessous :

```
Library IEEE ;
Use IEEE.std_logic_1164.all ;
Entity monsysteme is
    port (
        a,b,c,Horloge,init : in std_logic;
        D,E : out std_logic;
    );
End monsysteme

Architecture archi_monsysteme of monsysteme is
    Signal ys1,ys2,ys3,Y1,Y2,Y3 : std_logic;
    Begin

    Process(Y1,Y2,Y3,a,b,c)
        ys1<=(not Y2) or (Y1 and Y3) or (Y3 and (not a)) or (Y1 and (not c))
        ys2<=(not Y1) or (Y2 and (not Y3)) or (Y2 and ((not a) or b)) or ((not Y3) and (not b))
        ys3<=((not Y1) and Y3) or (Y3 and (not b)) or ((not Y1) and b)
    end process;

    Process(Horloge,init)
        Begin
            If(init='1') then Y1<='1'; Y2<='1'; Y3<='1';
            Else if ((Horloge'EVENT) and (Horloge='1')) Y1<=ys1; Y2<=ys2; Y3<=ys3;
            End if;
        EndProcess;

        D<=Y1 and (not Y2) and (not Y3);
        E<=((not Y1) and Y2 and Y3 and (not a))

    End archi_monsysteme;
```

Combien d'entrées et de sorties ce système possède-t-il ?

5 entrées (*a,b,c,Horloge,init*) et 2 sorties (*D,E*)

Quel est le mode de fonctionnement du système ?

Synchrone

Déterminer la table des états codés / les TKVI de chaque variables interne

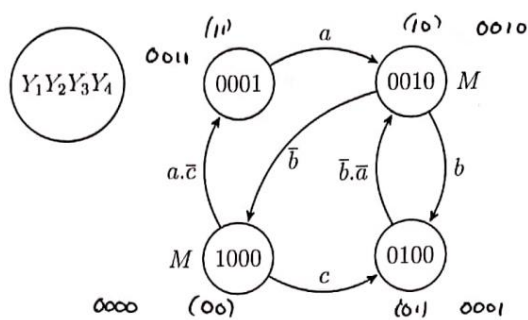
- **3** variables internes (Y_1, Y_2, Y_3) $\rightarrow 2^3 = 8$ états
- Pour chaque état, il faut déterminer les valeurs de Y_1, Y_2 , et Y_3 qui résultent des entrées a, b, c et des valeurs actuelles de Y_1, Y_2 et Y_3 . Pour cela, il faut appliquer les expressions du `Process(Y1,Y2,Y3,a,b,c)`
- Puis, pour chaque état, on obtient les valeurs de Y_1, Y_2 , et Y_3 qui en résultent à l'horloge suivante en utilisant la condition du processus `Process(Horloge, init)`

Etat	Y1	Y2	Y3
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

1. En déduire le graphe d'état à l'origine de cette réalisation
2. Combien peut on coder d'états avec le nombre de variables utilisés ici ?
3. Combien d'états sont réellement utilisés ? Respecte-t-on le codage minimal ?

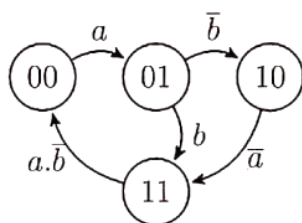
3.2 Exercice 2 : Réalisation par bascule RS

La modélisation en codage 1 parmi N proposée est la suivante :



1. Combien de bascules RS sont nécessaires pour mettre en œuvre cette MEF ? Justifiez.
2. Donner les équations des variables internes en faisant apparaître le terme d'excitation et le terme de maintien. En déduire les équations des bascules RS.
3. Donnez le logigramme correspondant

3.3 Exercice 3 : Problèmes de modélisation



3.3.1 Depuis un graphe d'état

1. Est-ce que le graphe correspondant respecte les contraintes d'adjacence ? Si non, que faut il faire au niveau du codage ? Proposez un nouveau couple graphe / codage.

3.3.2 Depuis une table des états codés

Soit la table des états codés suivante :

$Y_1Y_2 \backslash ab$	00	01	11	10	S
00	11	00	00	01	0
01	11	00	11	01	1
11	11	00	10	11	0
10	11	10	10	00	1

1. Indiquez les possibles aléas dynamiques présents dans cette modélisation. Justifiez.
2. Indiquez les possibles courses critiques dans cette modélisation. Justifiez.
3. Bonus : Voyez-vous une autre erreur de modélisation, non citée, dans ce tableau ?