

# プロジェクト実習III 論理設計

第2週「演算回路」

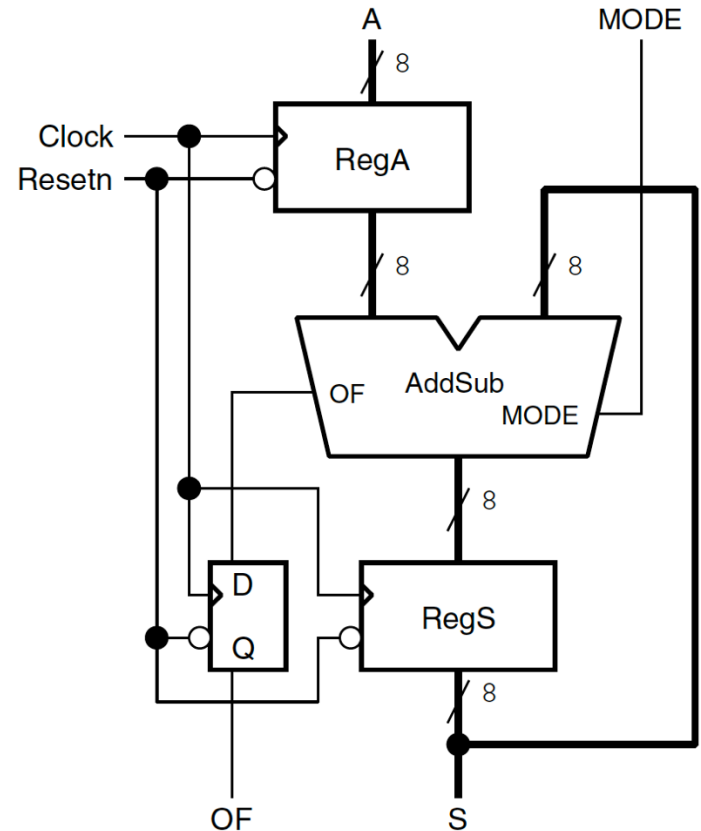
# 実習内容

## 加減算器と乗算器の製作

- 実習1（符号付き加減算器）
- 実習2（最大動作周波数を求める）
- 実習3（4ビット乗算器）
- 実習4（符号付き4ビット乗算器への拡張）

# 1. 加減算器

- 8ビットの入力Aを前回の出力Sに加算・減算
- 演算モード（加算・減算）の切替は1ビット入力MODEで与える
- 2つのレジスタ（RegA, RegS）で値を記憶
- AddSub部はリプルキャリ方式で設計する
- モジュールを作って接続



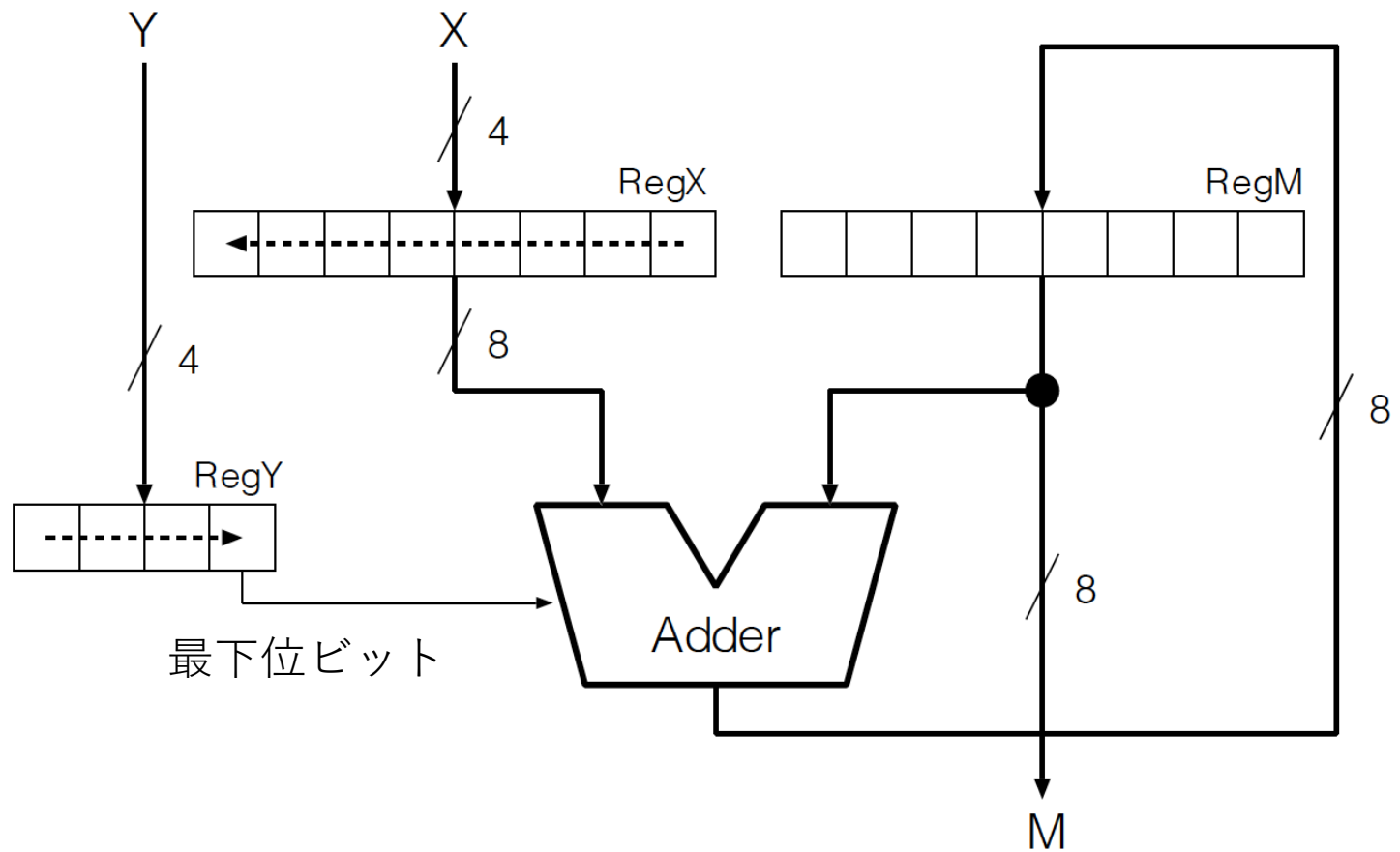
# 注意点

- RegAとRegSは8ビット幅，出力OFを記憶するのは1ビット幅のD-FF．どちらもクロックの立ち上がりで入力信号を記憶する．違いはビット幅だけなので，Verilog HDLのparameterを使うと同じモジュールから実体を生成できる
- AddSubはクロックを取らない（組み合わせ回路）
- シミュレーション開始時にRegA, RegSをリセットする
- シミュレーション時の入力パターンはよく考えること．「何を調べたくてその入力を与えるのか」

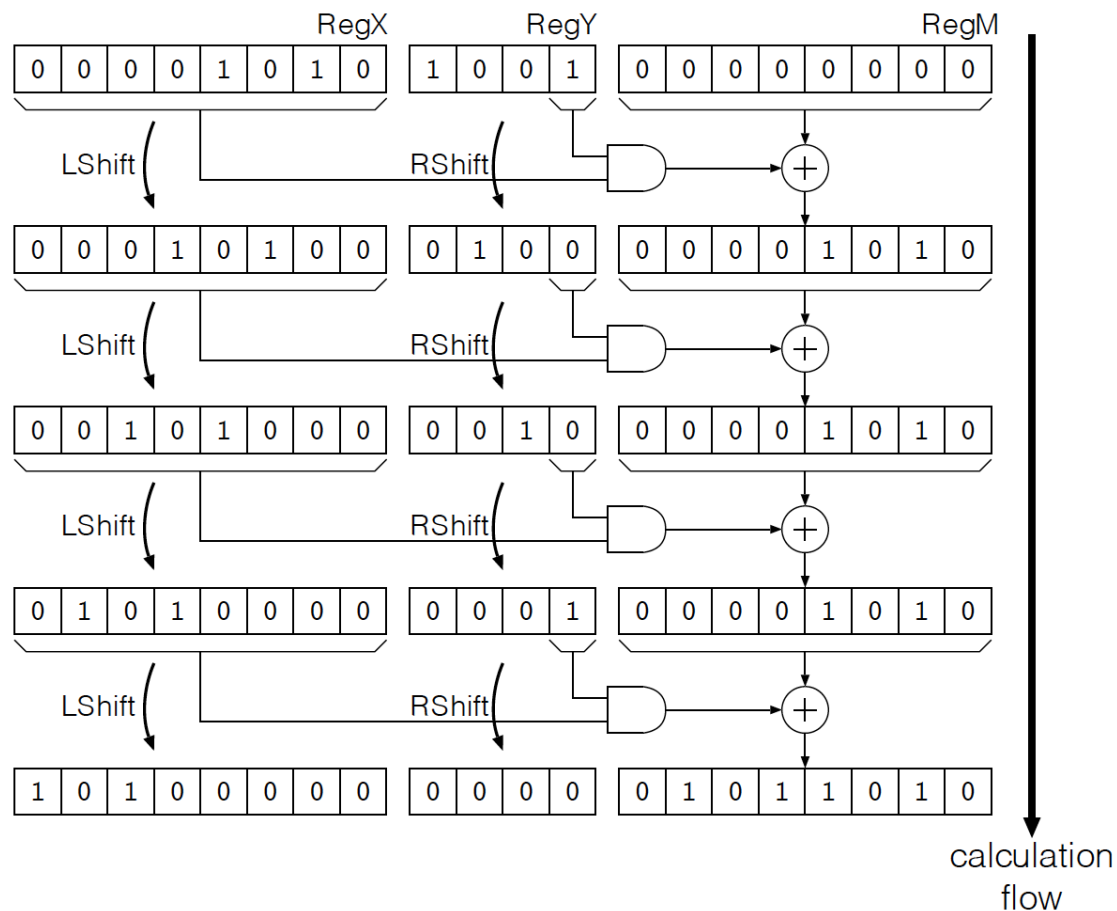
## 2. 最大動作周波数を調べる

- Timing Analyzerを使う．付録B.7とB.8を参照せよ
- 動作要求周波数は50MHz（FPGAボードのクロック周波数）にする
- セットアップ時間，ホールド時間に十分な余裕（slack）があるか確認すること
  - Slackには単位が必要
- クリティカルパスは「経路」．どこからどこまでか示すこと

### 3.4ビット乗算器



# 乗算の計算過程 (1010 × 1001)



## 4. 符号付き4ビット乗算器

- $X \times Y$  の  $X$  を符号付き整数 ( $-8 \leq X \leq 7$ ) にする
- $Y$  は  $0 \leq Y \leq 7$  とする
- 実習3の乗算器を拡張してシミュレーションにより確認