



**FUNDAMENTAL OF DIGITAL SYSTEM FINAL PROJECT REPORT  
DEPARTMENT OF ELECTRICAL ENGINEERING  
UNIVERSITAS INDONESIA**

**ATM MACHINE**

**KELOMPOK BP11**

<b>Adam Bintang Arafah Poernomo</b>	<b>2206029273</b>
<b>Dimas Dandossi Wicaksono</b>	<b>2206059780</b>
<b>Muhamad Fauzan</b>	<b>2206819054</b>
<b>Muhammad Lutfi Setiadi</b>	<b>2206059805</b>

## **KATA PENGANTAR**

Segala puji kami ucapkan kepada Tuhan Yang Maha Esa, karena atas restu dan bantuannya lah kami bisa menyelesaikan suatu karya dalam wujud proyek akhir ini. Laporan ini berisikan percobaan dan pengamatan kami terkait sistem mesin ATM. Di mana kami membuatnya agar pengguna dapat melakukan penyetoran dan penarikan uang dengan pecahan pilihannya.

Terima kasih kami ucapkan untuk kakak-kakak dan Abang - Abang Asisten Laboratorium Digital dan seluruh pihak yang terlibat pada pengerjaan proyek akhir ini. Karena berkat dukungan yang nyata tersebut, kami bisa mewujudkan hal ini menjadi sesuatu yang dapat diaplikasikan secara nyata, masif, dan bermanfaat bagi masyarakat.

Depok, December 23, 2023

Group BP11

## **TABLE OF CONTENTS**

### **BAB 1: PENDAHULUAN**

- 1.1 Latar Belakang
- 1.2 Deskripsi Proyek
- 1.3 Tujuan
- 1.4 Peran dan Tanggung Jawab

### **BAB 2: IMPLEMENTASI**

- 2.1 Perlengkapan
- 2.2 Implementasi

### **BAB 3: PERCOBAAN AND ANALISIS**

- 3.1 Percobaan
- 3.2 Hasil
- 3.3 Analisis

### **BAB 4: KESIMPULAN**

### **REFERENSI**

### **LAMPIRAN**

- Lampiran A: Skema Proyek
- Lampiran B: Dokumentasi

# **BAB 1**

## **PENDAHULUAN**

### **1.1 LATAR BELAKANG**

Dalam era perkembangan teknologi yang pesat, bidang sistem digital menggunakan bahasa pemrograman seperti VHDL telah menjadi inti dalam merancang dan mengimplementasikan sistem-sistem kompleks. Penerapan VHDL tidak hanya terbatas pada industri komputer atau perangkat keras saja, namun juga merambah ke berbagai bidang, termasuk otomatisasi, pengolahan citra, dan analisis data. Latar belakang penggunaan VHDL dalam konteks perancangan mesin yang dapat memecahkan uang menggabungkan kecanggihan teknologi digital dengan tantangan etika dan hukum yang kompleks. Pengembangan mesin semacam itu memerlukan pengetahuan mendalam tentang proses perancangan sistem digital, pengolahan citra, pengenalan pola, dan mekanisme kontrol yang terintegrasi. Namun, keberhasilan dalam merancang mesin semacam ini tidak hanya tergantung pada aspek teknis, tetapi juga pada kesadaran akan implikasi sosial, etika, dan legalitas yang terkait dengan penggunaan teknologi tersebut.

### **1.2 DESKRIPSI PROYEK**

Dalam proyek ini, kami mengembangkan sebuah mesin ATM yang memungkinkan pengguna untuk melakukan penyetoran dan penarikan dana. Mesin ini menyediakan 7 jenis pecahan uang rupiah, yaitu 100 ribu, 50 ribu, 20 ribu, 10 ribu, 5 ribu, 2 ribu, dan seribu. Keamanan mesin telah ditingkatkan dengan menggunakan PIN yang terenkripsi. Pengguna melakukan penyetoran dengan jumlah uang yang merupakan kelipatan dari pecahan yang tersedia, dan mereka dapat melakukan penarikan dengan memilih pecahan yang diinginkan. Setelah transaksi selesai, pengguna diberikan pilihan untuk melakukan transaksi tambahan.

### **1.3 TUJUAN**

Tujuan dari Proyek ini adalah sebagai berikut :

1. Menciptakan mesin ATM yang menyediakan pecahan uang kecil dengan memanfaatkan FSM.
2. Menerapkan testbench pada mesin untuk dilakukannya pengecekan.
3. Memberikan fleksibilitas bagi masyarakat dalam melakukan penarikan uang.

#### 1.4 PERAN DAN TANGGUNG JAWAB

Peran dan Tanggung Jawab anggota dalam kelompok :

Roles	Responsibilities	Person
Brainstorming ide	Berdiskusi tentang ide proyek akhir	Adam Bintang Arafah Poernomo, Muhamad Fauzan, Dimas Dandossi, Muhammad Lutfi Setiadi
Membuat PPT	Membuat file Power Point	Dimas Dandossi, Muhammad Lutfi Setiadi
Membuat VHDL	Membuat program penarikan, penyetoran, dan lain - lain.	Muhamad Fauzan, Adam Bintang Arafah Poernomo
Laporan Akhir	Membuat laporan akhir dan mengisi .readme di github	Adam Bintang Arafah Poernomo, Muhamad Fauzan

Tabel 1. Peran dan Tanggung Jawab

## BAB 2

### IMPLEMENTASI

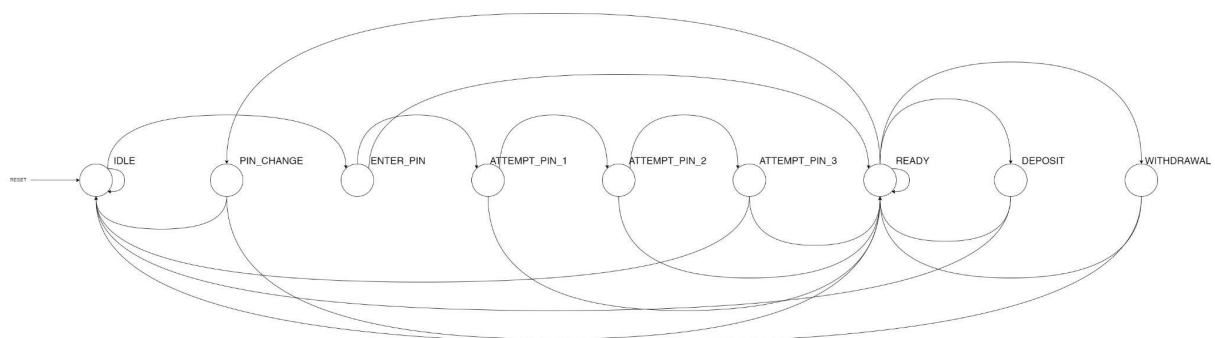
#### 2.1 PERALATAN

Alat yang digunakan dalam mengerjakan proyek :

- Visual Studio Code
- Model SIM
- Quartus
- Google Docs
- Line
- Discord
- GitHub
- Canva

#### 2.2 IMPLEMENTASI

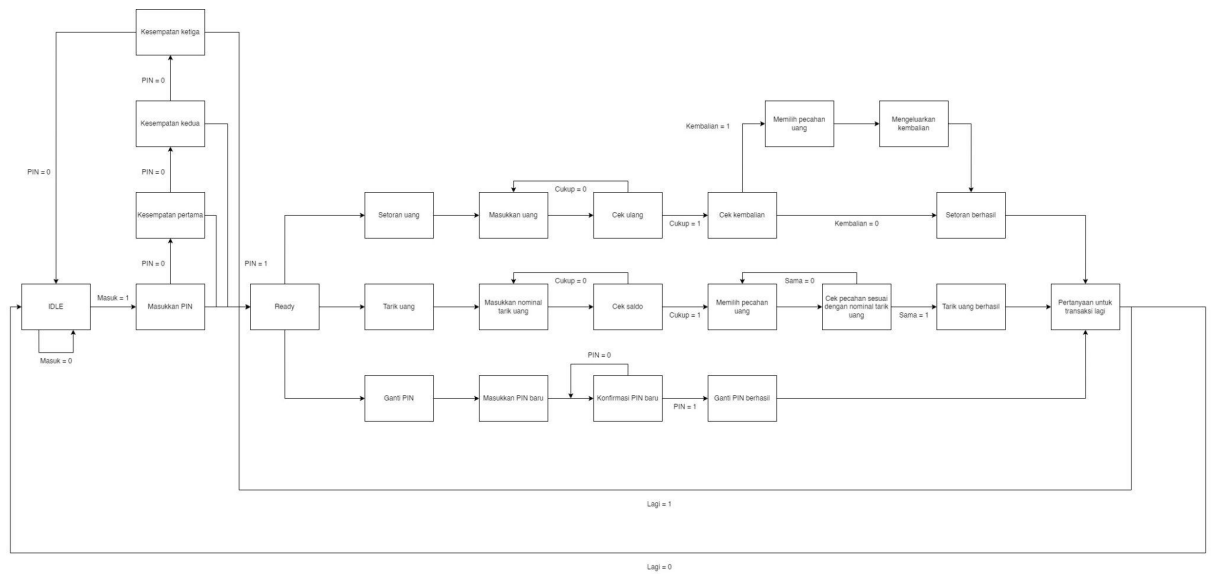
Dalam penerapan sistem ATM ini, kami menggunakan state diagram untuk menentukan alur jalannya sistem. Sistem diimplementasikan berdasarkan moore state machine, di mana input mempengaruhi state berikutnya tetapi tidak berdampak secara langsung kepada output.



Gambar 1. Finite State Machine

Pertama-tama mesin kami akan berada pada state IDLE. Pengguna harus memasukkan PIN terlebih dahulu. Jika PIN sesuai maka akan masuk ke state READY, dan

jika setelah 3 kali percobaan masih tidak sesuai maka akan kembali ke state IDLE.  
Selanjutnya pengguna diberikan 3 pilihan, yaitu ganti PIN, penyetoran, dan penarikan.



Gambar 2. State Diagram

## BAB 3

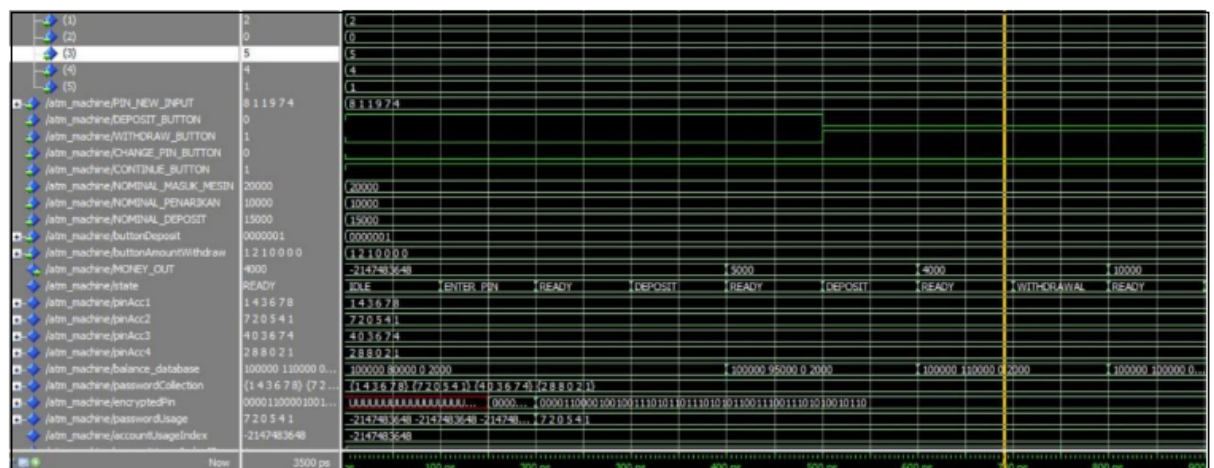
### PERCOBAAN DAN ANALISIS

#### 3.1 PERCOBAAN

Kami melakukan percobaan menggunakan aplikasi ModelSim. Sebelum melakukan percobaan, kami memastikan bahwa semua file berhasil di-compile dan dapat disimulasikan dengan baik tanpa error satupun.

encryption.vhd	✓	VHDL	2	12/10/2022 04:53:08 ...
setor.vhd	✓	VHDL	5	12/10/2022 05:05:06 ...
Penarikan.vhd	✓	VHDL	3	12/10/2022 05:24:16 ...
pin_changer.vhd	✓	VHDL	4	12/10/2022 12:59:32 ...
atm_prototypes.v...	✓	VHDL	1	12/10/2022 04:55:38 ...
atm_machine.vhd	✓	VHDL	0	12/10/2022 04:54:28 ...

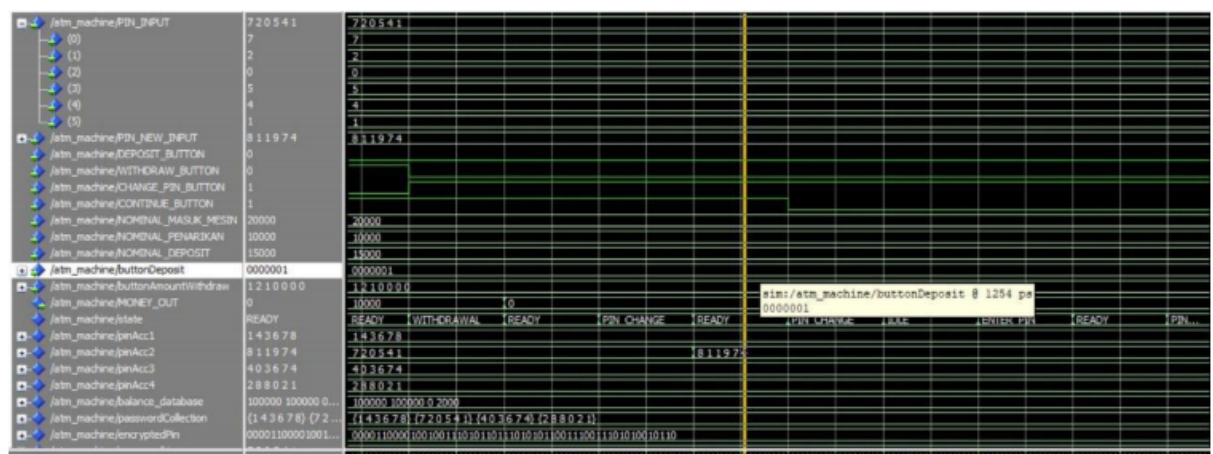
Pada kasus pertama, seorang mahasiswa ingin melakukan penyetoran uang sebesar Rp15.000 dengan selebar uang Rp20.000, kemudian ia melakukan penyetoran lagi sebesar Rp15.000. Setelah itu ada keperluan mendadak yang harus dibelinya sehingga ia melakukan penarikan sebesar Rp10.000.



Simulasi ini dilakukan pada akun kedua yang tersimpan di mesin ATM dengan PIN 720542. Saat IDLE, kami memasukkan kartu ATM yang akan mengubah nilai CARD\_READER menjadi high. Ketika high, state ATM bergerak menuju ENTER\_PIN. Setelah melalui proses autentikasi PIN sesuai database, ATM bergerak menuju state READY. Dari sini tombol deposit ditekan sehingga masuk ke state DEPOSIT dan ATM siap memasukkan uang ke dalam rekening. Pada state ini, kami memasukkan uang 20k, tetapi



kami hanya ingin deposit sebesar 15k, sehingga kami akan memperoleh kembalian 5k. Setelah itu, kami melakukan deposit 15k lagi dengan memasukkan uang pas. Selanjutnya kami melakukan penarikan sebesar 10k. Oleh karena itu, kami menekan tombol withdraw dan ATM memasuki state WITHDRAWAL. Di sini lah penarikan terjadi dan MONEY\_OUT bernilai 10k. Pada kasus kedua, mahasiswa itu ingin mengganti PIN akunya. Proses yang dilakukan sama sampai masuk state READY. Karena PIN ingin diganti maka kami menekan tombol change pin yang menyebabkan ATM bergerak ke state CHANGE\_PIN. Di sini input PIN baru akan dimasukkan lalu menggantikan PIN akun kedua dalam database, dalam kasus ini signal pinAcc2.



### 3.2 HASIL

Pada kasus pertama, terlihat pada signal balance\_database (yang menyimpan kumpulan saldo tiap rekening) bahwa nilai saldo kedua yang awalnya 80k sekarang telah berubah menjadi 95k. Selain itu, output MONEY\_OUT juga mengeluarkan uang kembalian 5k. Kemudian setelah deposit kedua, balance akun kedua bernilai 110k. Setelah dilakukan penarikan uang, terlihat di array balance\_database kedua nilai 110k telah berubah menjadi 100k. Semua ini juga dapat terjadi terus-menerus tanpa perlu logout karena signal CONTINUE bernilai 1 yang menandakan bahwa user masih ingin melakukan transaksi pada ATM setelah melakukan satu jenis transaksi. Selama CONTINUE bernilai 1, ATM akan selalu kembali ke state READY setelah melakukan jenis transaksi apa pun.

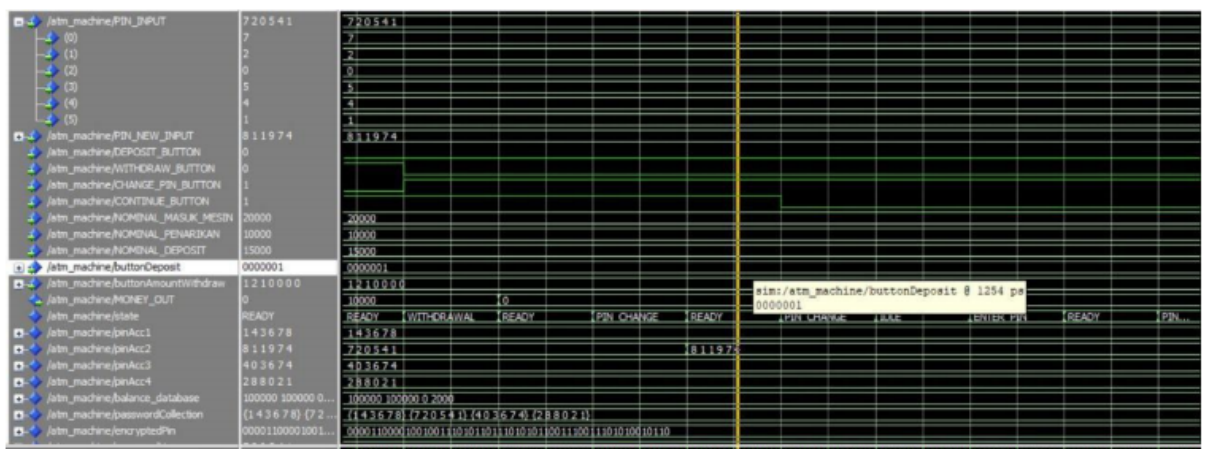
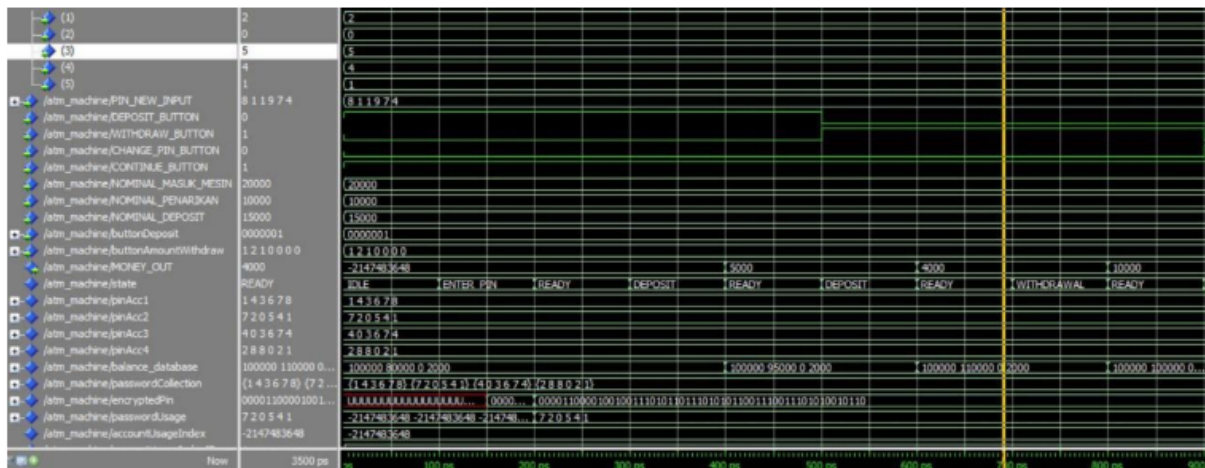
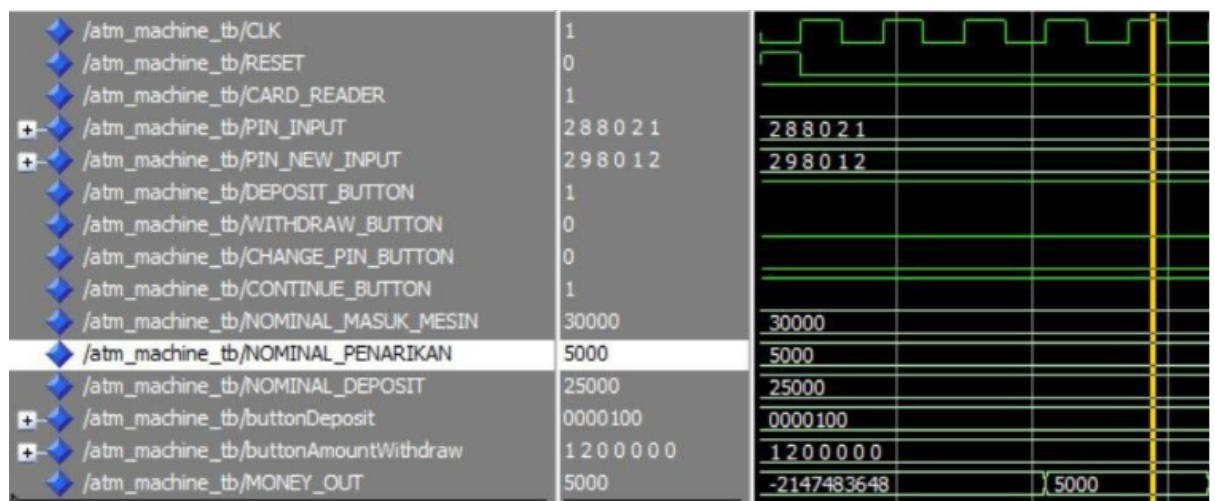


Fig 2. Testing Result

Pada kasus kedua terlihat bahwa nilai pinAcc2 telah berubah dari PIN lama 720541 menjadi PIN baru 811974.



Percobaan tetbench kami berhasil di-compile dan disimulasikan. Semua sistem berjalan dengan semestinya. Kami melakukan deposit sebesar 25k dengan memasukkan uang 30k. Terlihat bahwa ATM telah menerima deposit tersebut dan mengembalikan uang 5k.

### **3.3 ANALISIS**

Berdasarkan hasil yang didapatkan dari setiap kasus, terlihat bahwa setiap proses perubahan state pada masing-masing transaksi dapat berjalan dengan lancar tanpa menyebabkan perubahan state pada transaksi lainnya. Hal tersebut berhasil dicapai karena pada sistem yang kami buat, terdapat button yang mengaktifkan state transaksi (DEPOSIT, WITHDRAW, dan CHANGE\_PIN) sehingga saat proses state pada salah satu transaksi berjalan, state pada transaksi lainnya tidak aktif. Oleh karena itu, suatu transaksi tidak mungkin menginterupsi state transaksi lainnya.

Kami mengimplementasikan combinatorial dan synchronous process pada program. Synchronous process mencakup penggunaan rising edge clock yang mencegah state agar tidak berjalan secara terus menerus. Combinatorial process mencakup case statement yang membantu perpindahan state agar sesuai dengan input yang dimasukkan. Penggunaan case statement juga dipadukan dengan if statement yang membantu program untuk menjalankan berbagai condition yang kemungkinan terjadi saat ATM sedang bekerja. Case statement mengcover state yang berjalan dan if statement membantu dalam mendeteksi input agar tindakan dapat dilakukan dari input tersebut.

## **BAB 4**

### **KESIMPULAN**

Penggunaan FSM memungkinkan kami untuk menerapkan cara kerja ATM menggunakan VHDL. Pada proyek ini, kami berhasil membuat program yang bekerja sesuai dengan rencana kami, yaitu membuat mesin ATM yang dapat melakukan penggantian PIN akun, serta penyetoran dan penarikan uang dengan pilihan pecahan yang bervariasi (100k, 50k, 20k, 10k, 5k, 2k, dan 1k). Pada mesin kami, pengguna dapat menerima kembalian jika uang yang dimasukkan melebihi nominal yang ingin disetorkan. Misalnya pengguna ingin melakukan penyetoran sebesar 40k dengan selembar uang 50k. maka ia akan menerima kembalian 10k dengan pecahan uang pilihannya.

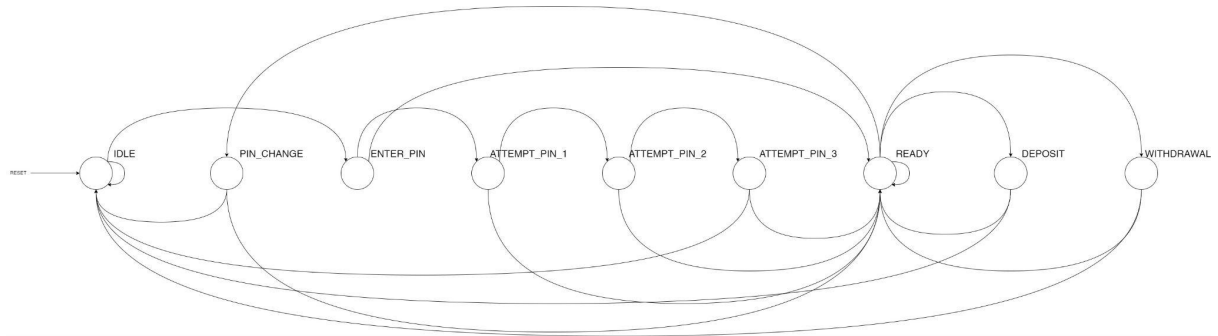
Pada program ini menggunakan combinatorial dan synchronous process. Pada combinatorial process kami menerapkan state diagram dengan menggunakan case statement yang berhasil membuat state tertentu dapat bergerak menuju state lain berdasarkan input yang diterima. Kemudian pada synchronous process kami memastikan bahwa perpindahan state terjadi sesuai dengan rising edge clock.

## REFERENSI

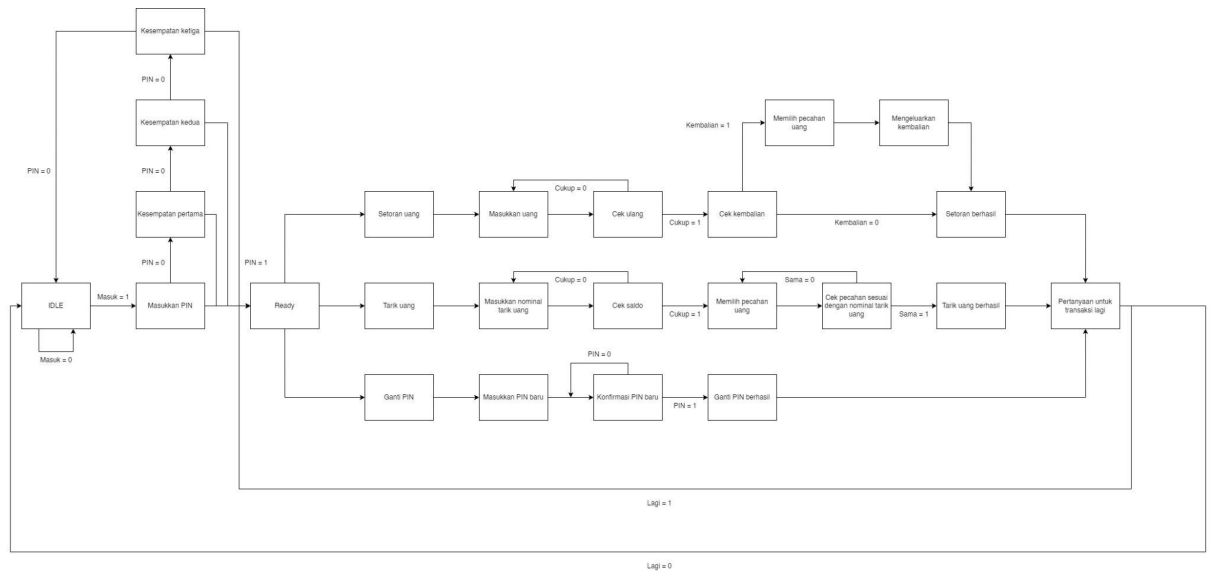
- [1] <https://vhdlwhiz.com/constants-generic-map/>
- [2] <https://allaboutfpga.com/vhdl-testbench-tutorial/>
- [3] <https://allaboutfpga.com/vhdl-testbench-tutorial/>
- [4] <https://vhdlwhiz.com/finite-state-machine/>

## LAMPIRAN

### Lampiran A: Skema Proyek



Gambar 1. Finite State Machine



Gambar 2. State Diagram

### Lampiran B: Dokumentasi

