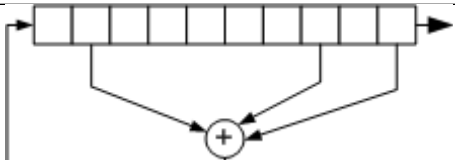
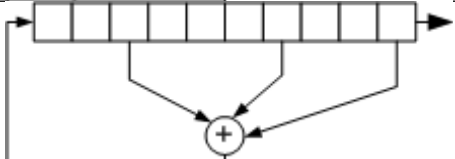
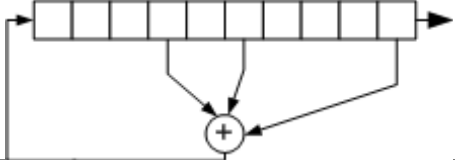
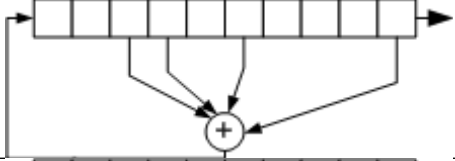
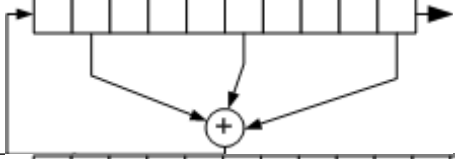
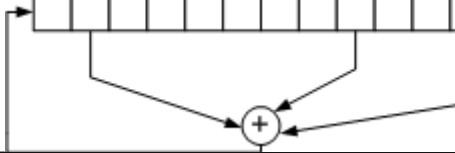
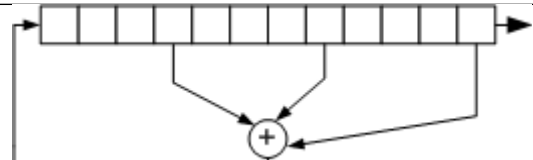
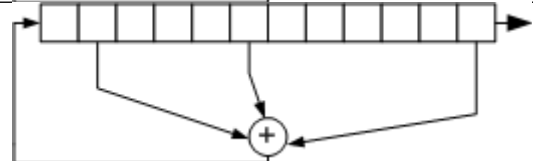
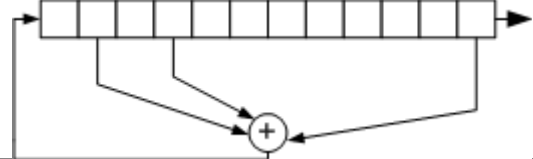
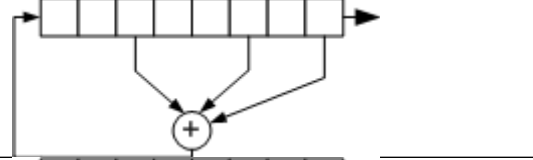
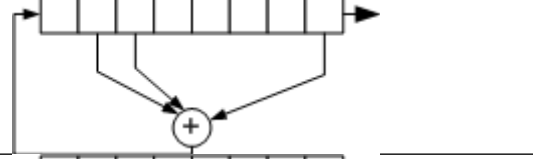
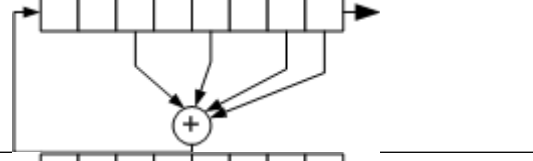
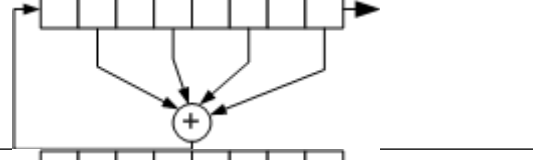
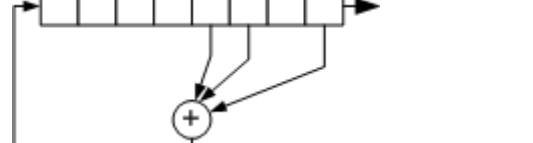


Домашнее задание по «Проектированию СБИС», 2024.

Сформировать HDL-описание скремблирующего и дескремблирующего устройств, предоставить файл-описание testbench'а для скремблера, предоставить результаты моделирования, сформировать модуль скремблера и дескремблера как единого устройства, продемонстрировать его работу.

№	Тип склемблера	Передаваемая последовательность	Сдвиговый регистр	Исходное значение регистра
1	Аддитивный	10100000101		0010010110
2	Аддитивный	10010001001		0000100100
3	Аддитивный	10001010001		1111111111
4	Аддитивный	10011010001		1111111111
5	Аддитивный	10100010001		1111111111
6	Аддитивный	1010000001001		000101001101

7	Аддитивный	1000100010001		110101001001
8	Аддитивный	1001000100001		001011010100
9	Аддитивный	1010100000001		100010101101
10	Аддитивный	100100101		00110010
11	Аддитивный	101100001		00101010
12	Аддитивный	100101011		00100011
13	Аддитивный	101010101		10010110
14	Аддитивный	100001101		11100111

Содержание отчёта:

1. Титульный лист
2. Задание
3. Листинг с HDL-кодом полного устройства (скремблер + дескремблер) для самосинхронизирующегося и аддитивного скремблеров.
4. RTL-представление для полного устройства из QuartusPrime для ПЛИС EP4CE6E22C8
5. Листинг с HDL-кодом testbench полного устройства показать передачу последовательности, состоящей из 20 единиц и 20 нулей.
6. Результат моделирования с демонстрацией входного сигнала, скремблированного сигнала и дескремблированного сигнала (можно в ModelSim, можно в iverilog+gtkwave)