

POLITECHNIKA WARSZAWSKA  
WYDZIAŁ ELEKTRONIKI I TECHNIK INFORMACYJNYCH  
INSTYTUT MIKROELEKTRONIKI I OPTOELEKTRONIKI



Instrukcja do przedmiotu

*Projektowanie układów analogowych dla systemów VLSI*

LUSTRA PRĄDOWE I UKŁAD POLARYZACJI

mgr inż. Jakub Kopański

1 marca 2016

# Spis treści

<b>Spis rysunków</b> . . . . .	3
<b>Spis tablic</b> . . . . .	4
<b>1. Wstęp</b> . . . . .	5
<b>2. Lustra prądowe</b> . . . . .	6
2.1. Podstawowe lustro prądowe . . . . .	6
2.1.1. Dopasowywanie prądów . . . . .	7
2.2. Kaskodowe lustro prądowe . . . . .	9
2.2.1. Prosta kaskoda . . . . .	9
2.2.2. Kaskoda o obniżonym napięciu wyjściowym . . . . .	10
<b>3. Układ polaryzacji</b> . . . . .	13
<b>4. Projekt bloku polaryzacji</b> . . . . .	14
4.1. Symulacja w narożnikach procesu . . . . .	14
4.2. Analiza Monte Carlo . . . . .	14
4.2.1. Równoległe uruchamianie symulacji . . . . .	16

## Spis rysunków

2.1.	Podstawowe lustro prądowe . . . . .	6
2.2.	Lustro prądowe i schemat zastępczy . . . . .	6
2.3.	Skalowanie prądu luster . . . . .	7
2.4.	Zależność prądu od napięcia $V_{DS}$ . . . . .	9
2.5.	Kaskodowe lustro prądowe. . . . .	9
2.6.	Wartości napięć w kaskodowym lustrze prądowym. . . . .	10
2.7.	Idea niskonapięciowej kaskody. . . . .	10
2.8.	Generowanie dodatkowego napięcia dla kaskody. . . . .	11
2.9.	Realizacja tranzystora $M_{WS}$ . . . . .	12
2.10.	Wyrównanie napięć $V_{DS}$ tranzystorów lustra. . . . .	12
3.1.	Układ polaryzacji projektowany na zajęciach. . . . .	13
4.1.	Konfiguracja symulacji narożników procesu. . . . .	15
4.2.	Konfiguracja analizy Monte Carlo. . . . .	15
4.3.	Opcje analizy Monte Carlo. . . . .	16
4.4.	Opcje konfiguracji procesów. . . . .	16

## Spis tablic

4.1. Mierzone parametry luster prądowych . . . . .	14
--	----

# 1. Wstęp

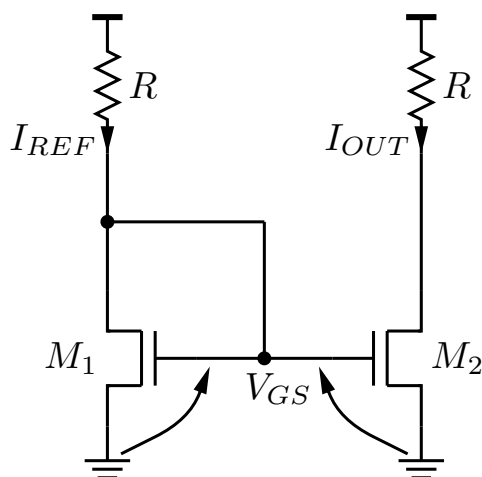
Najważniejszym zagadnieniem przy projektowaniu analogowych układów scalonych jest polaryzacja tranzystorów. Wybór i zapewnienie odpowiedniego punktu pracy ma wpływ na szybkość działania układu, dopasowanie elementów, zakres pracy, odporność na zakłócenia zasilania i masy oraz na moc zużywaną przez układ.

W analogowych układach scalonych, ze względu na łatwość dopasowania elementów, do polaryzacji tranzystorów wykorzystuje się źródła/lustra prądowe.

W niniejszym ćwiczeniu studenci zapoznają się z projektowaniem luster prądowych. Zdobyta wiedza posłuży im do zaprojektowania układu polaryzacji, który zostanie wykorzystany przy kolejnym ćwiczeniu.

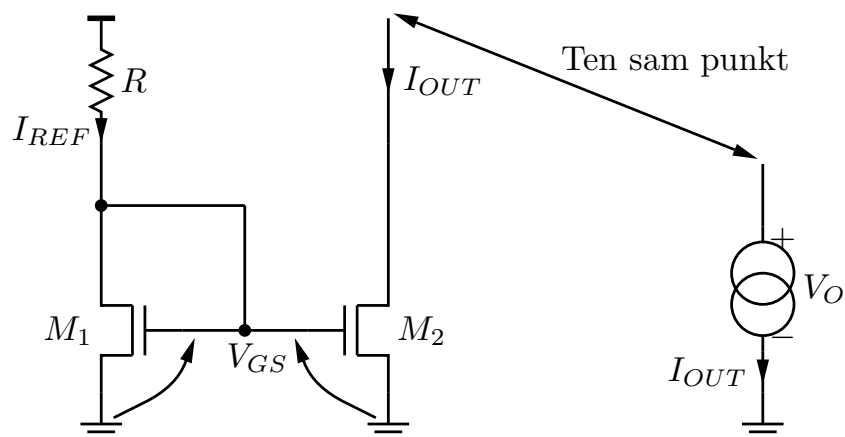
## 2. Lustra prądowe

### 2.1. Podstawowe lustro prądowe



Rysunek 2.1. Podstawowe lustro prądowe

Podstawowe lustro prądowe, wykonane z tranzystorów typu  $N$ , pokazano na rys. 2.1. Z topologii układu wynika, że  $V_{GS1} = V_{DS1} = V_{GS2}$ . Pomijając wpływ modulacji długości kanału (parametr  $\lambda$ ), dzięki równości napięć bramka - źródło obu tranzystorów spodziewamy się, że oba tranzystory będą miały jednakowy prąd drenu. Jeżeli oba rezystory mają taką samą wartość rezystancji, potencjały drenu obu tranzystorów są takie same. Dopasowując wymiary, napięcia  $V_{GS}$  i prądy drenu  $I_D$  obu tranzystorów, możemy być pewni, że napięcia dren - źródło obu tranzystorów są jednakowe ( $V_{GS1} = V_{DS1} = V_{GS2} = V_{DS2}$ ).



Rysunek 2.2. Lustro prądowe i schemat zastępczy

Na rys. 2.2. zaprezentowano jak intuicyjnie można myśleć o *wyjściu* lustra prądowego. W przybliżeniu wyjście lustra prądowego można traktować jak najprostsze źródło prądowe. Napięcie na wyjściu lustra prądowego oznaczono  $V_O$ .

Założenie, że prądy drenu zależą tylko od napięcia  $V_{GS}$  pomaga zrozumieć działanie lustra prądowego, ale jest zbyt dużym uproszczeniem. Dokładniejszą analizę przeprowadzimy już z uwzględnieniem wpływu modulacji długości kanału. Prąd płynący w gałęzi referencyjnej lustra jest równy:

$$I_{REF} = I_{D1} = \frac{K_n}{2} \cdot \frac{W_1}{L_1} \cdot (V_{GS1} - V_{TH})^2 (1 + \lambda V_{DS1}), \quad (2.1)$$

natomiast prąd płynący w gałęzi wyjściowej jest równy:

$$I_O = I_{D2} = \frac{K_n}{2} \cdot \frac{W_2}{L_2} \cdot (V_{GS2} - V_{TH})^2 (1 + \lambda V_O). \quad (2.2)$$

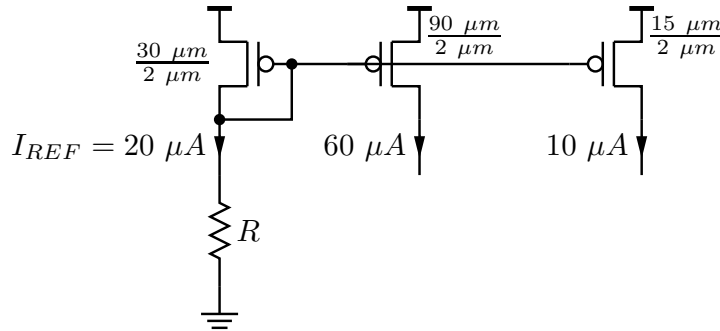
Jak zostało zauważone we wstępie:  $V_{GS1} = V_{GS2}$ , dzięki temu stosunek prądów drenu tranzystorów ma postać:

$$\frac{I_O}{I_{REF}} = \frac{\frac{K_n}{2} \cdot \frac{W_2}{L_2} \cdot (V_{GS} - V_{TH})^2 (1 + \lambda V_O)}{\frac{K_n}{2} \cdot \frac{W_1}{L_1} \cdot (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS1})} = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1 + \lambda V_O}{1 + \lambda V_{DS1}} \quad (2.3)$$

Dobłą praktyką jest aby długości kanałów tranzystorów lustra prądowego były równe. Dzięki temu późniejsze tworzenie topografii będzie łatwiejsze. W celu narysowania poprawnej topografii lustra prądowego długości kanałów tranzystorów muszą być takie same. Pomijając na razie wpływ modulacji długości kanału, możemy uprościć (2.3) do postaci:

$$\frac{I_O}{I_{REF}} = \frac{W_2}{W_1} \quad (2.4)$$

Poprzez proste skalowanie szerokości kanału możemy zmieniać prąd wyjściowy lustra. Przykładowe zastosowanie pokazano na rys. 2.3.



Rysunek 2.3. Skalowanie prądu luster

### 2.1.1. Dopasowywanie prądów

Podstawowym problemem przy projektowaniu lustra prądowego jest zapewnienie równości prądów referencyjnego  $I_{REF}$  oraz wyjściowego  $I_O$ . W następnych sekcjach zbadamy, jak różnice parametrów wpływają na różnice prądów.

#### Różnica napięć progowych

W punkcie 2.1 powiedzieliśmy, że w pierwszym przybliżeniu równość prądów  $I_{REF}$  oraz  $I_O$  wynika z równości napięć  $V_{GS}$  lustra prądowego. Do dobrego dopasowania prądów niezbędne jest dopasowanie napięć progowych obu tranzystorów lustra prądowego. Chcąc zbadać wpływ różnicy napięć progowych przyjmujemy, że:

$$\begin{aligned} V_{TH1} &= V_{TH} - \frac{\Delta V_{TH}}{2}, \\ V_{TH2} &= V_{TH} + \frac{\Delta V_{TH}}{2}. \end{aligned} \quad (2.5)$$

Obliczając stosunek prądów lustra z wykorzystaniem (2.5), otrzymujemy:

$$\frac{I_O}{I_{REF}} = \frac{\frac{K_n}{2} \frac{W}{L} (V_{GS} - V_{TH} - \frac{\Delta V_{TH}}{2})^2}{\frac{K_n}{2} \frac{W}{L} (V_{GS} - V_{TH} + \frac{\Delta V_{TH}}{2})^2} = \frac{[1 - \frac{\Delta V_{TH}}{2(V_{GS} - V_{TH})}]^2}{[1 - \frac{\Delta V_{TH}}{2(V_{GS} - V_{TH})}]^2} \quad (2.6)$$

Podnosząc wyrażenia do kwadratu, a następnie zaokrąglając poprzez pominięcie wyrazów w wyższych potęgach, otrzymujemy w przybliżeniu:

$$\frac{I_O}{I_{REF}} \approx 1 - \frac{2\Delta V_{TH}}{V_{GS} - V_{TH}} = 1 - \frac{2\Delta V_{TH}}{V_{DSsat}} \quad (2.7)$$

Wyrażenie (2.7) dobrze ilustruje jakość dopasowania prądów w zależności od napięcia progowego  $V_{TH}$ . Im większa różnica napięć progowych, tym większa różnica prądów: referencyjnego i wyjściowego prądu lustra. Im mniejsze napięcie bramka - źródło tranzystorów lustra prądowego, tym większy wpływ różnicy napięć progowych. Aby zminimalizować wpływ różnicy napięć progowych należy pracować przy wyższym napięciu  $V_{GS}$  pamiętając, że kosztem takiego zabiegu będzie mniejszy zakres napięcia wyjściowego tranzystora  $V_{DS}$ , dla którego tranzystor pozostaje w nasyceniu.

### Różnica parametru $K_n$

Podobna analiza może być przeprowadzona dla różnicy parametru  $K_n$  tranzystora. Jeżeli przyjmiemy, że:

$$\begin{aligned} K_{n1} &= K_n - \frac{\Delta K_n}{2}, \\ K_{n2} &= K_n + \frac{\Delta K_n}{2}, \end{aligned} \quad (2.8)$$

to wówczas zakładając, że pozostałe parametry tranzystorów lustra są takie same, stosunek prądów wynosi:

$$\frac{I_O}{I_{REF}} = \frac{K_n + \frac{\Delta K_n}{2}}{K_n - \frac{\Delta K_n}{2}} \approx 1 + \frac{\Delta K_n}{K_n} \quad (2.9)$$

Parametr  $K_n$  jest parametrem technologicznym, który zależy od procesu wytwarzania układów scalonych. Mogłoby się wydawać, że wraz ze skalowaniem procesu różnice w  $K_n$  tranzystorów spowodowane różnicami w tlenku bramkowym oraz różnicami ruchliwości powinny być mniejsze. Jednak mniejsze wymiary tranzystorów powodują również, że jeżeli wystąpi defekt, to jest on uśredniany po mniejszej powierzchni przyrządu.

### Różnica napięć $V_{DS}$

Effektem, który bardzo silnie wpływa na dopasowanie prądów lustra, jest różnica napięcia dren - źródło tranzystorów. Rys 2.4. przedstawia wartości prądów  $I_{REF}$  oraz  $I_O$  w zależności od napięcia wyjściowego  $V_O$  lustra ze schematu na rys. 2.2. Jak można zauważyć, prądy są jednakowe tylko dla jednej, konkretnej wartości napięcia  $V_O$ , równej napięciu  $V_{DS}$  tranzystora referencyjnego  $M_1$ . Biorąc pod uwagę różnice napięć  $V_{DS}$  tranzystorów oraz parametr  $\lambda$ , stosunek prądów lustra można zapisać jako:

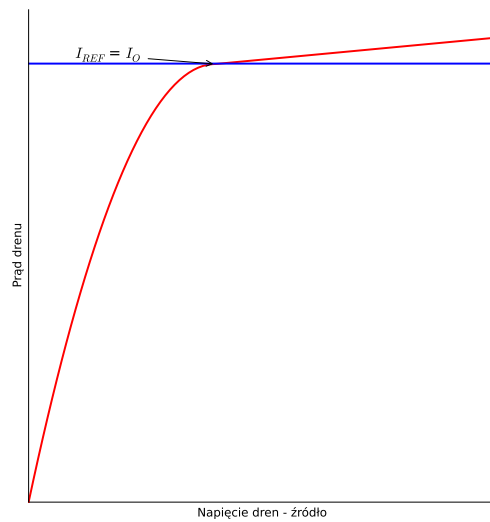
$$\frac{I_O}{I_{REF}} = \frac{1 + \lambda_2 V_O}{1 + \lambda_1 V_{DS}} \quad (2.10)$$

W tym miejscu warto policzyć stosunek (2.10) dla konkretnych realnych wartości, (które autor niniejszej instrukcji uzyskał wykonując pierwsze ćwiczenie). Zakładając, że  $\lambda_1 = \lambda_2 = 0,36 \frac{1}{V}$  oraz  $V_{DS} = 192 \text{ mV}$  i  $V_O = V_{DS} + 0.6 \text{ V} = 792 \text{ mV}$  otrzymujemy:

$$\frac{I_O}{I_{REF}} = \frac{1 + 0,36 \times 0,792 \text{ V}}{1 + 0,36 \times 0,192 \text{ V}} \approx 1,20 \quad (2.11)$$

co oznacza *niedopasowanie prądów lustra aż o 20 %*. Jak widać, równość napięć dren - źródło tranzystorów tworzących zwierciadło prądowe ma krytyczne znaczenie dla równości prądów, dlatego w kolejnych rozdziałach przedstawimy sposoby na ograniczenie wpływu różnicy napięć  $V_{DS}$ .



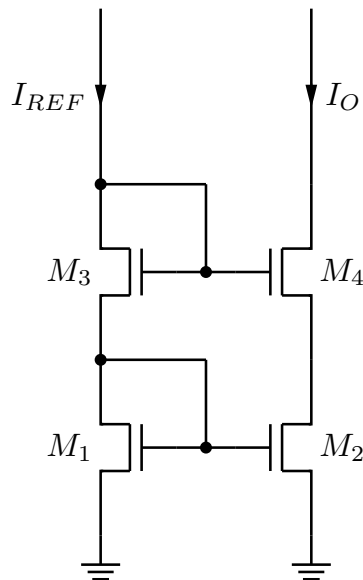


Rysunek 2.4. Zależność prądu od napięcia  $V_{DS}$ .

## 2.2. Kaskodowe lustro prądowe

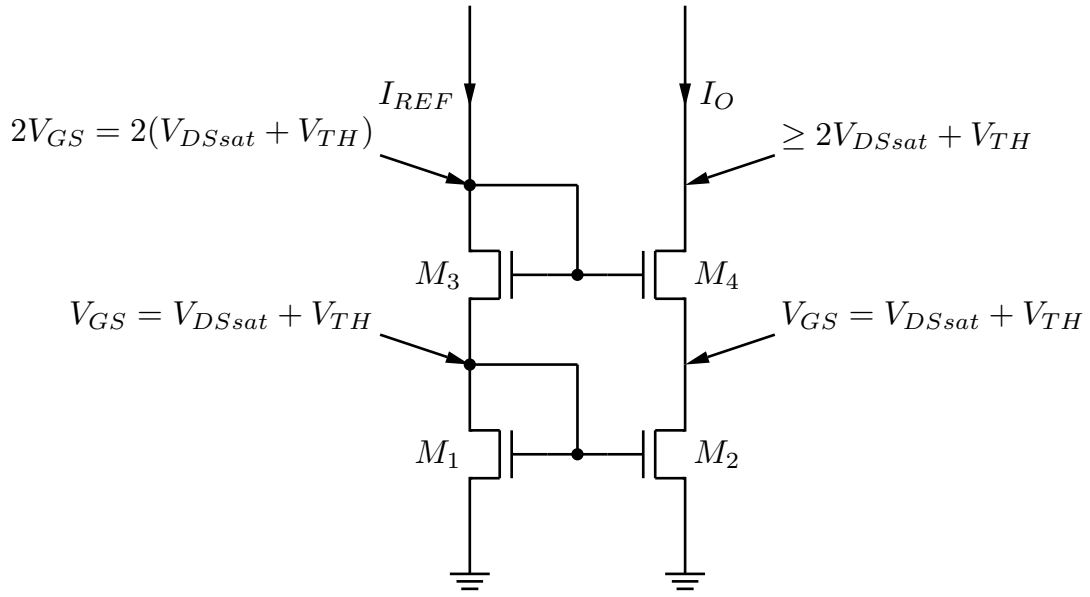
Rozwiązaniem problemu różnych napięć dren - źródło tranzystorów tworzących lustro prądowe jest kaskodowe lustro prądowe.

### 2.2.1. Prosta kaskoda



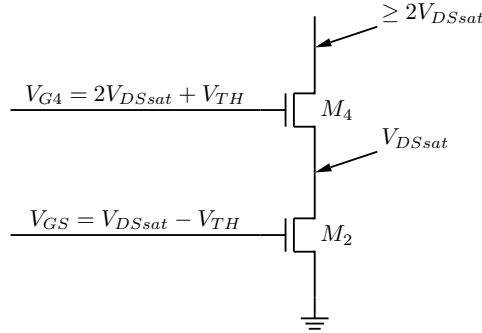
Rysunek 2.5. Kaskodowe lustro prądowe.

Najprostsze kaskodowe lustro prądowe zaprezentowano na rys. 2.5. Prąd w gałęzi wyjściowej jest wymuszany przez tranzystor  $M_2$ . Napięcie na bramce tego tranzystora jest ustalane przez tranzystor  $M_1$  w połączeniu diodowym. Napięcie  $V_{DS}$  tranzystora  $M_2$  jest ustalane przez tranzystor  $M_4$ , jest ono równe napięciu na bramce tranzystora  $M_4$ , pomniejszonemu o jego napięcie  $V_{GS}$ . Napięcia w poszczególnych węzłach układu zaznaczono na rys. 2.6.



Rysunek 2.6. Wartości napięć w kaskodowym lustrze prądowym.

### 2.2.2. Kaskoda o obniżonym napięciu wyjściowym



Rysunek 2.7. Idea niskonapięciowej kaskody.

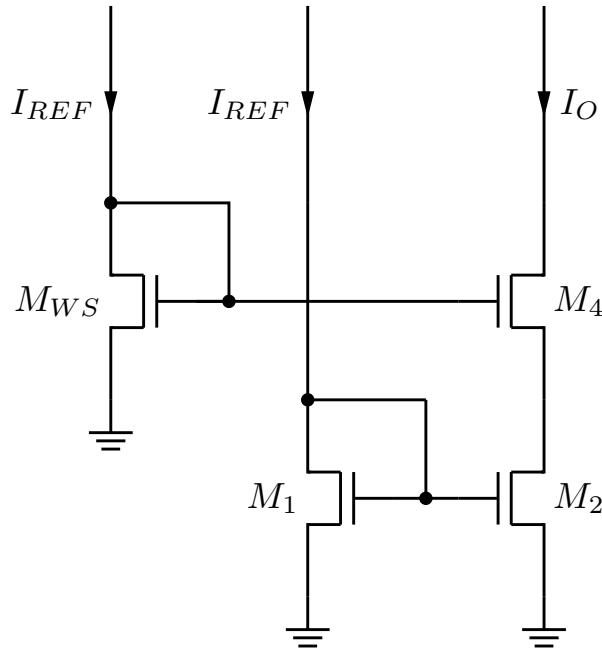
Problemem kaskody opisaney w ostatnim punkcie jest wysoka wartość minimalnego napięcia wyjściowego takiego lustra prądowego, równa:  $2 \times V_{DSsat} + V_{TH}$ . W obwodzie wyjściowym lustra mamy 2 szeregowo połączone tranzystory. Minimalnym napięciem jakie powinno być potrzebne aby tranzystory pozostały w nasyceniu jest:  $2 \times V_{DSsat}$ . Rys 2.7 przedstawia wymagane napięcia dla kaskody o obniżonym napięciu wyjściowym.

#### Generowanie napięcia polaryzacji tranzystora $M_4$

Aby wygenerować napięcie  $2 \times V_{DSsat} + V_{TH}$  potrzebne dla bramki tranzystora  $M_4$ , należy rozdzielić generowanie napięć dla bramek tranzystorów  $M_4$  i  $M_2$  na oddzielne gałęzie. Rozwiązanie zostało zaprezentowane na rys. 2.8. W celu uzyskania odpowiedniego napięcia na bramce tranzystora  $M_4$  możemy zmienić wymiary ( $W$  i  $L$ ) tranzystora  $M_{WS}$ . Napięcie  $V_{GS}$  tranzystora  $M_{WS}$  musi być równe wymagalnemu napięciu ( $2 \times V_{DSsat} + V_{TH}$ ) na bramce tranzystora  $M_4$ . Stąd mamy:

$$I_{REF} = \frac{K_n}{2} \frac{W_{M_{WS}}}{L_{M_{WS}}} (2(V_{GS} - V_{TH}) + V_{TH} - V_{TH})^2,$$

$$I_{REF} = \frac{K_n}{2} \frac{W_{M_{WS}}}{L_{M_{WS}}} 4(V_{GS} - V_{TH})^2.$$
(2.12)



Rysunek 2.8. Generowanie dodatkowego napięcia dla kaskody.

Przyrównując prądy płynące przez tranzystory  $M_1$  i  $M_{WS}$  otrzymujemy:

$$\frac{W}{L} = \frac{W_{M_{WS}}}{L_{M_{WS}}} \times 4, \quad (2.13)$$

lub gdy przyjmiemy takie same szerokości tranzystorów:

$$L_{M_{WS}} = 4 \times L. \quad (2.14)$$

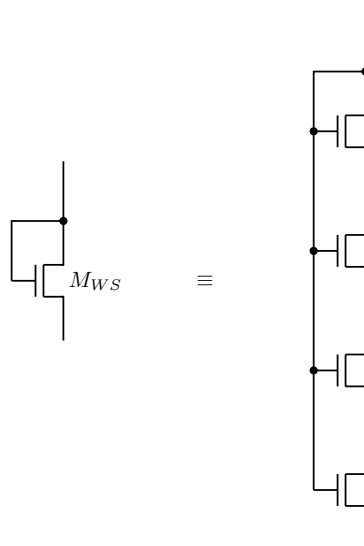
Aby uzyskać napięcie niezbędne do polaryzacji bramki tranzystora  $M_4$  (a przez co wymuszenia odpowiedniego napięcia na drenie tranzystora  $M_2$ ) należy użyć tranzystora o 4 razy dłuższym kanale.

Ze względu na lepsze dopasowanie tranzystorów podczas rysowania topografii układu, tranzystor  $M_{WS}$  realizuje się jako szeregowe połączenie tranzystorów, o takiej samej długości kanału jak pozostałe tranzystory lustra. Sposób realizacji widać na rys. 2.9. Długość kanału tranzystora  $M_{WS}$  równa czterem długościom kanału typowego tranzystora spowoduje, że napięcie  $V_{DS}$  tranzystora  $M_2$  będzie na granicy nasycenia. Ze względu na rozrzuty produkcyjne czy wahania napięcia zasilania może zdarzyć się, że napięcie na drenie  $M_2$  obniży się i tranzystor *wypadnie* z obszaru nasycenia. Dlatego należy zwiększyć trochę wartość napięcia na bramce  $M_4$ , poprzez uczynienie tranzystora  $M_{WS}$  dłuższym. Typowo jego długość dobiera się eksperymentalnie, tak aby  $M_2$  pozostał w nasyceniu z pewnym zapasem.

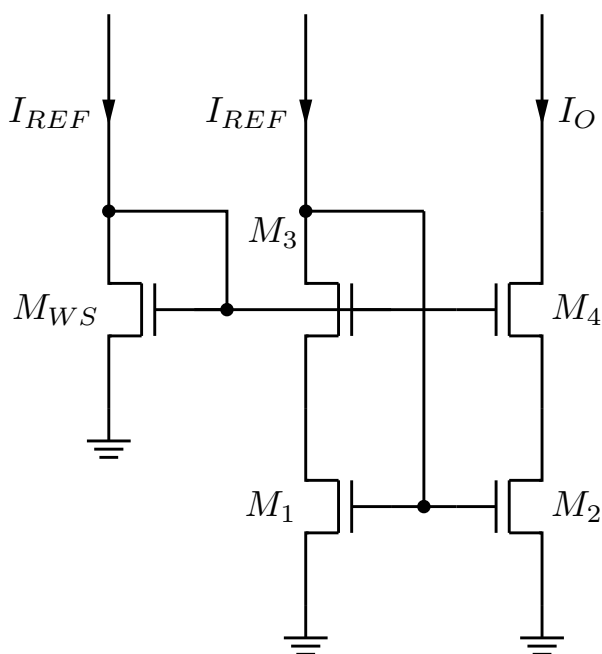
Dodatkowy prąd referencyjny  $I_{REF}$  dla tranzystora  $M_{WS}$  jest taki sam jak prąd referencyjny tranzystora  $M_1$ . Zazwyczaj uzyskuje się go poprzez powielenie prądu referencyjnego prostym lustrem prądowym.

### Wyrównanie napięć $V_{DS}$

Uważny czytelnik może zauważyć, że tranzystory  $M_1$  i  $M_2$  mają różne napięcia  $V_{DS}$ . Jak zostało napisane w sekcji 2.1.1 równość napięć dren - źródło tranzystorów jest krytycznym czynnikiem wpływającym na równość prądów drenu. Rozwiązanie tego problemu przedstawiono na rys. 2.10. Jest nim dodanie kolejnego tranzystora, który podobnie jak  $M_4$ , wymusi odpowiednie napięcie  $V_{DS}$  tranzystora referencyjnego  $M_1$ .

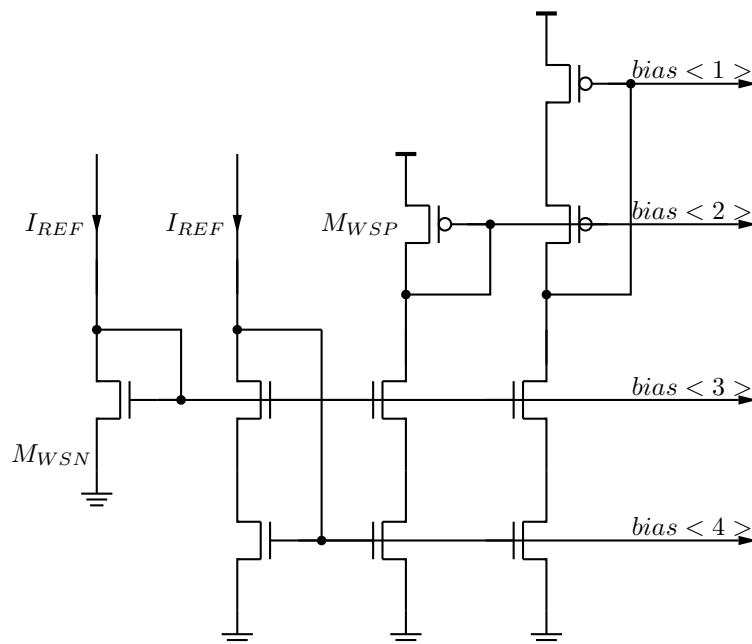


Rysunek 2.9. Realizacja tranzystora  $M_{WS}$ .



Rysunek 2.10. Wyrównanie napięć  $V_{DS}$  tranzystorów lustra.

### 3. Układ polaryzacji



Rysunek 3.1. Układ polaryzacji projektowany na zajęciach.

Przedstawione w poprzednim rozdziale kaskodowe lustro prądowe o zwiększonym zakresie napięcia wyjściowego jest podstawą bloku polaryzacji, jaki należy zaprojektować podczas laboratorium. Przedstawiony schemat jest uproszczony aby skupić się na tym co jest istotne. Blok generuje napięcia  $bias < 1 : 4 >$ , które można wykorzystać do zrobienia źródeł prądowych o dowolnej wartości. Układ to nic innego, jak połączone kaskodowe lustra prądowe z tranzystorów typu  $N$  i  $P$ .

## 4. Projekt bloku polaryzacji

Na zajęciach należy zmodyfikować blok *bias\_hs\_10u* z biblioteki *LIB2*. Dla projektowanego bloku przygotowane zostało środowisko testowe *bias\_sim*. Najważniejsze mierzone parametry zebrane zostały w tabeli 4.1.

Celem ćwiczenia jest takie zaprojektowanie układu polaryzacji, aby możliwe było proste zrobienie nowych źródeł prądowych poprzez wykorzystanie napięć *bias*  $< 1 : 4 >$ . Prąd wyjściowy źródła *i<sub>bias</sub>* powinien mieć wartość równą prądowi referencyjnemu (w tym przypadku  $10\ \mu A$ ), z dokładnością  $\pm 5\%$ .

Następnie należy policzyć teoretyczną wartość rezystancji wyjściowej źródeł (kaskodowego i zwykłego) i porównać ją z wynikami otrzymanymi z symulacji elektrycznej. W odróżnieniu od pierwszego ćwiczenia, należy przeprowadzić symulacje w narożnikach procesu (ang. *process corners*) oraz z wykorzystaniem analizy *Monte Carlo*, która symuluje rozrzuty produkcyjne.

Tablica 4.1. Mierzone parametry luster prądowych

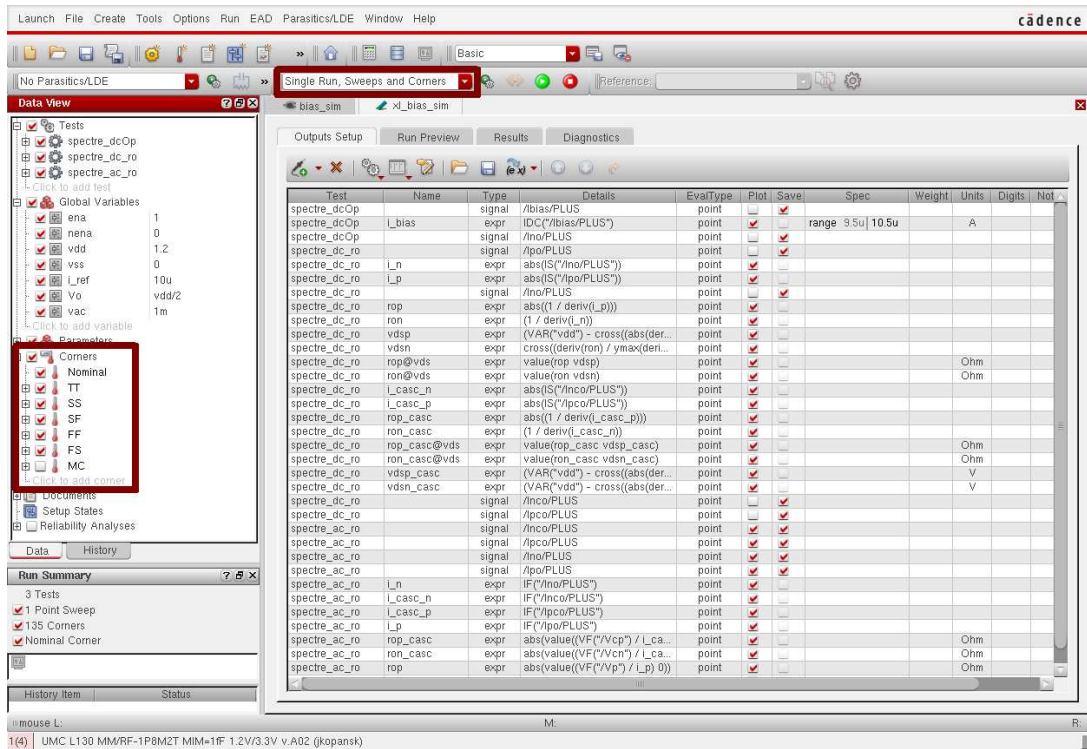
Nazwa	Opis
<i>i<sub>bias</sub></i>	Prąd wyjściowy lustra prądowego
<i>ron@vds</i>	Rezystancja wyjściowa zwykłego lustra prądowego przy napięciu wyjściowym równym <i>vdsn</i>
<i>rop@vds</i>	Rezystancja wyjściowa zwykłego lustra prądowego przy napięciu wyjściowym równym <i>vdsp</i>
<i>ron_casc@vds</i>	Rezystancja wyjściowa kaskodowego lustra prądowego przy napięciu wyjściowym równym <i>vdsn_casc</i>
<i>rop_casc@vds</i>	Rezystancja wyjściowa kaskodowego lustra prądowego przy napięciu wyjściowym równym <i>vdsp_casc</i>
<i>vdsn</i>	Wartość napięcia wyjściowego zwykłego lustra prądowego, dla którego rezystancja wyjściowa rośnie najszybciej
<i>vdsp</i>	Wartość napięcia wyjściowego zwykłego lustra prądowego, dla którego rezystancja wyjściowa rośnie najszybciej
<i>vdsn_casc</i>	Wartość napięcia wyjściowego kaskodowego lustra prądowego, dla którego rezystancja wyjściowa rośnie najszybciej
<i>vdsp_casc</i>	Wartość napięcia wyjściowego kaskodowego lustra prądowego, dla którego rezystancja wyjściowa rośnie najszybciej

### 4.1. Symulacja w narożnikach procesu

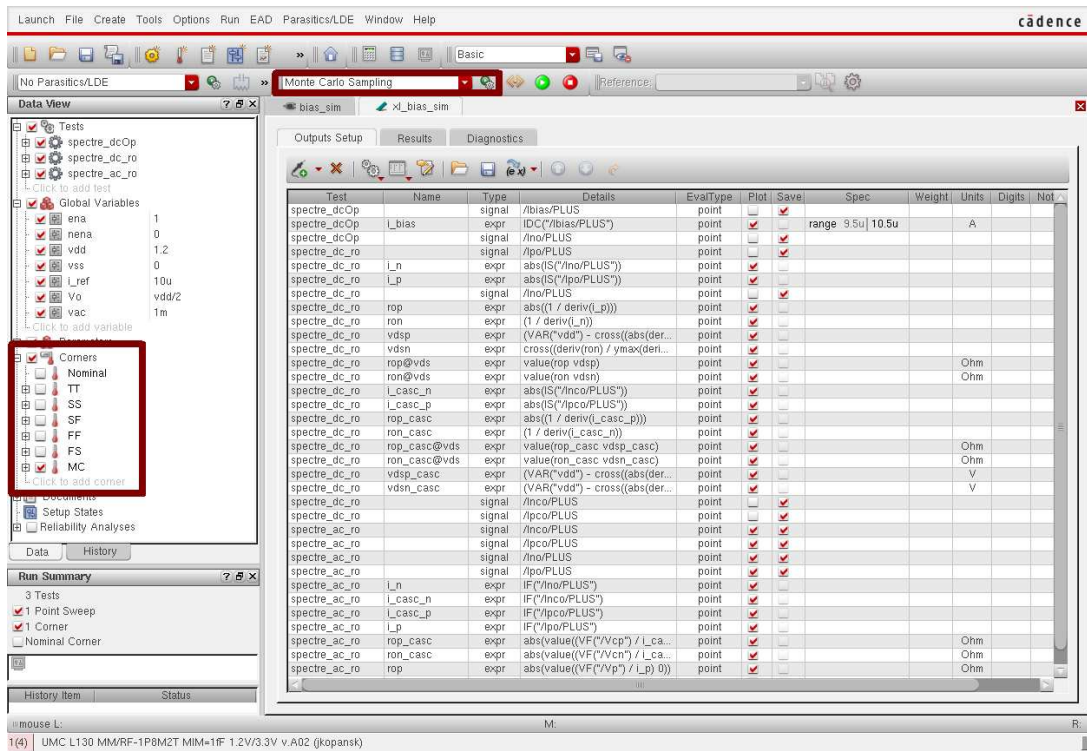
W celu uruchomienia symulacji *process corners* należy zaznaczyć opcje *corners* w panelu po lewej stronie okna *ADE (G)XL* a następnie wybrać, które skrajne przypadki chcemy symulować. Litery *T*, *F*, *S* oznaczają przypadki: *Typical*, *Fast* i *Slow* tranzystorów *MOS*. Pierwsza litera w nazwie narożnika procesu odnosi się do tranzystora typu *N*, druga zaś typu *P*. Opcja *MC* dotyczy symulacji *Monte Carlo* i w przypadku narożników procesów *nie może* być zaznaczona. Prawidłowa konfiguracja przedstawiona jest na rys. 4.1.

### 4.2. Analiza Monte Carlo

Aby wykonać analizę *Monte Carlo* należy wybrać specjalny przypadek analizy narożników procesu, nazwany *MC*. *Musi* to być jedyny zaznaczony skrajny przypadek. Należy także przed uruchomieniem



Rysunek 4.1. Konfiguracja symulacji narożników procesu.



Rysunek 4.2. Konfiguracja analizy Monte Carlo.

symulacji wybrać jej rodzaj z rozwijanej listy na pasku narzędzi. Ustawienia pokazano na rys. 4.2. Symulacje *Monte Carlo* należy jeszcze skonfigurować, a dokładnie podać ilość niezależnych symulacji z różnymi wartościami parametrów poddanych rozrzutom. Okno konfiguracji analizy wywołuje się poprzez kliknięcie ikonki obok listy wyboru rodzaju analizy, ikonę zaznaczono razem z listą również na rys. 4.2. Samo okno konfiguracji wraz z zaznaczonym polem do uzupełnienia przedstawia rys. 4.3.

The image shows a configuration window for Monte Carlo analysis. It includes sections for Statistical Variation (Process, Mismatch, All), Sampling Method (Random, Number of Points: 200), Results Database Save Options (Save Process Data, Save Mismatch Data), and Other Options (Use Reference Point, Run Nominal Simulation, Save Data to Allow Family Plots, Monte Carlo Seed, Starting Run Number). The 'Number of Points' field is highlighted with a red box.

Rysunek 4.3. Opcje analizy Monte Carlo.

#### 4.2.1. Równoległe uruchamianie symulacji

The image shows a 'Job Policy Name' configuration window. It includes sections for Setup (Optimize Single Point Run, Distribution Method: Local, Max. Jobs: 1), Timeouts (in Secs.) (Start Timeout, Configure Timeout, Simulation Run Timeout, Linger Time), Error reporting (Show output log on error, Show errors even if retrying test), and For Multiple Runs (Reassign immediately for new run, Wait until currently running points complete). The 'Max. Jobs' field is highlighted with a red box.

Rysunek 4.4. Opcje konfiguracji procesów.

Zarówno analiza *process corners* jak i *Monte Carlo* wykonuje wiele niezależnych symulacji, dlatego idealnie nadaje się do zrównoleglenia poprzez uruchomienie jej w wielu procesach. Opcje dotyczące ilości wykorzystywanych wątków znajdują się w menu: *Options* → *Job Setup...* i zaprezentowano je na rys. 4.4.