

POLITECHNIKA WARSZAWSKA
WYDZIAŁ ELEKTRONIKI I TECHNIK INFORMACYJNYCH
INSTYTUT MIKROELEKTRONIKI I OPTOELEKTRONIKI



Instrukcja do przedmiotu

Projektowanie układów analogowych dla systemów VLSI

EKSTRAKCJA PARAMETRÓW TRANZYSTORÓW

mgr inż. Jakub Kopański
dr inż. Tomasz Borejko

25 marca 2015

Spis treści

Spis rysunków	3
Spis tablic	4
1. Wstęp	5
1.1. Motywacja	5
1.2. Cel ćwiczenia	5
2. Model tranzystora MOS	7
2.1. Model kwadratowy	7
2.2. Właściwości modelu <i>kwadratowego</i>	8
2.2.1. Transkonduktancja g_m	8
2.2.2. Rezystancja wyjściowa r_{ds}	9
2.2.3. Napięcie progowe V_{TH}	10
2.2.4. Częstotliwość graniczna tranzystora f_T	11
2.3. Model tranzystora z <i>krótkim kanałem</i>	12
2.3.1. Napięcie nasycenia $V_{DS,sat}$	12
2.3.2. Częstotliwość graniczna tranzystora f_T	12
2.3.3. Prąd drenu i transkonduktancja g_m	12
2.3.4. Rezystancja wyjściowa r_{ds}	12
3. Wymiarowanie i polaryzacja tranzystorów	14
3.1. Parametry modeli	14
3.2. Długość kanału tranzystora	14
3.3. Napięcie nasycenia V_{DSsat} i V_{ov}	14
3.4. Szerokość kanału W	14
4. Określenie parametrów tranzystorów	15
4.1. Praca w środowisku <i>Virtuoso</i>	15
4.1.1. Uruchomienie	15
4.1.2. Obsługa symulatora	18
A. Parametry tranzystorów	19
Bibliografia	20

Spis rysunków

1.1.	<i>Spice monkey</i>	5
2.1.	Charakterystyka modelu tranzystora	7
2.2.	Tranzystor w połączeniu diodowym	8
2.3.	Wyznaczanie transkonduktancji	9
2.4.	Wyznaczanie rezystancji wyjściowej	10
2.5.	Sposoby wyznaczania napięcia progowego	10
2.6.	Pomiar częstotliwości granicznej f_T	11
2.7.	Rezystancji wyjściowa tranzystora z krótkim kanałem	13
4.1.	Edytor schematu i uruchomienie ustawień symulacji	15
4.2.	Otwarcie przygotowanych wcześniej ustawień symulacji	16
4.3.	Ustawienia symulacji	17

Spis tablic

4.1. Analizy	18
4.2. Zmienne do ustawień symulacji	18
A.1. Parametry tranzystorów	19

1. Wstęp

1.1. Motywacja

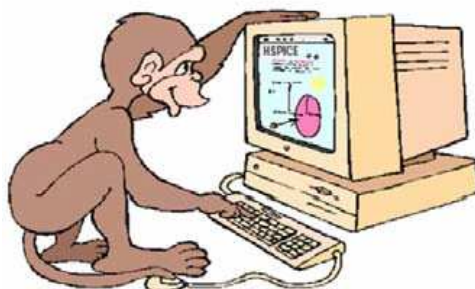
Rozwój technologii wytwarzania układów scalonych jest całkowicie podporządkowany względem ekonomicznym. Znaczna większość sprzedawanych układów to układy całkowicie cyfrowe lub układy, w których bloki analogowe zajmują niewielką część powierzchni. Dlatego procesy produkcji układów scalonych są optymalizowane tak, by uzyskać jak najlepsze parametry układów cyfrowych.

W praktycznie każdym urządzeniu czy systemie do przetwarzania bądź przesyłania informacji obok układów cyfrowych niezbędne są układy analogowe które zapewniają łączność, między światem fizycznym, w którym występują wyłącznie wielkości analogowe, a światem układów cyfrowych. Począwszy od układów generowania zegara jakim synchronizowane są współczesne procesory, przez dokładne przetworniki analogowo/cyfrowe, warstwy fizyczne magistrali danych takich jak: *DDR*, *USB* czy *PCIe*, aż po układy do komunikacji bezprzewodowej: *Bluetooth*, *WiFi*, *GSM*, *LTE*. Bloki analogowe oraz cyfrowe są często scalane w jednym układzie, co daje korzyści techniczne i zapewnia minimalny koszt. Takie układy określane są terminem *System on Chip (SoC)*. Implementacja bloków analogowych w technologiach CMOS przeznaczonych dla układów cyfrowych jest jednak dla projektanta tych bloków dużym utrudnieniem.

1.2. Cel ćwiczenia

W poprzednim rozdziale podane zostało uzasadnienie projektowania układów analogowych w nowoczesnych technologiach CMOS. Proste modele matematyczne tranzystorów MOS nie opisują charakterystyk współcześnie produkowanych tranzystorów z dostateczną dokładnością. Zaprojektowanie bez nich dobrze działającego układu scalonego jest praktycznie niemożliwe. Standardem przemysłowym używanym przy projektowaniu układów scalonych jest model BSIM4 [1]. Będzie on również wykorzystywany podczas laboratorium.

Pierwszym etapem projektowania każdego układu są obliczenia *od ręczne*. Z racji użycia mało dokładnych modeli obarczone są błędem, ale pozwalają szybko znaleźć dobry punkt startowy do dalszej optymalizacji, a także odrzucić podejścia z góry skazane na porażkę. Wyrabiają także umiejętność analizy układów i zmniejszają liczbę czasochłonnych symulacji. *Projektantów*, którzy zamiast zrozumieć działanie układów uruchamiają coraz to nowe symulacje komputerowe w nadziei, że układ *jakoś zadziała*, określa się żartobliwie mianem *Spice monkey*, rys. 1.1.



Rysunek 1.1. *Spice monkey*. Źródło: [2]

Celem ćwiczenia jest zapoznanie studentów z modelami tranzystorów MOS, użytecznymi w obliczeniach odręcznych, pokazanie sposobu ekstrakcji parametrów tych modeli (ze złożonych modeli używanych w symulacjach komputerowych), a także takie wymiarowanie tranzystorów, aby zapewnić im pożądany punkt pracy.

W trakcie laboratorium przeprowadzone zostaną symulacje tranzystorów wchodzących w skład nowoczesnej technologii firmy *United Microelectronics Corporation* o wymiarze charakterystycznym 130 nm . Dla tranzystorów dostępnych w używanej technologii firma *UMC* dostarcza wartości parametrów modelu BSIM. Poprzez symulację uzyskane zostaną charakterystyki tranzystorów, które będą traktowane jak *dane pomiarowe* i posłużą do wyznaczenia parametrów prostych modeli, nadających się do obliczeń odręcznych.

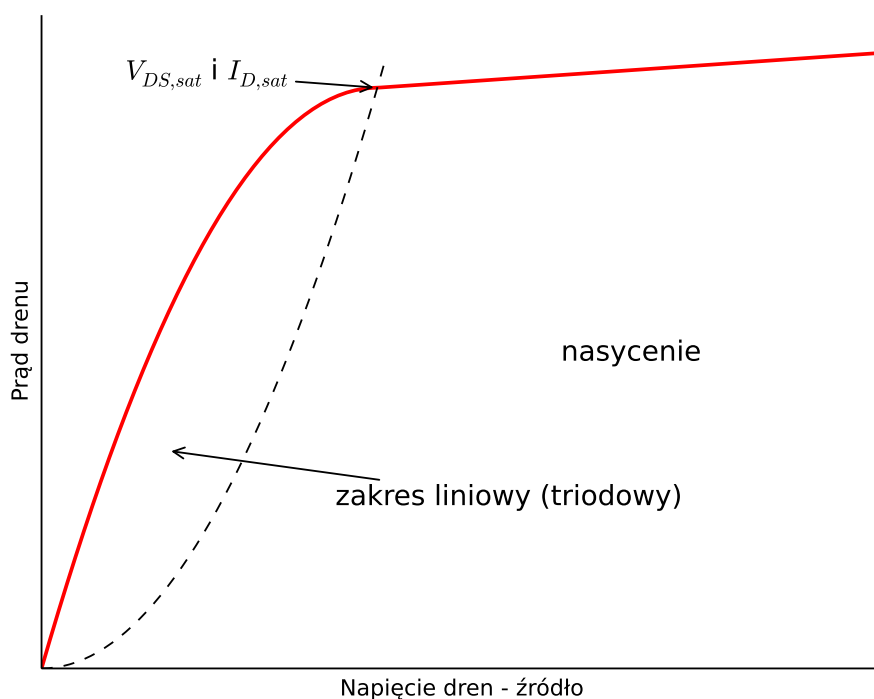
W ramach laboratorium studenci wykorzystywać będą oprogramowanie *Virtuoso* firmy *Cadence*. W celu usprawnienia przebiegu laboratorium, wcześniej przygotowane zostały:

- schemat do symulacji,
- ustawienia symulatora,
- wyrażenia w języku *Skill*, obliczające parametry prostego modelu na podstawie charakterystyk tranzystorów otrzymanych poprzez symulacje komputerową.

Wynikiem pracy w laboratorium będzie uzupełniona tabela A.1. Wartości uzyskane podczas ćwiczenia i zebrane w tabli A.1, posłużą jako punkt startowy projektów realizowanych na kolejnych ćwiczeniach.

2. Model tranzystora MOS

2.1. Model kwadratowy



Rysunek 2.1. Charakterystyka modelu tranzystora

Klasyczne równanie opisujące prąd drenu tranzystora ma postać:

$$I_D = \mu C_{ox} \cdot \frac{W}{L} \cdot \frac{(V_{GS} - V_{TH})^2}{2} (1 + \lambda V_{DS}) \quad (2.1)$$

dla $V_{DS} \geq V_{DSsat}$ i $V_{GS} \geq V_{TH}$, gdzie μC_{ox} oznaczamy $K_{n,p}$ odpowiednio dla tranzystorów nMOS i pMOS. Charakterystykę tranzystora opisaną tym równaniem pokazano na rys. 2.1. V_{DSsat} jest napięciem, przy którym tranzystor przechodzi z obszaru liniowego w obszar nasycenia. Dla przyrządów długo-kanałowych (ang. *long - channel*) można zapisać:

$$V_{DSsat} = V_{GS} - V_{TH}. \quad (2.2)$$

Należy zwrócić uwagę, że chociaż wzór (2.2) jest prawdziwy tylko dla przybliżenia długo - kanałowego to zarówno dla tranzystorów długo- jak i krótko - kanałowych, V_{DSsat} wyznacza granicę napięcia V_{DS}

między zakresem liniowym a zakresem nasycenia. W przypadku granicznym prąd drenu można opisać równaniem:

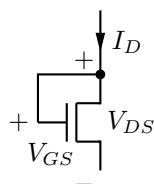
$$I_D = K \cdot \frac{W}{L} \cdot \frac{(V_{GS} - V_{TH})^2}{2} = K \frac{W}{L} \frac{(V_{DSsat})^2}{2} \quad (2.3)$$

co pozwala przepisać wzór (2.1) jako:

$$I_D = I_{Dsat} + I_{Dsat} \lambda \cdot V_{DS} \quad (2.4)$$

W obszarze nasycenia tranzystor zachowuje się jak źródło prądowe wymuszające prąd o wartości I_{Dsat} oraz równolegle połączony rezystor o wartości:

$$r_{ds} = \frac{1}{\lambda I_{Dsat}} \quad (2.5)$$



Rysunek 2.2. Tranzystor w połączeniu diodowym

Na rys. 2.2. pokazano tranzystor, którego bramkę i dren zwarto. Takie połączenie nazywamy diodowym. Jest to bardzo często występująca struktura w układach analogowych. Ponieważ $V_{GS} = V_{DS}$, to przy $V_{GS} \geq V_{TH}$ (jeżeli przez tranzystor będzie płynął prąd), aby tranzystor pracował w nasyceniu musi być spełniony warunek: $V_{DS} \geq V_{GS} - V_{TH}$, co daje: $0 \geq -V_{TH}$. Wynik ten mówi, że tranzystor w połączeniu diodowym jest *zawsze* w nasyceniu.

2.2. Właściwości modelu kwadratowego

2.2.1. Transkonduktancja g_m

Jednym z najważniejszych parametrów tranzystora, używanym przy projektowaniu układów analogowych, jest transkonduktancja. Jest ona pochodną prądu drenu po napięciu bramka - źródło.

$$g_m = \left. \frac{\delta I_D}{\delta V_{GS}} \right|_{V_{DS}=const} \quad (2.6)$$

Małosygnałowa składowa prądu drenu i_d wiąże się z małosygnałową składową napięcia bramki v_{gs} zależnością:

$$i_d = g_m \times v_{gs}, \quad (2.7)$$

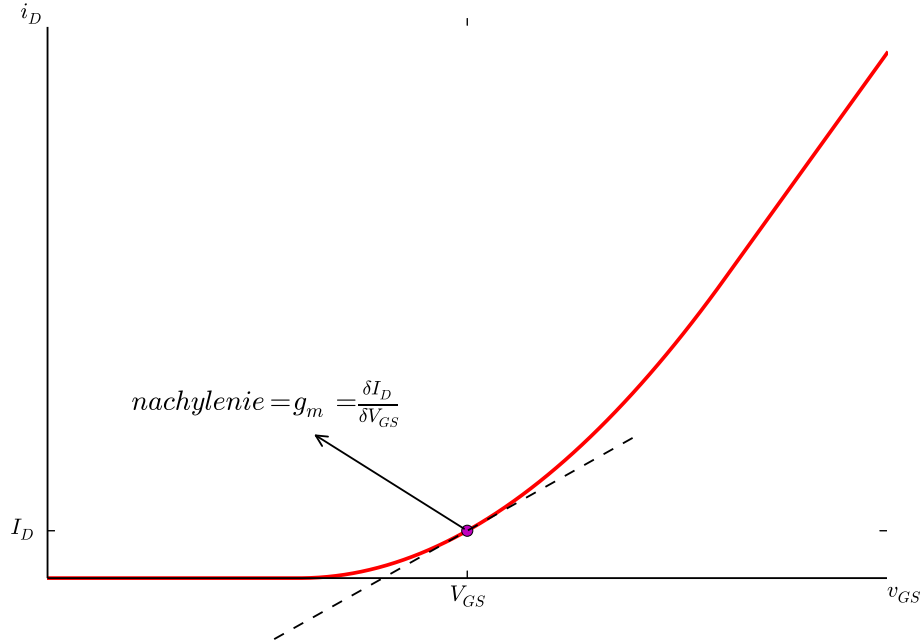
gdzie $|v_{gs}| \ll V_{GS}$ i $|i_d| \ll I_D$.

Różniczkując (2.1) otrzymujemy:

$$g_m = \beta(V_{GS} - V_{TH}) = \sqrt{2\beta I_D} = \frac{2I_D}{V_{GS} - V_{TH}}, \quad (2.8)$$

gdzie $\beta = K \frac{W}{L}$. Warto zauważyć, że wartość transkonduktancji (w zakresie nasycenia) rośnie proporcjonalnie do napięcia V_{GS} oraz proporcjonalnie do pierwiastka prądu drenu.

Transkonduktancję można wyznaczyć z charakterystyki przejściowej tranzystora. Wartość transkonduktancji jest równa nachyleniu stycznej do wykresu prądu drenu w funkcji napięcia bramka - źródło w punkcie pracy. Ten sposób wyznaczania transkonduktancji zaprezentowano na rys. 2.3.



Rysunek 2.3. Wyznaczanie transkonduktancji

2.2.2. Rezystancja wyjściowa r_{ds}

Wzór (2.5) nieformalnie określa rezystancję wyjściową w nasyceniu dla modelu kwadratowego. Formalnie rezystancja wyjściowa jest odwrotnością konduktancji wyjściowej:

$$r_{ds}^{-1} = g_{ds} = \left. \frac{\delta I_D}{\delta V_{DS}} \right|_{V_{GS}=\text{const}} \quad (2.9)$$

Co po zróżniczkowaniu (2.1) daje ten sam wynik, co (2.5).

Jeżeli wyznaczymy r_{ds} , to λ możemy obliczyć jako:

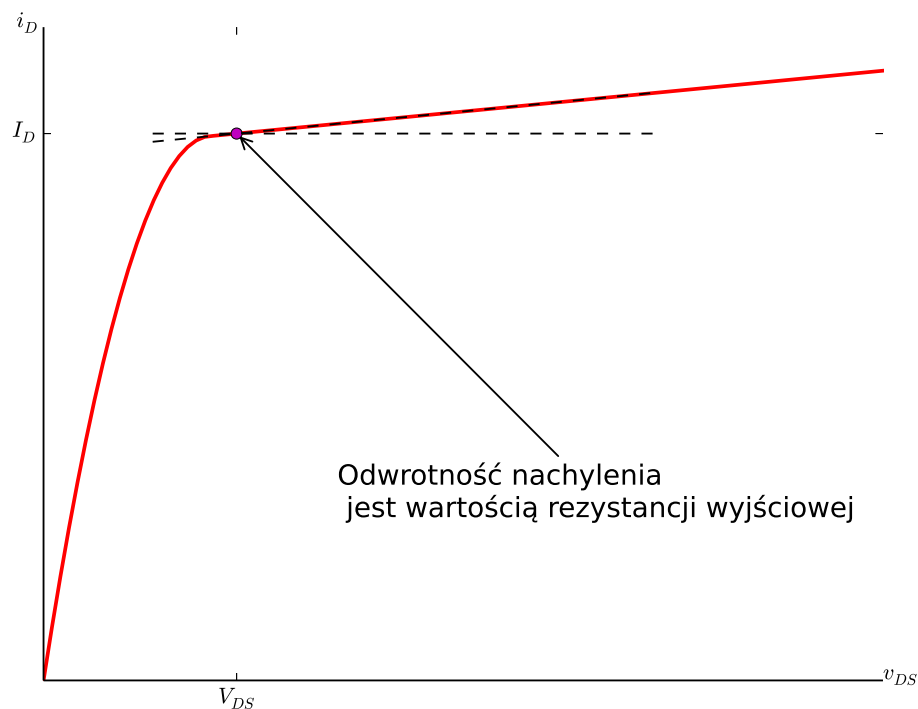
$$\lambda = \frac{1}{I_{DSat} \cdot r_{ds}} \quad (2.10)$$

Parametr λ ma tym większą wartość, im krótszy jest kanał tranzystora, w pierwszym przybliżeniu można przyjąć, że $\lambda \propto \frac{1}{L}$. Wówczas z (2.5) wynika, że:

$$r_o \propto \frac{L^2}{V_{DSsat}^2} \quad (2.11)$$

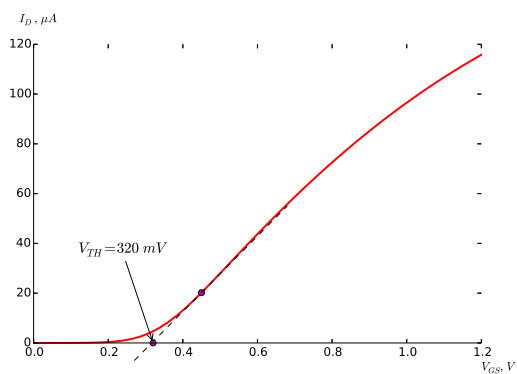
Z zależności (2.11) możemy wnioskować, że dla stałego napięcia V_{GS} , gdy zwiększamy długość kanału to rezystancja wyjściowa rośnie. Przy zachowaniu stałej długości kanału rezystancję wyjściową można zwiększyć zmniejszając V_{DSsat} . Warto zauważyć, że efektem ubocznym takich działań będzie zmniejszenie prądu drenu. Zobaczymy dalej, że w układach analogowych korzystne jest, aby rezystancja wyjściowa była jak największa. Skłania to do projektowania tranzystorów z długimi kanałami ale — jak zobaczymy — takie podejście ma również swoje wady.

Rezystancje wyjściową można wyznaczyć również graficznie, co pokazano na rys. 2.4. Jest ona równa odwrotności nachylenia charakterystyki prądu drenu w zakresie nasycenia.

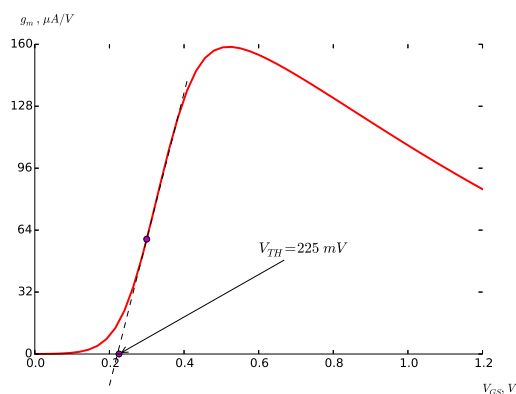


Rysunek 2.4. Wyznaczanie rezystancji wyjściowej

2.2.3. Napięcie progowe V_{TH}



(a) Na podstawie charakterystyki przejściowej



(b) Na podstawie charakterystyki transkonduktancji w funkcji napięcia bramka-źródło

Rysunek 2.5. Sposoby wyznaczania napięcia progowego

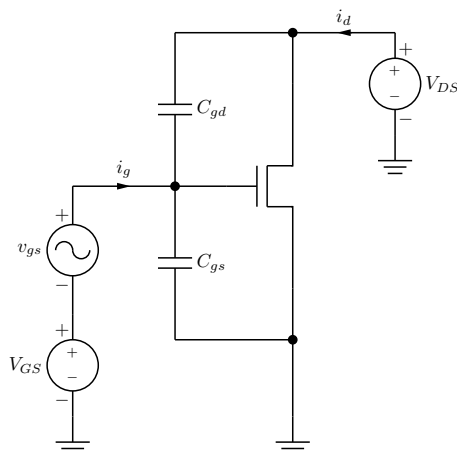
Kolejnym istotnym parametrem jest napięcie progowe tranzystora. Parametr ten nie ma jednoznacznej, ścisłej definicji, jego wartość można więc wyznaczyć rozmaicie w zależności od tego, do jakich obliczeń jest ta wartość potrzebna. Typowo można wyznaczyć je korzystając z charakterystyki przejściowej tranzystora z rys. 2.3. Napięcie progowe jest równe wartości napięcia V_{GS} , dla którego styczna z rys. 2.3 przecina się z osią odciętych. Metoda ta jest dobra dla tranzystora pracującego w stanie silnej inwersji,

gdy $V_{GS} \gg V_{TH}$. W przypadku podobnym jak na rys. 2.3., gdy napięcie bramka-źródło jest tylko nieznacznie większe od napięcia progowego, trudno jest wyznaczyć styczną, przez co również trudno jest określić napięcie progowe. Wyznaczanie napięcia progowego dodatkowo może skomplikować praca z napięciem dren-źródło tylko nieznacznie większym od napięcia nasycenia V_{DSsat} . W takim przypadku charakterystyka przejściowa ma kształt zaprezentowany na rys. 2.5a., który odbiega od wcześniej prezentowanego przebiegu z rys. 2.3.

W innej metodzie wykorzystuję się liniową zależność transkonduktancji od napięcia bramka-źródło $g_m = \beta(V_{GS} - V_{TH})$. Potrzebna charakterystyka widoczna jest na rys. 2.5b.. Uzyskuje się ją poprzez obliczenie pochodnej prądu drenu po napięciu V_{GS} . Na wykresie prowadzi się styczną z zakresu liniowej zależności transkonduktancji od V_{GS} . Napięcie V_{GS} , dla którego styczna przecina oś odciętych jest napięciem progowym V_{TH} , zgodnie ze wzorem (2.8).

Obie metody dają różne wyniki. Ze względu na to, że przewidujemy prace tranzystora w pośredniej inwersji, przy małym zapasie napięcia dren-źródło ponad napięcie nasycenia, zastosujemy metodę z rys. 2.5b.

2.2.4. Częstotliwość graniczna tranzystora f_T



Rysunek 2.6. Pomiar częstotliwości granicznej f_T

Na rys. 2.6. zaprezentowano układ do pomiaru częstotliwości granicznej tranzystora f_T . Dla sygnału dren tranzystora jest zwarty (przez źródło DC) do masy. Dzięki temu pojemności C_{gd} i C_{gs} , dla sygnału, są połączone równolegle. Można zatem zapisać:

$$v_{gs} = \frac{i_g}{j\omega \cdot (C_{gs} + C_{gd})} \quad (2.12)$$

Ponieważ, jak wiemy ze wzoru (2.7): $i_d = g_m \times v_{gs}$, możemy zapisać:

$$\left| \frac{i_d}{i_g} \right| = \frac{g_m}{2\pi f \cdot (C_{gs} + C_{gd})} \quad (2.13)$$

Częstotliwością graniczną tranzystora f_T nazywamy częstotliwość sygnału dla którego wzmocnienie prądowe, spada do wartości 1. Wzmocnienie prądowe ma sens tylko dla sygnału wielkiej częstotliwości. Prąd wejściowy i_g istnieje z powodu występowania pojemności zaznaczonych na rys. 2.6.

Uwzględniając, że $C_{gs} \gg C_{gd}$, można zapisać:

$$f_T \approx \frac{g_m}{2\pi f C_{gs}} = \frac{3KP \cdot (V_{GS} - V_{TH})}{4\pi \cdot L^2 C'_{ox}} = \frac{3\mu}{4\pi} \cdot \frac{V_{DS,sat}}{L^2} \quad (2.14)$$

W stanie nasycenia przybliżona wartość pojemności C_{gs} wynosi $\frac{2}{3}WLC'_{ox}$.

Wnioski płynące ze wzoru (2.14) są bardzo istotne. Projektując układy przeznaczone do pracy przy wielkich częstotliwościach, należy używać tranzystorów o minimalnych długościach kanałów oraz pracujących przy wysokim napięciu nasycenia $V_{DS,sat}$. Jednak tranzystory z krótkim kanałem mają małą

wartość rezystancji wyjściowej (patrz punkt 2.2.2), czego konsekwencją jest — jak zobaczymy później — mała wartość wzmocnienia napięciowego. Z kolei duża wartość napięcia nasycenia utrudnia uzyskanie dużej amplitudy napięcia na wyjściu wzmacniacza.

2.3. Model tranzystora z *krótkim kanałem*

W niniejszym rozdziale zostaną przedstawione odstępstwa od poprzedniego modelu wprowadzone aby uchwycić efekty *krótkiego kanału* (ang. *short-channel effects*) jakie występują w nowoczesnych technologiach o małym wymiarze charakterystycznym.

2.3.1. Napięcie nasycenia $V_{DS,sat}$

Bardzo ważny wzór (2.2) określający napięcie nasycenia tranzystora *nie ma zastosowania* dla tranzystorów z krótkim kanałem, ponieważ model kwadratowy nie opisuje z dostateczną dokładnością ich charakterystyk. Różnica pomiędzy napięciem bramka-źródło, a napięciem progowym, w przypadku tranzystora krótko-kanałowego, jest nazywana napięciem *przesterowania* (ang. *overdrive*). Termin *przesterowanie* w języku polskim jest używany w trochę innym znaczeniu, jednak autor niniejszej instrukcji nie spotkał się, z polskim tłumaczeniem, które dobrze oddawałoby charakter nadmiaru napięcia V_{GS} nad V_{TH} . Podsumowując, w przypadku tranzystora krótko-kanałowego:

$$V_{ov} = V_{GS} - V_{TH} \neq V_{DSsat} \quad (2.15)$$

2.3.2. Częstotliwość graniczna tranzystora f_T

Dla tranzystorów krótko-kanałowych ruchliwość nośników nie jest stała, ale maleje przy zmniejszaniu długości kanału. Jest to efekt nasycenia prędkości nośników, spowodowany większym polem elektrycznym w kanale. Z tego względu we wzorze (2.14) składnik $\frac{\mu}{L}$ można potraktować jako stały i zapisać

$$f_t \approx \frac{g_m}{2\pi C_{gs}} \propto \frac{V_{ov}}{L} \quad (2.16)$$

Wnioski pozostają podobne jak w rozdziale 2.2.4. Gdy zależy nam na pracy tranzystora w zakresie wysokich częstotliwości, należy używać większych wartości napięcia V_{ov} , kosztem zmniejszonego zakresu napięcia sygnału na wyjściu wzmacniacza.

2.3.3. Prąd drenu i transkonduktancja g_m

Dla tranzystora krótko-kanałowego prąd drenu ma postać [3]:

$$I_D = W \cdot \nu_{sat} \cdot C'_{ox} (V_{GS} - V_{TH} - V_{DSsat}) \quad (2.17)$$

Transkonduktancję można wyznaczyć tak jak poprzednio we wzorze (2.6):

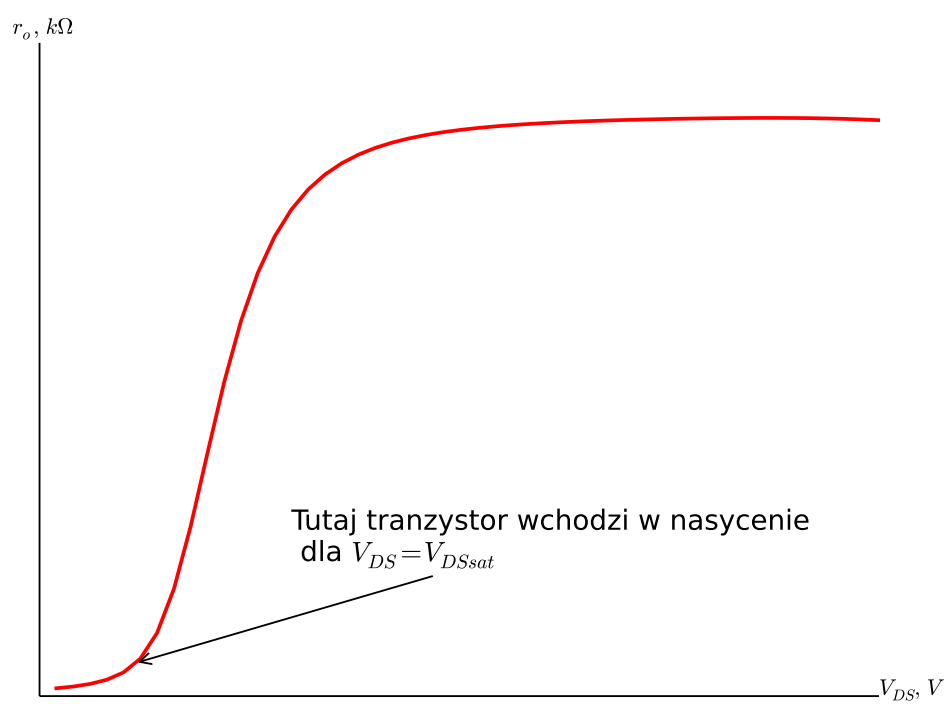
$$g_m = \left. \frac{\delta I_D}{\delta V_{GS}} \right|_{V_{DS}=const} = \frac{\delta}{\delta V_{GS}} (W \cdot \nu_{sat} \cdot C'_{ox} (V_{GS} - V_{TH} - V_{DSsat})) = \nu_{sat} \cdot C'_{ox} \cdot W \quad (2.18)$$

Transkonduktancja tranzystora krótko-kanałowego w pierwszym przybliżeniu zależy tylko od szerokości kanału (gdy dojdzie do nasycenia prędkości nośników). Jednak w rzeczywistości istnieją inne bardziej skomplikowane efekty fizyczne, które sprawiają, że g_m *rośnie wraz ze wzrostem napięcia V_{GS} lub V_{DS}* .

2.3.4. Rezystancja wyjściowa r_{ds}

Rezystancję wyjściową wyznaczamy podobnie jak w przypadku tranzystora z długim kanałem biorąc odwrotność pochodnej prądu drenu po napięciu dren-źródło. Charakterystykę rezystancji wyjściowej w funkcji napięcia dren-źródło zaprezentowano na rys. 2.7.

Ten sam wykres służy również do orientacyjnego wyznaczenia napięcia nasycenia. Wartość napięcia V_{DS} , poczynając od której rezystancja wyjściowa zaczyna *gwałtownie* rosnąć, możemy uważać za napięcie nasycenia V_{DSsat} . Warto zwrócić uwagę, że używając większych wartości napięcia V_{DS} można uzyskać znacznie większą rezystancję wyjściową. To ważne spostrzeżenie, do którego powrócimy w kolejnym ćwiczeniu przy projektowaniu luster prądowych.



Rysunek 2.7. Rezystancji wyjściowa tranzystora z krótkim kanałem

3. Wymiarowanie i polaryzacja tranzystorów

3.1. Parametry modeli

W rozdziale 2 przedstawione zostały przybliżone modele tranzystorów. Są one niezbędne przy projektowaniu i analizie układów elektronicznych. Producent układów dostarcza jedynie wartości parametrów modelu BSIM, lub innego podobnie złożonego, dobranego doświadczalnie tak, by jak najdokładniej opisać charakterystyki tranzystorów produkowanych w danej technologii. Wartości parametrów modelu bardziej złożonego nie mogą być użyte w modelu prostszym. W ćwiczeniu nauczymy się określać wartości parametrów prostego modelu na podstawie modelu dostarczanego przez producenta układów.

Pokazany w ćwiczeniu sposób określenia parametrów modelu opisany jest w literaturze, poz. [3], rozdział 9.

3.2. Długość kanału tranzystora

Bazując na tym co zostało powiedziane w rozdziale 2 można napisać kilka ogólnych porad na temat wymiarowania tranzystorów. Typowo w projektach analogowych staramy się nie używać minimalnych długości kanału tranzystora (dokładnie rzecz ujmując, minimalnych wymiarów w ogóle). Na potrzeby ćwiczenia wartością, od jakiej można zacząć projekt jest długość kanału od 2 do 5 razy większa niż minimalna możliwa.

3.3. Napięcie nasycenia V_{DSsat} i V_{ov}

W celu wykonania ćwiczenia należy przyjąć początkową wartość napięcia V_{DSsat} i V_{ov} . W pierwszym przybliżeniu można przyjąć wartość równą 5% napięcia zasilania V_{dd} , co dla technologii używanej na zajęciach, daje wartość równą 5% $1,2\text{ V} = 60\text{ mV}$. Jest to przybliżone oszacowanie napięcia V_{ov} i często modyfikuje się uzyskany wynik tak, by po dodaniu do V_{TH} dawał *okrągłą* wartość napięcia V_{GS} .

3.4. Szerokość kanału W

Wybór szerokości kanału przy ustalonych w poprzednich punktach napięciach i wymiarach podyktowany jest pożądaną wartością prądu drenu w punkcie pracy. W ramach ćwiczeń można przyjąć, że prąd drenu tranzystora, jaki chcemy uzyskać w punkcie pracy, wynosi $10\text{ }\mu\text{A}$.

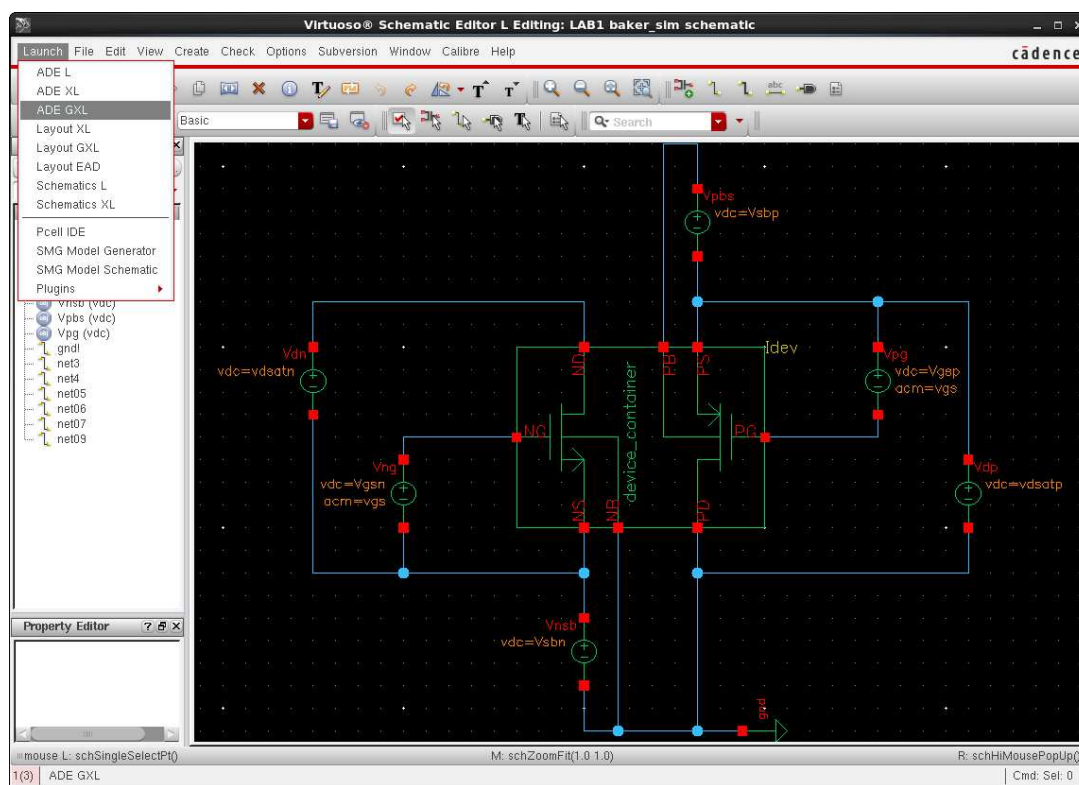
4. Określenie parametrów tranzystorów

4.1. Praca w środowisku *Virtuoso*

4.1.1. Uruchomienie

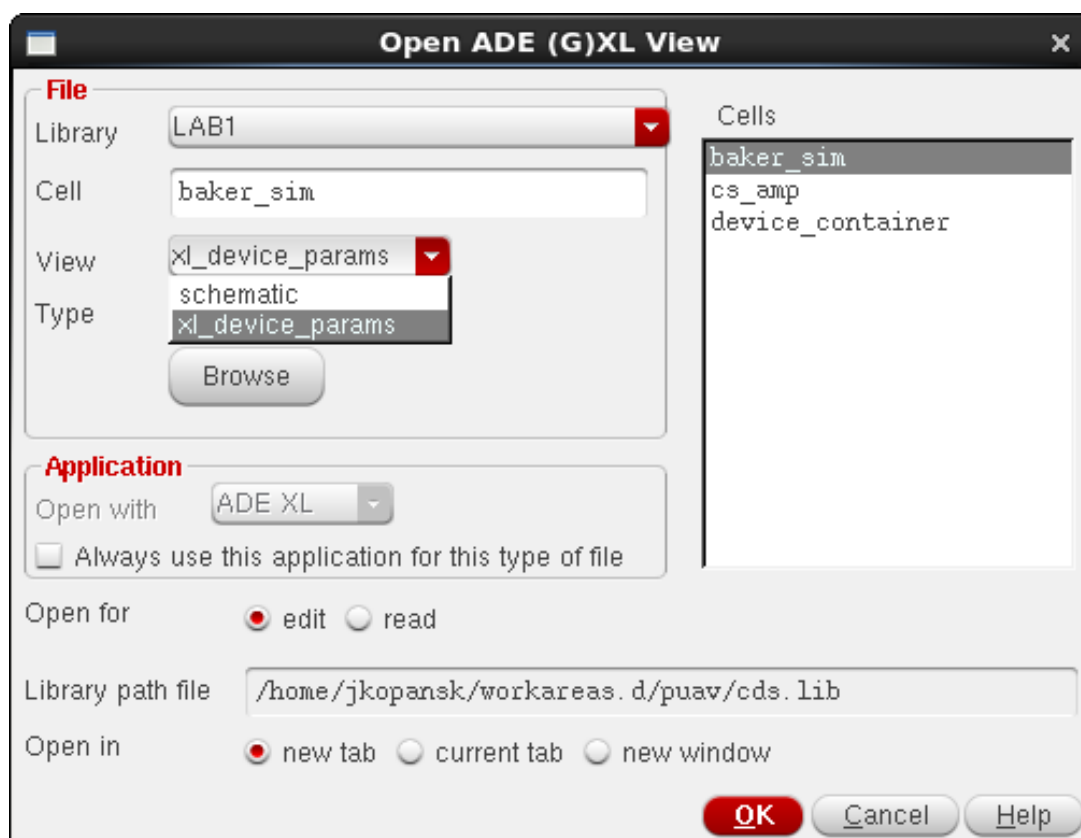
Konfiguracja, uruchomienie oraz podstawy użytkowania środowiska *Cadence Virtuoso* opisano w osobnym dokumencie [4].

Podczas ćwiczenia 1 będziemy korzystać z komórki *baker_sim* z biblioteki *LAB1*.



Rysunek 4.1. Edytor schematu i uruchomienie ustawień symulacji

Na rys. 4.1. pokazano edytor schematu z komórką *baker_sim*. Aby możliwa była symulacja układu, należy jeszcze otworzyć ustawienia symulacji. W tym celu, w oknie edytora schematu należy wybrać *Launch -> ADE GXL*, co pokazano na rys. 4.1. W oknie jakie się pojawi należy zaznaczyć opcje *Open existing cellview* i wcisnąć *OK*. W kolejnym nowo otwartym oknie należy wybrać odpowiedni *View*, jak ilustruje rys. 4.2..



Rysunek 4.2. Otwarcie przygotowanych wcześniej ustawień symulacji

4.1.2. Obsługa symulatora

Na rys. 4.3. pokazano okno przygotowania symulacji wraz z zaznaczonymi kluczowymi elementami. Praca z układem na ćwiczeniu polega na modyfikowaniu zmiennych parametrów symulacji, parametrów tranzystorów, a następnie weryfikowaniu wyników symulacji.

W tabeli 4.1 zebrane zostały predefiniowane symulacje, oraz jakie parametry są wyznaczane z charakterystyk uzyskanych w danej symulacji.

Napięcie progowe wyznaczone jest tak, jak zostało to zaprezentowane na rys. 2.5b. Charakterystykę transkonduktancji w funkcji napięcia bramka-źródło, niezbędną do wyznaczenia napięcia progowego, otrzymuje się korzystając z wbudowanej w środowisko *Virtuoso* funkcji różniczkowania.

Wartość transkonduktancji jest odczytywana z otrzymanego wcześniej przebiegu dla napięcia $V_{GS} = vth(n/p) + vov(n/p)$, gdzie $vth(n/p)$ i $vov(n/p)$ to zmienne opisane w tabeli 4.2.

Aby wyznaczyć rezystancję wyjściową, różniczkuję się charakterystykę wyjściową, a następnie oblicza się odwrotność pochodnej, zgodnie z definicją podaną przez wzór (2.9). Wartość rezystancji wyjściowej, jaka jest zwracana w oknie wyników, jest wartością dla wyznaczonego wcześniej prądu drenu.

Wartość I_D jaką można zobaczyć w oknie wyników, jest wartością dla napięcia dren-źródło równego $V_{ds}(n/p)$.

Wynik $V_{ds}(n/p)$ to wartość napięcia dren-źródło, dla którego tranzystor powinien być w nasyceniu z pewnym zapasem. Jest to napięcie dren - źródło, dla którego rezystancja wyjściowa *rośnie* najszybciej, czyli wartość pochodnej r_{ds} po napięciu V_{DS} jest największa.

Częstotliwość graniczna f_T tranzystora wyznaczona jest z definicji, tzn. jest to częstotliwość dla której wzmacnienie prądowe, określone wzorem (2.13), osiąga wartość 1. Jedyną różnicą to taka, że w symulacji możliwy jest bezpośredni dostęp do prądów: i_g oraz i_d .

Tablica 4.1. Analizy

Test	Wyznaczane parametry	Opis
Vthn	V_{THN}, g_{mn}	symulacja określająca charakterystykę przejściową $I_D(V_{GS})$ przy stałym V_{DS} równym wartości zmiennej vdsatn
Vthp	V_{THP}, g_{mp}	symulacja określająca charakterystykę przejściową $I_D(V_{GS})$ przy stałym V_{DS} równym wartości zmiennej vdsatp
ron	$I_D, r_o, V_{DS,sat}$	symulacja określająca charakterystykę wyjściową $I_D(V_{DS})$ przy stałym V_{GS} równym Vthn + Vovn
rop	$I_D, r_o, V_{DS,sat}$	symulacja określająca charakterystykę wyjściową $I_D(V_{DS})$ przy stałym V_{GS} równym Vthp + Vovp
fT	f_T	symulacja określająca częstotliwość graniczną tranzystora

Tablica 4.2. Zmienne do ustawień symulacji

Zmienna	Opis
Vsbn	napięcie źródło - podłoże tranzystora typu N
Vsbp	napięcie źródło - podłoże tranzystora typu P
Vdd	napięcie zasilania
Vthn	napięcie progowe tranzystora typu N
Vovn	napięcie <i>overdrive</i> tranzystora typu N
Vthp	napięcie progowe tranzystora typu P
Vovp	napięcie <i>overdrive</i> tranzystora typu P
vdsatn	napięcie V_{DS} tranzystora typu N przy której wykonywane są symulacje
vdsatp	napięcie V_{DS} tranzystora typu P przy której wykonywane są symulacje

A. Parametry tranzystorów

Tabela z parametrami tranzystorów oraz z miejscami do uzupełnienia. Wypełniona tabela stanowi wynik ćwiczenia, podpisaną należy oddać prowadzącemu. Należy zachować wypełnioną kopie, ponieważ wyniki będą potrzebne na kolejnych laboratoriach.

Tablica A.1. Parametry tranzystorów

Parameter	nmos	pmos	Komentarz
Prąd polaryzacji, I_D	$10 \mu A$	$10 \mu A$	Wartość przybliżona
L			
WF			Szerokość pojedynczego <i>palca</i>
nf			Liczba <i>palców</i>
m			Mnożnik równoległych tranzystorów
WT			Całkowita szerokość: $WF \times nf \times m$
$V_{DS,sat}$			
V_{DS}			Wybrany punkt pracy
V_{ov}			
V_{GS}			
V_{TH}			
ν_{sat}	$95 \times 10^3 \frac{m}{s}$	$117 \times 10^3 \frac{m}{s}$	Z parametrów modelu BSIM
t_{ox}	$2.73 nm$	$2.86 nm$	t_{oxe} z parametrów modelu BSIM
ϵ_{ox}	3.9	3.9	ϵ_{psrox} z parametrów modelu BSIM
$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$			
C_{ox}			$C_{ox} = C'_{ox} \times WT \times L$
C_{gs}			$C_{gs} = \frac{2}{3} \times C_{ox}$
CGDO	$290 pF$	$310 pF$	
C_{gd}			$C_{gd} = CGDO \times W$
g_m			Dla $I_D = 10 \mu A$
r_o			Dla $I_D = 10 \mu A$
$g_m r_o$			Wzmocnienie bez obciążenia
f_T			

Bibliografia

- [1] N. Paydavosi, T. H. Morshed, D. D. Lu, W. M. Yang, M. V. Dunga, X. J. Xi, W. L. Jin He, Kanyu, M. Cao, X. Jin, J. J. Ou, M. Chan, A. M. Niknejad, and C. Hu. (2013) BSIM4v4.8.0 MOSFET model - user's manual. [Online]. Available: http://www-device.eecs.berkeley.edu/~bsim/Files/BSIM4/BSIM480/BSIM480_Manual.pdf
- [2] B. Murmann, "Advanced analog integrated circuit design," Materiały dostępne dla słuchaczy przedmiotu EE214.
- [3] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 3rd ed. Piscataway, NJ: Wiley-IEEE Press, 2010.
- [4] T. Borejko, M. Łukaszewicz, and J. Kopański. Instrukcja obsługi środowiska cadence virtuoso dla przedmiotów realizowanych w zakładzie metod projektowania w mikroelektronice IMiO PW.