

Sujets d'évaluation de l'autonomie

Sujet 1 Etude d'un transistor MOS

On considère un transistor MOS de type N (référence NMOS_12, lib eea). Ses dimensions et paramètres sont donnés ci-dessous :

	W (μm)	L (μm)	V _{TO} (V)	K' (A/V ²)	U _{ALIM} (V)
NMOS_12	1	0.25	0.4	131×10^{-6}	2.5

1°) Faire la simulation sous LTSPICE du transistor (relié à 2 générateurs de tension) afin d'observer les réseaux de caractéristiques : $I_{DS} = f(V_{GS})$ et $I_{DS} = f(V_{DS})$.

Identifiez les zones dans lesquelles le transistor est bloqué, ohmique, saturé.

2°) Sur la caractéristique $I_{DS} = f(V_{DS})$ avec $V_{GS} = 1\text{V}$, tracer (*Trace / Add Trace*) la courbe $I_{DS} = f(V_{DS})$ obtenue utilisant le transistor idéal (ref NMOS dans LTSpice). Observations ?

3°) Donner (par simulation avec LTSpice) les caractéristiques $I_{DS} = f(V_{GS})$ et $I_{DS} = f(V_{DS})$ d'un transistor PMOS.

Sujet 2 Etude d'un amplificateur MOS source commune

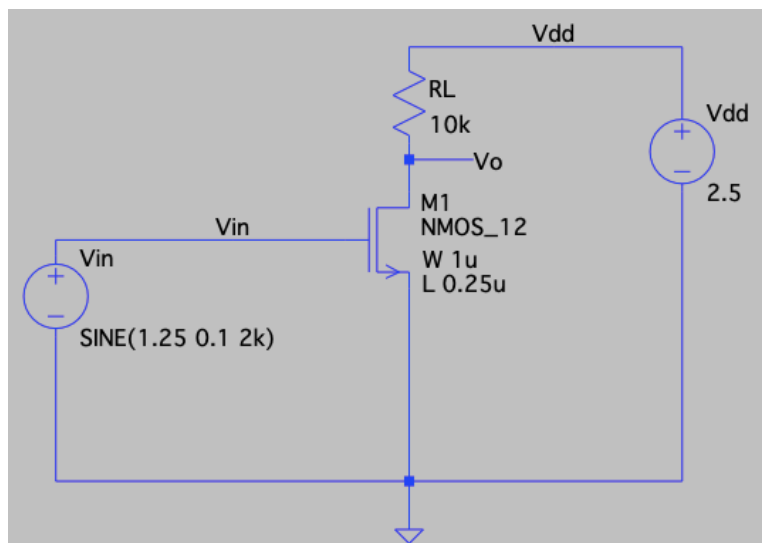
Faire la simulation temporelle du montage amplificateur source commune, composé d'un transistor NMOS et une résistance. On prendra un signal d'entrée sinusoïdal d'amplitude 200mV, d'offset 1.25v, et de fréquence 2KHz. Mesurer le gain.

Paramètres :

Transistor NMOS_12: $W = 1\mu\text{m}$, $L = 0.25\mu\text{m}$

Résistance $R_L = 10\text{K}\Omega$.

Tension d'alimentation $V_{DD} = 2.5\text{V}$



Sujet 3 Etude d'un amplificateur MOS drain commun

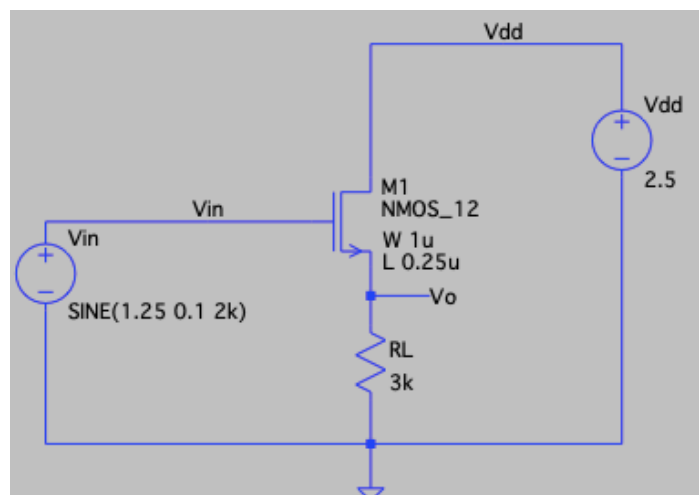
Faire la simulation temporelle sous LTSPICE du montage amplificateur drain commun, composé d'un transistor NMOS et une résistance. On prendra un signal d'entrée sinusoïdal d'amplitude 200mV, d'offset 1.25v, et de fréquence 2KHz. Mesurer le gain.

Paramètres :

Transistor NMOS_12: $W = 1\mu\text{m}$, $L = 0.25\mu\text{m}$

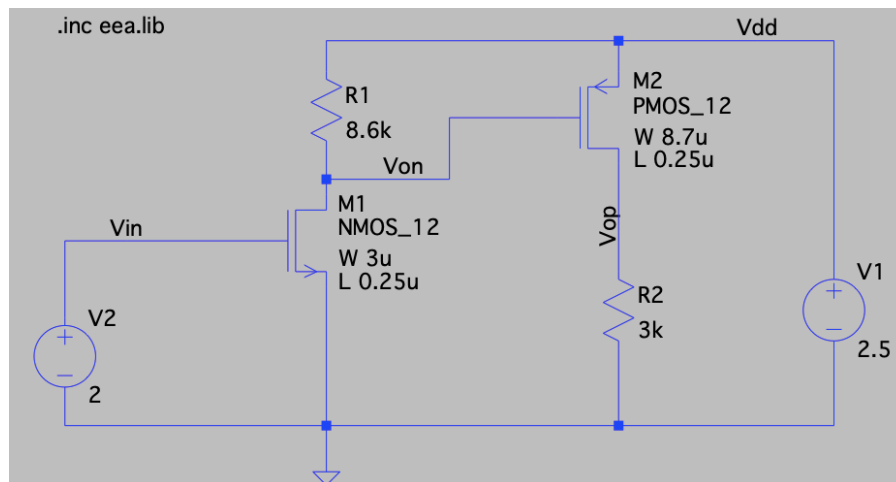
Résistance $R = 3\text{K}\Omega$.

Tension d'alimentation $V_{DD} = 2.5\text{V}$



Sujet 4 Amplificateur MOS à 2 étages - Etude statique

Procédez à l'étude du montage de la figure ci-dessous.



Les dimensions retenues pour les transistors MOS sont les suivantes : $W_{NMOS} = 3\mu\text{m}$, $W_{PMOS} = 8.7\mu\text{m}$ et $L_{NMOS} = L_{PMOS} = 0.25\mu\text{m}$.

On s'attachera à retrouver la caractéristique de transfert du premier étage ainsi que celle du montage global.

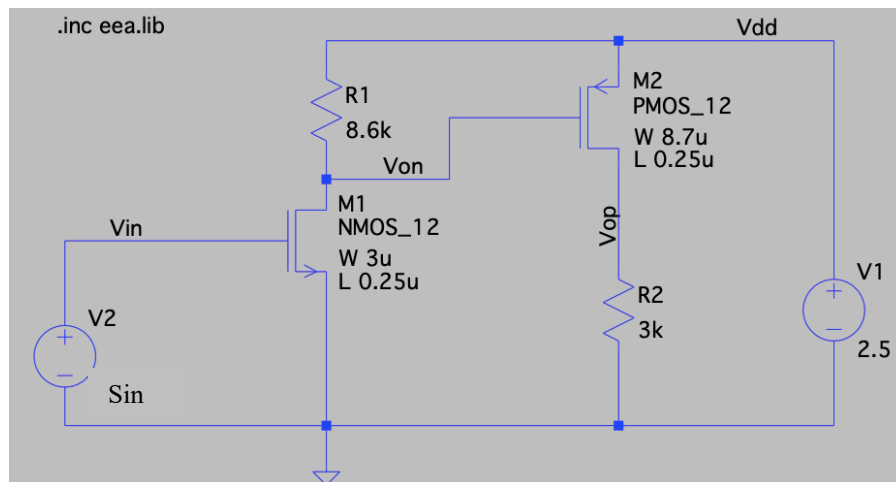
Expliquer pourquoi les signaux d'entrée et de sortie de chacun des étages sont inversés.
Retrouver les différents états de conduction (bloqué, ohmique, saturé) du transistor NMOS.

Retrouver les différents états de conduction (bloque, ohmique, sature) du transistor NMOS et PMOS ?

	V_{TO} (V)	K' (A/V ²)	λ (V ⁻¹)	V_{DD}
NMOS	0.4	131×10^{-6}	0.1	2.5V
PMOS	-0.55	45×10^{-6}	0.2	2.5V

Sujet 5 Amplificateur MOS à 2 étages - Etude Dynamique

Procédez à l'étude dynamique du montage de la figure ci-dessous.



Les dimensions retenues pour les transistors MOS sont les suivantes : $W_{\text{NMOS}} = 3\mu\text{m}$, $W_{\text{PMOS}} = 8.7\mu\text{m}$ et $L_{\text{NMOS}} = L_{\text{PMOS}} = 0.25\mu\text{m}$.

On prendra un signal d'entrée sinusoïdal d'amplitude 200mV, d'offset 1.25V, et de fréquences 2KHz.

- Mesurer le gain.
- Quel est l'impact sur le signal de sortie si on modifie la composante continue du signal d'entrée ?

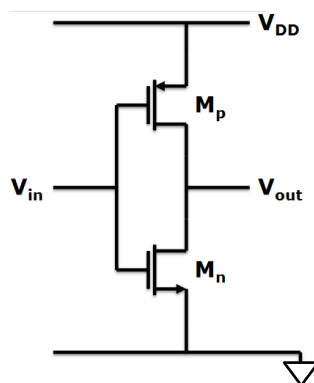
	V_{TO} (V)	K' (A/V ²)	λ (V ⁻¹)	V_{DD}
NMOS	0.4	131×10^{-6}	0.1	2.5V
PMOS	-0.55	45×10^{-6}	0.2	2.5V

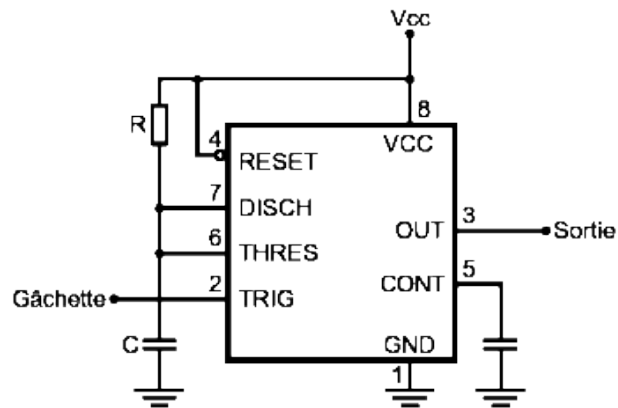
Sujet 6 Etude d'un inverseur CMOS

Implémentez l'inverseur CMOS vu en cours. Les dimensions retenues pour les transistors MOS sont les suivantes : $W_{\text{NMOS}} = 3\mu\text{m}$, $W_{\text{PMOS}} = 8.7\mu\text{m}$ et $L_{\text{NMOS}} = L_{\text{PMOS}} = 0.25\mu\text{m}$.

	V_{TO} (V)	K' (A/V ²)	λ (V ⁻¹)	V_{DD}
NMOS	0.4	131×10^{-6}	0.1	2.5 V
PMOS	-0.55	45×10^{-6}	0.2	2.5 V

- Identifiez (sur la caractéristique entrée- sortie) les différents modes de fonctionnement des transistors.
- En quelques simulations successives, retrouvez le rapport entre les dimensions des transistors NMOS et PMOS permettant une tension de commutation de $V_{\text{DD}}/2$.
- Pourquoi les transistors NMOS et PMOS doivent-ils avoir des dimensions différentes pour être électriquement identiques ?



Sujet 7 NE 555 en montage monostable

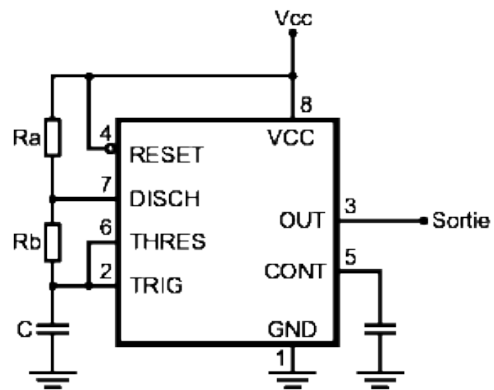
$V_{cc} = 5V$, $R = 4\text{ Kohms}$, $C = 100\text{ nF}$

Simuler le montage précédent et expliquer les courbes (gâchette, tensions du condensateur, sortie) en considérant 2 cas de figures différents.

- Sur la gâchette, le signal envoyé est une impulsion de durée $\tau/2$.
- Sur la gâchette, le signal envoyé est une impulsion de durée 3τ .

On appellera τ la constante de temps RC de ce montage

Conclusions ?

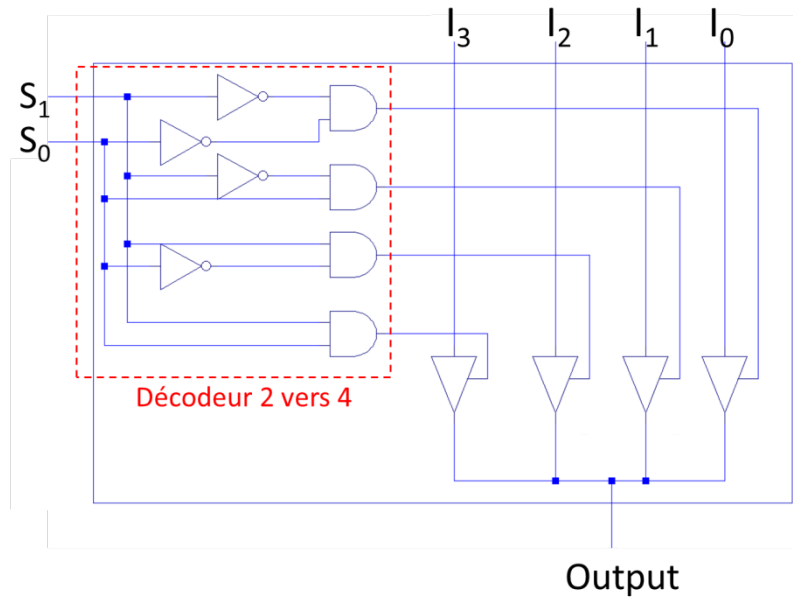
Sujet 8 NE 555 en montage astable

$V_{cc} = 5\text{V}$, $R_a = 4\text{ Kohms}$, $R_b = 2\text{ Kohms}$, $C = 100\text{ nF}$

- Démontrez (chronogramme à l'appui) que le montage précédent génère un signal périodique dont vous déterminerez la période.
- Quel est le rapport cyclique de ce montage et comment peut-on le modifier ?
- Générer une oscillation de fréquence 2kHz et de rapport cyclique 60%.

Sujet 9 Logique combinatoire : multiplexeur 4 bits

Dessiner et simuler le multiplexeur. Montrer son fonctionnement en faisant varier l'entrée et en sélectionnant n°1 avec la séquence suivante : 0101.



Sujet 10 Logique combinatoire : Additionneur complet 1 bit

Implémenter l'additionneur 1-bit vu dans le cours. Le tester avec différentes combinaisons de C_i , A et B.

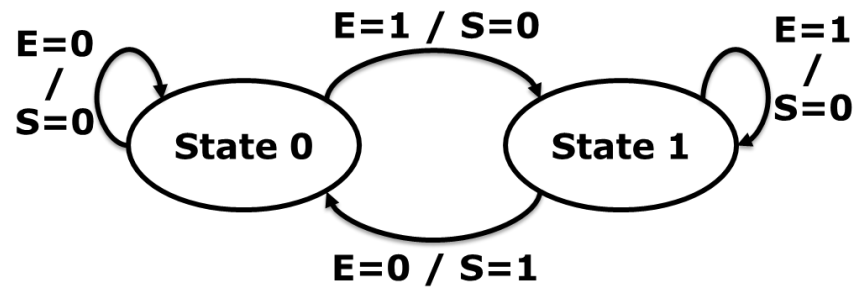
Rappel de la table de vérité de l'additionneur :

C_i	A	B		S_{out}	C_{out}
0	0	0		0	0
0	0	1		1	0
0	1	0		1	0
0	1	1		0	1
1	0	0		1	0
1	0	1		0	1
1	1	0		0	1
1	1	1		1	1

Sujet 11 Machine à états finis de Mealy détectant la séquence "10"

Implémenter la machine à états finis de Mealy détectant la séquence 10 (machine expliquée en cours). On utilisera des bascules D.

Simulez cette machine sous LTSPICE, avec ce stimulus comme entrée : 0, 1, 1, 0, 0



Sujet 12 Étude d'un point mémoire

Établir le schéma du point mémoire de la partie 3 du TD et simuler son fonctionnement durant une phase d'écriture. Afficher le chronogramme permettant de remplir la table de vérité de ce point mémoire.

