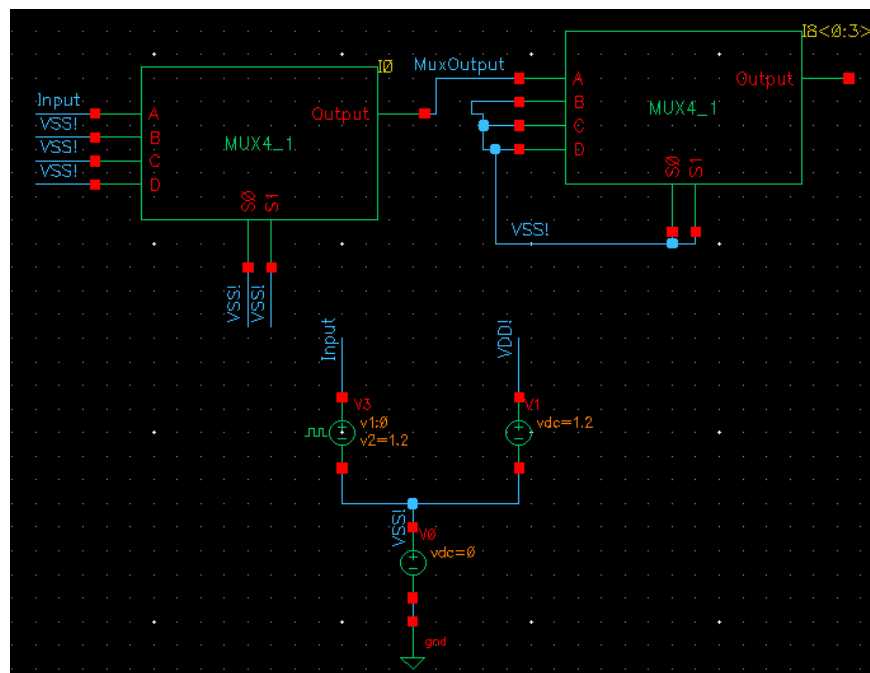
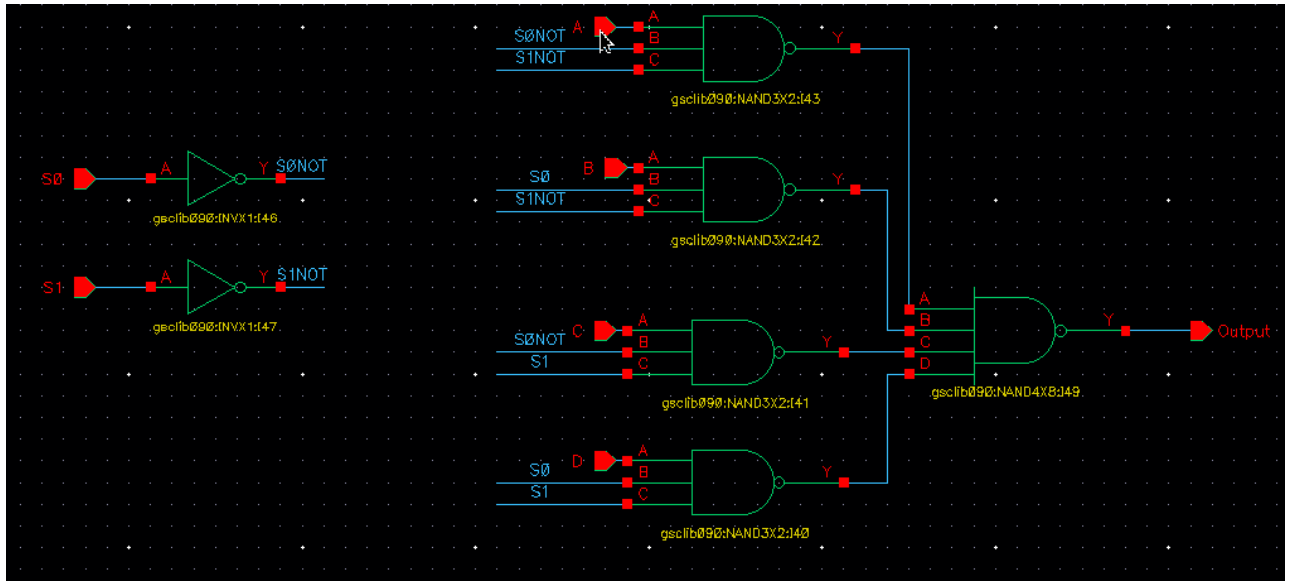


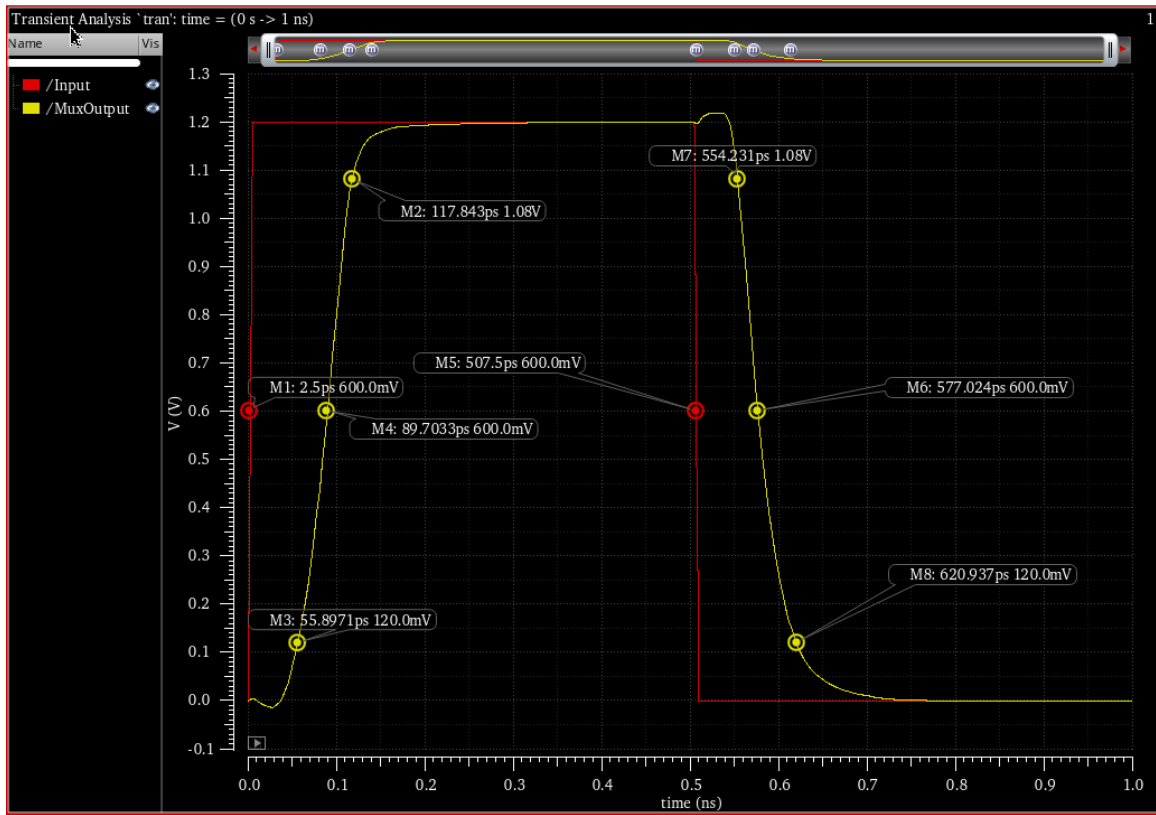
## VLSI – תרגיל בית 6

המעגל שיצרנו:



הרצנו סימולציה כאשר PULSE נמצא כל פעם בכניסה אחרת, על מנת למצוא את הנתיב הקריטי.

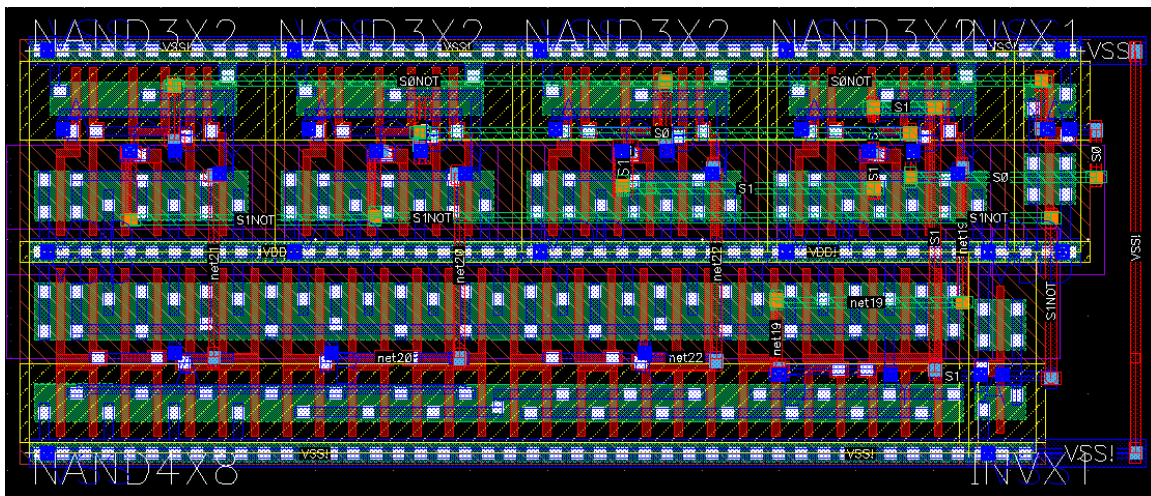
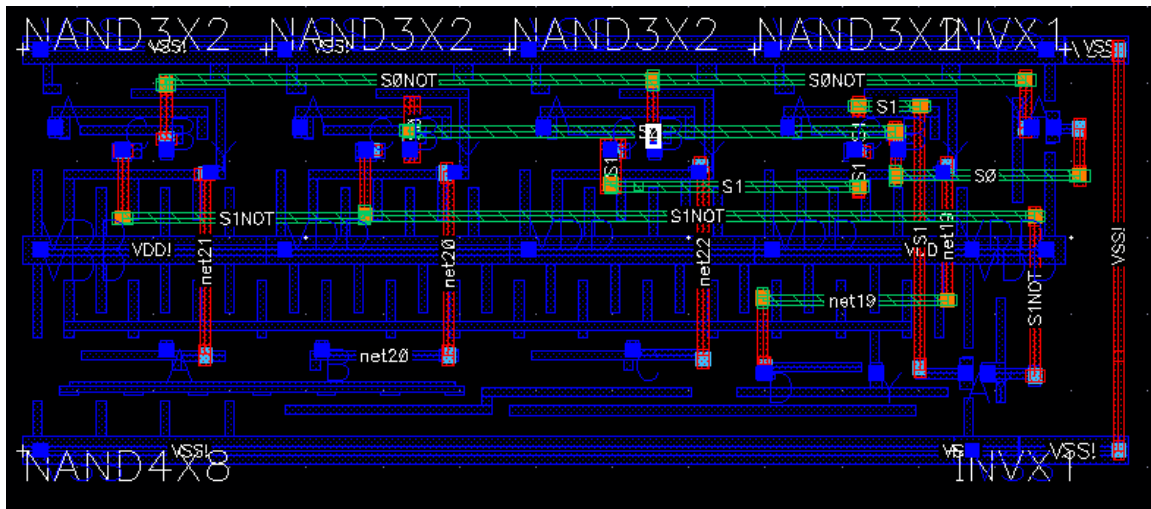
תוצאות הסימולציה עבור הנתיב הקריטי:



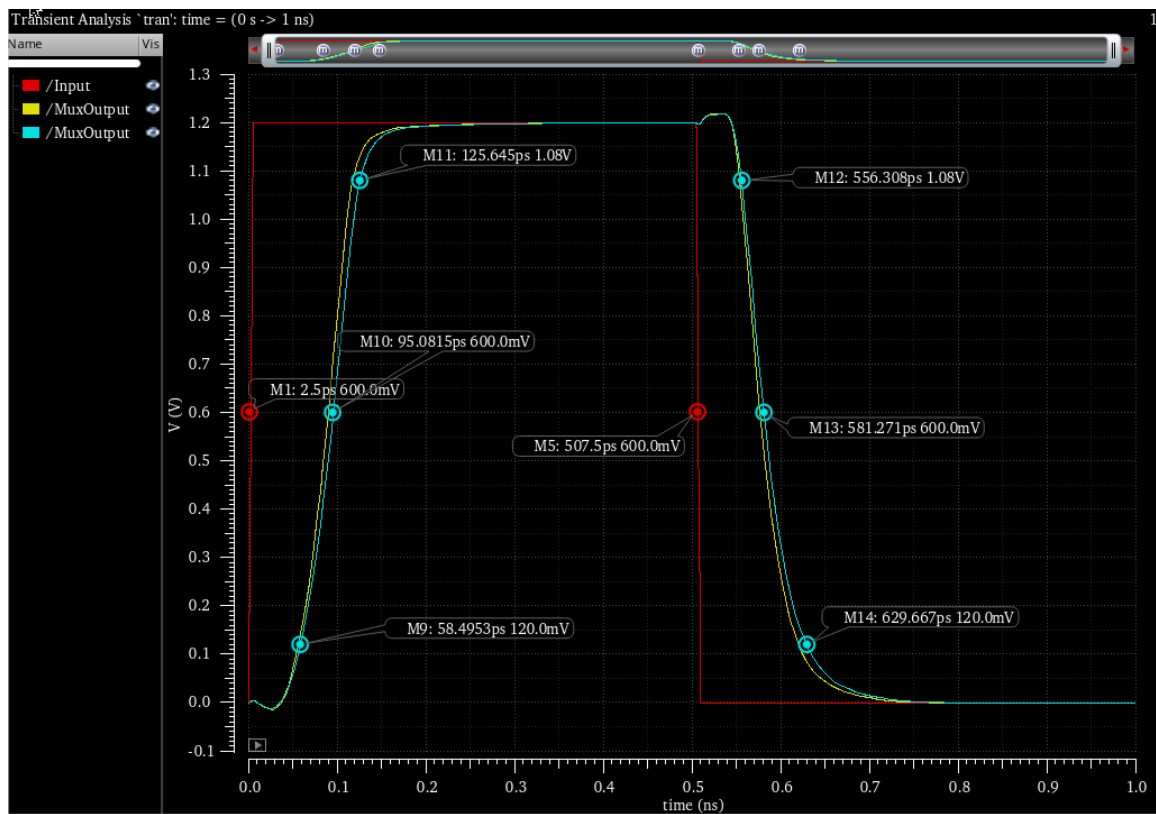
סיכום התוצאות כולן:

Pulse pin	delay	Rise time	Fall time
<b>A (Critical Path)</b>	<b>87.2ps</b>	<b>61.94ps</b>	<b>66.7ps</b>
B	84.65ps	57.96ps	67.59ps
C	81.96ps	54.51ps	68.28ps
D	77.896ps	50.65ps	68.529ps

לאחר מכן יצרנו את Layout הבא:



והרצנו שוב סימולציה לאחר QRC:



delay	Rise time	Fall time
92.58ps	67.15ps	73.359ps

ניתן לראות שגם לאחר שינוי Layout המעגל עדיין עומד בדרישות הזמנים.