



## DAY-55

### #100DAYSOFRTL

**Aim:-** Implementation of **Up Counter** using Verilog.

#### RTL CODE:-

```
///DATE:-24/02/2024
///DAY-55
///Implemenatation of Up Counter
module Day_55(input clk,rst,
output reg [5:0] cnt);
○ always @(posedge clk) begin
○ if(rst)
○ cnt<=6'b0;
else
○ cnt<=cnt+1;
end
endmodule
```

#### TESTBENCH:-

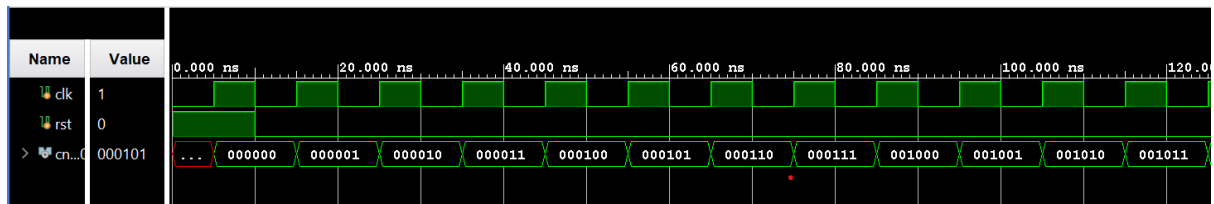
```
module Day_55_tb();
reg clk,rst;
wire [5:0] cnt;
Day_55 uut(clk,rst,cnt);
○ always #5 clk=~clk;
○ initial clk=0;
initial begin
○ rst=1; #10;
○ $display("clk=%d,rst=%d,cnt=%d",clk,rst,cnt);
○ for(integer i=0; i<63; i=i+1) begin
○ rst=0;
○ #10;
○ $display("clk=%d,rst=%d,cnt=%d",clk,rst,cnt);
end
end
initial begin
○ #700;
○ ➔ $finish();
end
endmodule
```

## OUTPUT:-

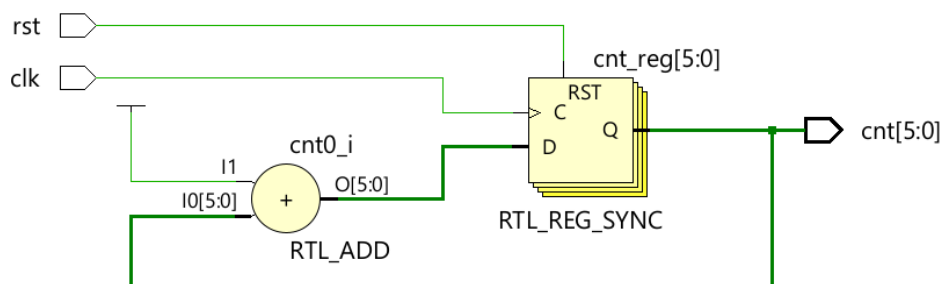
```
clk=1,rst=1,cnt= 0
clk=1,rst=0,cnt= 1
clk=1,rst=0,cnt= 2
clk=1,rst=0,cnt= 3
clk=1,rst=0,cnt= 4
clk=1,rst=0,cnt= 5
clk=1,rst=0,cnt= 6
clk=1,rst=0,cnt= 7
clk=1,rst=0,cnt= 8
clk=1,rst=0,cnt= 9
clk=1,rst=0,cnt=10
clk=1,rst=0,cnt=11
clk=1,rst=0,cnt=12
clk=1,rst=0,cnt=13
clk=1,rst=0,cnt=14
clk=1,rst=0,cnt=15
clk=1,rst=0,cnt=16
```

```
clk=1,rst=0,cnt=17
clk=1,rst=0,cnt=18
clk=1,rst=0,cnt=19
clk=1,rst=0,cnt=20
clk=1,rst=0,cnt=21
clk=1,rst=0,cnt=22
clk=1,rst=0,cnt=23
clk=1,rst=0,cnt=24
clk=1,rst=0,cnt=25
clk=1,rst=0,cnt=26
clk=1,rst=0,cnt=27
clk=1,rst=0,cnt=28
clk=1,rst=0,cnt=29
clk=1,rst=0,cnt=30
clk=1,rst=0,cnt=31
clk=1,rst=0,cnt=32
clk=1,rst=0,cnt=33
clk=1,rst=0,cnt=34
```

## WAVEFORMS:-



## SCHEMATIC:-



=====