



DAY-57

#100DAYSOFRTL

Aim:- Implementation of **Up and Down Counter** using Verilog.

RTL CODE:-

```
1 //DATE:-26/02/2024
2 //DAY-57
3 //Implementation of Up and Down Counter
4 module Day_57(input clk,rst,en,udbar,
5 output reg [3:0] cnt);
6 always @(posedge clk) begin
7 if(rst) cnt<=0;
8 else begin
9 if(en) begin
10 if(udbar) cnt<=cnt+1;
11 else cnt<=cnt-1;
12 end
13 end
14 end
15 endmodule
```

OUTPUT:-

Up Count

```
Time resolution is 1 ps
clk=1,rst=0,en=1,udbar=1,cnt= 1
clk=1,rst=0,en=1,udbar=1,cnt= 2
clk=1,rst=0,en=1,udbar=1,cnt= 3
clk=1,rst=0,en=1,udbar=1,cnt= 4
clk=1,rst=0,en=1,udbar=1,cnt= 5
clk=1,rst=0,en=1,udbar=1,cnt= 6
clk=1,rst=0,en=1,udbar=1,cnt= 7
clk=1,rst=0,en=1,udbar=1,cnt= 8
clk=1,rst=0,en=1,udbar=1,cnt= 9
clk=1,rst=0,en=1,udbar=1,cnt=10
clk=1,rst=0,en=1,udbar=1,cnt=11
clk=1,rst=0,en=1,udbar=1,cnt=12
clk=1,rst=0,en=1,udbar=1,cnt=13
clk=1,rst=0,en=1,udbar=1,cnt=14
clk=1,rst=0,en=1,udbar=1,cnt=15
```

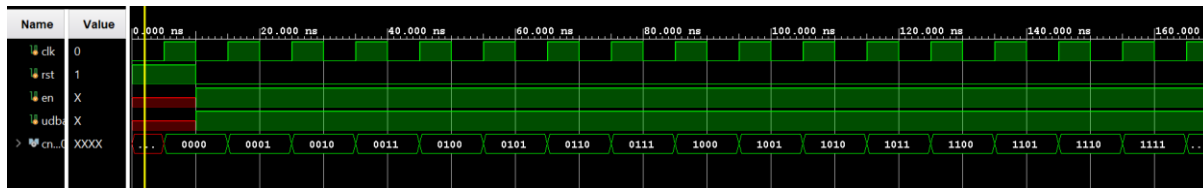
Down Count

```
clk=1,rst=0,en=1,udbar=1,cnt= 0
clk=1,rst=0,en=1,udbar=0,cnt=15
clk=1,rst=0,en=1,udbar=0,cnt=14
clk=1,rst=0,en=1,udbar=0,cnt=13
clk=1,rst=0,en=1,udbar=0,cnt=12
clk=1,rst=0,en=1,udbar=0,cnt=11
clk=1,rst=0,en=1,udbar=0,cnt=10
clk=1,rst=0,en=1,udbar=0,cnt= 9
clk=1,rst=0,en=1,udbar=0,cnt= 8
clk=1,rst=0,en=1,udbar=0,cnt= 7
clk=1,rst=0,en=1,udbar=0,cnt= 6
clk=1,rst=0,en=1,udbar=0,cnt= 5
clk=1,rst=0,en=1,udbar=0,cnt= 4
clk=1,rst=0,en=1,udbar=0,cnt= 3
clk=1,rst=0,en=1,udbar=0,cnt= 2
clk=1,rst=0,en=1,udbar=0,cnt= 1
clk=1,rst=0,en=1,udbar=0,cnt= 0
```

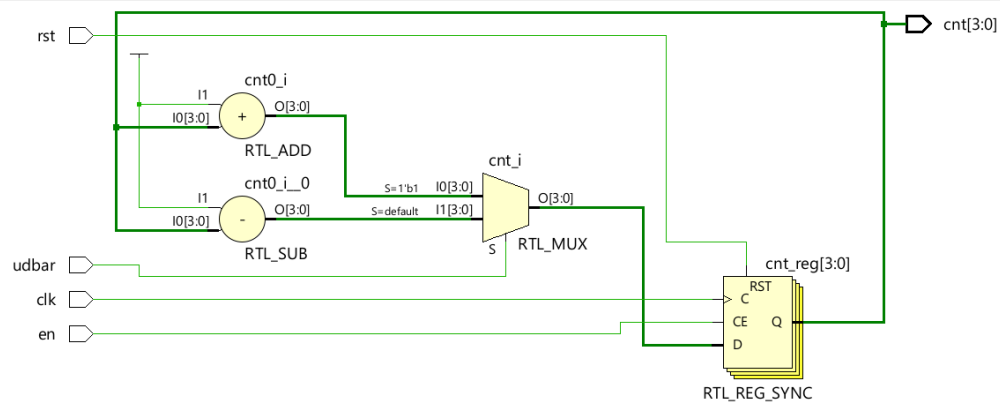
TESTBENCH:-

```
module Day_57_tb();
    reg clk,rst,en,udbar;
    wire [3:0] cnt;
    Day_57 uut(clk,rst,en,udbar,cnt);
    always #5 clk=~clk;
    initial clk=0;
    initial begin
        rst=1; #10;
        // $display("clk=%d,rst=%d,cnt=%d",clk,rst,cnt);
        for(integer i=0; i<16; i=i+1) begin
            rst=0;
            // #10;
            en=1;
            // #10;
            udbar=1;
            #10;
            $display("clk=%d,rst=%d,en=%d,udbar=%d,cnt=%d",clk,rst,en,udbar,cnt);
        end
        for(integer i=0; i<16; i=i+1) begin
            rst=0;
            // #10;
            en=1;
            // #10;
            udbar=0;
            #10;
            $display("clk=%d,rst=%d,en=%d,udbar=%d,cnt=%d",clk,rst,en,udbar,cnt);
        end
        initial begin
            #600;
            $finish();
        end
    endmodule
```

WAVEFORMS:-



SCHEMATIC:-



=====