

# Projeto de Circuitos Eletrônicos Integrados 1

## Primeiro Trabalho

Arthur Simões Gonzaga e Matheus Pereira Santana

**Resumo**—Este trabalho tem por escopo tratar do projeto de amplificadores com tecnologia CMOS. Os projetos serão de amplificadores de diferentes topologias de um estágio com requisitos a serem cumpridos segundo especificações, tais como, ganho desejado, excursão da saída, saturação dos transistores e etc. As simulações serão feitas com o simulador Cadence Virtuoso com o auxílio dos cálculos teóricos dos transistores MOS.

**Index Terms**—Topologias de amplificadores, transistores, tecnologia CMOS, Cadence Virtuoso.

### I. REVISÃO BIBLIOGRÁFICA

Uma das etapas mais importantes do processamento de sinais é a amplificação, um procedimento que torna mais fácil o tratamento de sinais que se encontram em pequenas ordens de grandeza. O amplificador, componente responsável por este processo, é um elemento denominado quadripolo, isso é, tem duas portas de entrada e duas portas de saída onde, geralmente, uma das portas é de entrada e a outra de saída são comuns. Um amplificador é construído com transistores e outros componentes passivos. O amplificador, geralmente, é classificado pelo tipo de transistor que o constitui. Os principais tipos são o TBJ (Transistor Bipolar de Junção) e o MOSFET (Transistor de Efeito de Campo de Metal-Óxido Semicondutor). Os transistores MOSFET são elementos que possuem três terminais principais, o gate, dreno e o source, como é mostrado na figura 1. Há também um quarto terminal, o bulk, este terminal geralmente é aterrado no NMOS e conectado ao VDD no PMOS.

Figura 1. Transistores NMOS e PMOS.

O MOSFET é um dispositivo construído sobre substratos semicondutores. O MOSFET do tipo NMOS possui um substrato do tipo p, isso significa que ele é uma região dopada do tipo p, com excesso de lacunas. O bulk é conectado nesse substrato tipo p. O Dreno e o source são conectados em contatos metálicos sobre duas regiões dopadas do tipo n, com excessos de elétrons, que são inseridas no substrato do tipo p. O gate é feito de um polissilício altamente dopado localizado entre o dreno e o source e fica sobre o substrato tipo p. Entre o gate e o substrato tipo p há dióxido de silício, um material isolante. O MOSFET do tipo PMOS é feito sobre um poço de material dopado do tipo n cavado no substrato tipo p. O dreno e o source são conectados em uma região dopada do tipo p dentro do poço tipo n. O bulk do NMOS é conectado no poço tipo n. Quando um amplificador possui os dois tipos de MOSFET em um mesmo substrato, a tecnologia de fabricação é chamada de CMOS (Complementary MOS). Essa estrutura

contém os dois tipos de transistores o NMOS e o PMOS, como pode ser visualizado na figura 2.

Figura 2. Tecnologia CMOS.

O seu funcionamento se dá quando uma tensão é aplicada vgs-NMOS ou vgs-PMOS é aplicada entre o gate e source e uma tensão vds-NMOS ou vds-PMOS é aplicada. A tensão entre o gate e o source faz com que o gate fique carregado positivamente, no caso do NMOS. Como o substrato tipo p está com excesso de lacunas está carregado positivamente também. A medida que mais carga positivas são posicionadas no gate, as cargas positivas do substrato tipo p são repelidos e cargas negativas são atraídas para o isolante. O sistema gate-substrato tipo p age como um capacitor de placas paralelas. Quando essas cargas negativas estão agrupadas próximas ao isolante entre o dreno e o source, um caminho é formado e a tensão entre essas duas regiões faz com que seja passada uma corrente ids do dreno para o source, no caso do NMOS. O MOSFET possui três regiões de operação. A primeira é região de corte, ocorre quando a tensão vgs é igual a zero. Nesse caso não há diferença de potencial entre o gate e o substrato tipo p, logo, não há caminho para a corrente ids passar. A segunda região de operação é a região de triodo. Nessa região a tensão vgs é diferente de zero e o canal está se formando. Entretanto, a tensão vds não é maior do que a tensão vdsat (parâmetro para determinar saturação, demonstrado na equação (1). Nessa região o transistor apresenta uma relação corrente-tensão parabólica. A região onde vds é muito próxima de zero é chamada de triodo profundo, nessa região o transistor apresenta um comportamento aproximadamente linear e parecido com o de um resistor. A equação da corrente ids nesta região é dada pela equação (2). O parâmetro vth é a tensão de limiar do dispositivo.

$$vdsat = vgs - vth \quad (1)$$

$$Ids = \mu Cox \frac{W}{L} [(vgs - vth)vds - \frac{1}{2}vds^2] \quad (2)$$

A última região de operação é a região de saturação, nessa região a tensão vgs foi suficiente para formar o canal para a corrente ids e a tensão vds é maior que vdsat. Nessa região o transistor começa agir de forma similar a uma fonte de corrente, isso é, a corrente não varia com o aumento de vds. Na figura 3 é possível notar todas as regiões de operação, além disso, é possível perceber que quanto mais alto o valor de vgs maior o valor de vdsat e a corrente de saturação. A corrente ids na região de saturação é descrita pela equação (3).

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (3)$$

Figura 3. Regiões de operação do MOSFET.

Uma característica importante do transistor, quando em saturação, é a transcondutância. Essa característica é o fator que informa o quanto a tensão do gate é transformada é corrente  $i_{ds}$ . A transcondutância pode ser calculada através da equação (4).

$$\begin{aligned} gm &= \mu C_{ox} \frac{W}{L} (v_{gs} - v_{th}) \\ gm &= \frac{2I_{ds}}{v_{gs} - v_{th}} \\ gm &= \sqrt{2I_{ds} \mu C_{ox} \frac{W}{L}} \end{aligned} \quad (4)$$

Como visto nas equações (2),(3)e (4) as dimensões (w/L) e o produto entre a capacitância parasita criada entre o gate e o substrato tipo e o mobilidade dos elétrons para o tipo NMOS ou das lacunas para o tipo PMOS ( $\mu C_{ox}$ ) influem diretamente na ordem das grandezas. Alguns dos efeitos de segunda ordem importantes no MOSFET são o efeito de corpo e a modulação do canal. O efeito de corpo ocorre quando há diferença de potencial entre o source e o bulk. A medida que essa diferença de potencial aumenta o valor da tensão de limiar do dispositivo aumenta da maneira descrita pela equação 5.

$$V_{th} = V_{th0} + \gamma(\sqrt{|2\phi_f| - v_{sb}} - \sqrt{|2\phi_f|}) \quad (5)$$

A modulação de canal ocorre quando a tensão  $v_{ds}$  aumenta com o transistor em saturação. Esse aumento faz com que o canal se encurte. Esse encurtamento faz com que a relação corrente e tensão na região de saturação não seja exatamente constante, mas que varie de forma linear. Com esse efeito a corrente é dada pela equação 6.

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda v_{ds}) \quad (6)$$

Os transistores podem ser empregados em diversas configurações e aliado a outros dispositivos, a essas variações é dado o nome de topologias. A primeira topologia aqui tratada é a de um amplificador fonte comum com carga resistiva. O amplificador fonte comum com carga resistiva, de forma simples, converte a tensão no gate em uma tensão de saída no dreno devido a corrente que passa pelo resistor de carga. Essa topologia pode ser vista na figura 4. A equação do ganho desse amplificador é dada pela equação (7). A resistência de saída no dreno será o paralelo entre o resistor de carga  $R_d$  e a resistência de saída dos NMOS. Para garantir o funcionamento é preciso que o NMOS esteja em saturação. Este amplificador não possui um ganho muito alto, visto que para isso a resistência de carga deveria ter um alto valor e isso, por sua vez, diminuiria a excursão do sinal de saída. Dadas as exigências de projeto é preciso se calcular as dimensões W/L e a tensão do gate.

$$A_v = -gm_1 \cdot R_d \quad (7)$$

Figura 4. Amplificador fonte comum de carga resistiva.

O próximo é o amplificador fonte comum com carga ativa. Esta topologia também pode ser chamada de estágio fonte comum com fonte de corrente. Essa topologia consiste de um PMOS em série com um NMOS e seu esquemático consta na figura 5. O ganho para esse amplificador é conforme consta na equação (8). Pode se ver que este amplificador fornece um ganho mais alto, visto que as resistências de saída do PMOS e do NMOS são altas. Para que o amplificador opere de forma correta é preciso garantir que as correntes dos dois amplificadores estejam idênticas e que ambos estejam em saturação. Para cumprir as especificações do projeto é preciso calcular o W/L dos dois transistores, assim como sua tensão de gate.

$$A_v = -gm_1 \cdot (r_{o1} // r_{o2}) \quad (8)$$

Figura 5. Amplificador fonte comum com carga ativa.

Existem ainda mais duas topologias abordadas neste trabalho. A topologia de source degeneration e a de cascoded. A topologia de source degeneration possui um esquemático igual ao da figura 6 abaixo. A ideia desta topologia é diminuir a instabilidade da tensão no gate, visto que, com a entrada de uma resistência no terminal do transistor, a corrente do dreno se estabiliza devido à tensão  $v_{gs} - v_{th}$  estar razoavelmente estável. O ganho desta topologia é dado pela equação abaixo:

$$A_v = -\frac{R_d}{\frac{1}{gm} + R_s} \quad (9)$$

Figura 6. Amplificador com Source Degeneration

A topologia cascoded é uma das mais utilizadas, ela possui uma alta impedância de saída, tendo em vista que o amplificador fica com muitos transistores em cascata. Neste projeto foi utilizada a topologia com 4 transistores, 2 NMOS e 2 PMOS, conforme a figura a seguir.

Figura 7. Amplificador Cascoded

Esta topologia possui algumas dificuldades na sua construção, devido ao fato de que, qualquer alteração nas tensões de  $v_{gs}$ , modificam a região de operação do transistor, alterando significativamente o seu ganho. O ganho desta topologia utilizada pode ser definido como:

$$A_v = gm_1 [(gm_2 r_{o1} r_{o2}) || (gm_3 r_{o3} r_{o4})] \quad (10)$$

Existem outras topologias de amplificadores as quais não foram abordadas neste trabalho. Outros recursos como espelho de corrente também são bem comuns na construção dos amplificadores, contudo, não foi necessário a utilização do mesmo para as topologias requeridas.

## II. DESENVOLVIMENTO

As simulações feitas nos Cadence Virtuoso seguiram-se do seguinte modo:

- Clicou-se na opção 'File-Library';
- Nomeou-se a nova biblioteca e então anexou-se a uma tecnologia já existente, no caso, a tecnologia, tsmc13rf;
- Selecionou-se a nova biblioteca e em seguida clicou-se em 'File-Cell view'. Na janela que se abre nesse processo nomeou-se o esquemático. Em seguida o editor de esquemático é aberto;
- No editor de esquemático foram usados as estâncias e respectivas bibliotecas contidas na tabela 1;

Tabela I

Analog-Lib	tsmc13rf
vdc	nmos3v
vdd	pmos3v
vsin	
gnd	

- Montados os esquemáticos, foi configurado o estado de simulação. Para tanto clicou-se na opção 'Launch-ADE L'. Com isso se tem acesso ao ambiente de design analógico, onde são efetuadas as simulações;
- Nesse ambiente foram feitas três simulações. A primeira foi a simulação DC, clicou-se na opção 'Analyses-Choose' e se escolheu a opção de análise 'dc'. Foi selecionada a opção 'Save DC operating point', essa escolha faz com que seja possível observar os valores de corrente 'ids', a transcondutância 'gm' e outros dados do circuito ao se clicar na opção 'Results-Annotate-DC operating points'. Ter acesso a esses dados facilita o progresso da simulação;
- A segunda simulação foi a simulação AC, clicou-se na opção 'Analyses-Choose' e se escolheu a opção de análise 'ac'. Configurou-se a frequência como variável de varredura e o intervalo de varredura de 1 Hz a 1 GHz, em escala logarítmica com e 20 pontos por década. Essa simulação tem como resposta o gráfico de ganho de tensão por frequência do circuito;
- A terceira simulação foi a simulação de transiente, clicou-se na opção 'Analyses-Choose' e se escolheu a opção de análise 'tran'. Configurou-se o tempo de parada em 50 ms, esse intervalo é satisfatório para o período das formas de simuladas que foram configuradas com 100 Hz e período de 10 ms. Essa simulação traz como resposta o gráfico de tensão de entrada e de saída por tempo;
- Para mudar os parâmetros das instâncias basta-se clicar no atalho 'q' do teclado e modificar o valor desejado para adequar os resultados da simulação a proposta de trabalho.

### A. Amplificador fonte comum com carga resistiva

Para o projeto deste de amplificador foi especificado um ganho de 10 V/V, uma excursão do sinal de saída de 1 V, lambda de 0.1/V e VDD de 3 V. O valor escolhido para a resistência foi de 10 kOhms. O nível DC da tensão de saída é dada pela seguinte expressão.

$$V_{outdc} = V_{dd} - I_{ds}R_d \quad (11)$$

Se  $V_{outdc}$  for modelado para ser  $V_{DD}/2$ , a corrente  $i_{ds}$  será dada por

$$I_{ds} = \frac{V_{dd} - V_{outDC}}{R_d}$$

$$I_{ds} = \frac{V_{dd} - \frac{V_{dd}}{2}}{R_d} \quad (12)$$

$$I_{ds} = \frac{v_{dd}}{2R_d} = \frac{3}{20000} = 150\mu A$$

Desse modo a resistência de no dreno e de saída serão dadas por:

$$r_o = \frac{1}{\lambda I_{ds}} = \frac{1000000}{0,1 \cdot 150} = 66666,67\Omega \quad (13)$$

$$R_{out} = \frac{R_d \cdot r_o}{R_d + r_o} = \frac{10000 \cdot 66666,67}{10000 + 66666,67} = 8695,65\Omega \quad (14)$$

Com isso é possível calcular a transcondutância por

$$g_m = \frac{A_v}{R_{out}} = \frac{10}{8695,65} = 1,15mA/V \quad (15)$$

Para esse valor de transcondutância a tensão de gate é dada por

$$V_{gs} = 2 \frac{I_{ds}}{g_m} + v_{th} = 2 \frac{150 \cdot 10^{-6}}{1,15 \cdot 10^{-3}} + 0,4 = 0,66087 \quad (16)$$

O tamanho W/L é dado por

$$W/L = \frac{g_m^2}{2 \cdot I_{ds} \cdot \mu C_{ox}} = \frac{(1,15 \cdot 10^{-3})^2}{2 \cdot 150 \cdot 200 \cdot 10^{-12}} = 22,041 \quad (17)$$

Esses valores de W/L e  $V_{gs}$  cumprem o ganho de 10 V/V proposto e também garantem que o transistor esteja sempre em saturação, pois, a tensão  $v_{ds}$  sempre será maior que o  $v_{dsat}$ , conforme a equação (18).

$$V_{outmin} > V_{gs} - V_{th}$$

$$V_{outdc} - 0,5 > 0,66087 - 0,4 \quad (18)$$

$$1,5 - 0,5 > 0,26087$$

$$1V > 0,26087V$$

Para essa topologia foram usados as intâncias Vdd, Vdc, Vsin, gns, res e nmos3v. A montagem no editor de esquemático pode ser visualizada na figura 6.

Figura 8. Esquemático da topologia fonte comum com carga resistiva.

### B. Amplificador fonte comum com carga ativa

Para o projeto deste de amplificador foi especificado um ganho de 100 V/V, uma corrente 'ids' de 0,5 mA, lambda1 de 0.1/V, lambda2 de 0.15/V, VDD de 1,8 V e W/L2=20/0.18. Como as correntes dos dois transistores devem ser iguais tem-se que Isd2=Ids1=0,5 mA. As resistências de saída são calculadas por

$$ro1 = \frac{1}{\lambda_1 \cdot Ids1} = \frac{1000}{0,1 \cdot 0,5} = 20000\Omega \quad (19)$$

$$ro2 = \frac{1}{\lambda_2 \cdot Isd2} = \frac{1000}{0,15 \cdot 0,5} = 13333,33\Omega \quad (20)$$

$$Rout = \frac{ro1 \cdot ro2}{ro1 + ro2} = \frac{20000 \cdot 13333,33}{20000 + 13333,33} = 8000\Omega \quad (21)$$

A transcondutância é dada por

$$gm_1 = \frac{Av}{Rout} = \frac{100}{8000} = 12,5mA/V \quad (22)$$

Logo, a tensão de gate do NMOS é

$$vg_1 = 2 \frac{Ids}{gm_1} + vth = 2 \frac{0,5}{12,5} + 0,4 = 0,48 \quad (23)$$

A dimensão do NMOS poder ser calculada por

$$W/L_1 = 2 \frac{Ids1}{\mu Cox(vg_1 - vth)^2} = 781,25 \quad (24)$$

A tensão vsg do PMOS pode ser calculado por

$$vsg2 = \sqrt{\frac{2 \cdot Isd2}{\mu Cox(W/L_2)}} + vth = \sqrt{\frac{2 \cdot 0,5 \cdot 10^{-3}}{100 \cdot 10^{-6} \cdot 111,11}} + 0,4 = 0,7 \quad (25)$$

Como

$$vsg2 = vs_2 - vg_2 \quad (26)$$

A tensão do gate do PMOS pode ser encontrada por

$$vg_2 = vs_2 - vsg2 = 1,8 - 0,7 = 1,1V \quad (27)$$

Para essa topologia foram usados as intâncias Vdd, Vdc, Vsin, gns, pmos3v e nmos3v. A montagem no editor de esquemático pode ser visualizada na figura 7.

Figura 9. Esquemático da topologia fonte comum com carga ativa.

### C. Amplificador com Source Degeneration

As especificações deste projeto eram: excursão do sinal de saída em 0.8V, amplificação ganho linear em 5, Vdd em 1.8V. Como o projeto não definia a potência máxima a ser utilizada, foi definida uma corrente de 500 uA como necessária para o amplificador obter um ganho linear de 5. Usando um resistor de aproximadamente 2.5KOhms, a queda de tensão no dreno é dada por:

$$Vd = Vdd - Id * Rd \quad (28)$$

$$Vd = 1.8 - 500u * 2.5k$$

$$Vd = 0.55V$$

Tomou-se o mesmo procedimento para calcular a tensão no source. A tensão no source, escolhendo um valor para o resistor Rs (Rs = 75Ohms), é dada por:

$$Vs = Id * Rd - Vss \quad (29)$$

$$Vs = 500u * 75 - 0$$

$$Vs = 37.5mV$$

Calculando o efeito de corpo, chegou-se ao valor de Vth, de acordo com a equação (5), em:

$$Vth = 0.417V$$

Para deixar o transistor em saturação, têm de se obedecer a seguinte relação:

$$Vds \geq Vgs - Vth \quad (30)$$

$$Vd + Vth \geq Vg$$

$$Vg \leq 0.967V$$

Com isto, já era possível chegar a um valor de W/L necessário para o projeto. Utilizando da equação (3), chegou-se ao valor:

$$W/L = \frac{975}{100};$$

O esquemático do circuito montado no Cadence pode ser visto na figura a seguir:

Figura 10. Esquemático da topologia Source Degeneration.

O ganho estimado para esta topologia estava por voltar de 5.32 V/V. Sendo acima do desejado.

### D. Amplificador Cascoded

Dada as especificações: ganho de 90dB (32kV/V), potência máxima de 200uW, excursão de sinal de 1V. O projeto ainda pede para assumir Vdd = 2V e lambda de 0.1. Para obter as tensões Vbias dos transístores, o Vin do primeiro e os W/L de cada um, foi considerado que a resistência dos mesmos seriam iguais, desta forma, teríamos a mesma corrente transpassando por eles e, consequentemente, eles teriam a mesma transcondutância. Obtendo a corrente através da Lei de Ohm, observou-se que a mesma poderia ter, no máximo, 100uA. Contudo, foi pensado em uma corrente de 10uA, para não ultrapassar o limite desejado. Como as correntes e as resistências de cada transístor são iguais, o ganho pode ser definido por:

$$Av = \frac{(gm * ro)^2}{2} \quad (31)$$

Achou-se a partir disto, a transcondutância da mesma, resultando em 251,5 uA/V. A partir da equação de saturação dos transístores, pode-se achar as tensões de vgs de cada um. Encontrou-se então:

$$Vgs = 0.75$$

$$Vb1 = 1$$

$$Vb2 = 1.2$$

$$Vb3 = 0.6$$

Para os valores de W/L, utilizou-se os valores Vgs e a transcondutância para cálculo. Todos os valores de W/L resultaram em 32/10; O esquemático elaborado no cadence pode ser mostrado abaixo:

Figura 11. Esquemático da topologia Cascoded.

### III. RESULTADOS

#### A. Amplificador fonte comum com carga resistiva

Na simulação os dados calculados inseridos na simulação não foram capaz de atingir o ganho proposto, devido a isso foram feitas algumas modificações. As mudanças feitas para se alcançar o resultado proposto estão mostradas na tabela 2. Esses dados são fornecidos pela simulação DC.

Tabela II

Parâmetro	Valor
Vin	0.9 V
gds	4,64 u
gm	1,04 mA/V
ids	155,66 uA
Vds	1,44 V
Vdsat	264,92 mV
Vth	649,79 mV
Vac	1 V
Vamp	50 mV
W	21 um
L	890 nm

As simulações podem ser vistas nas figuras 8 e 9, onde são mostrados os a simulação AC e a simulação de transiente, respectivamente.

Figura 12. Simulação AC para carga resistiva.

Figura 13. Simulação de transiente para a carga resistiva.

#### B. Amplificador fonte comum com carga ativa

Os valores usados não foram capazes de trazer o ganho desejado, por isso, foi necessário se modificar os parâmetros. Para ajudar a alterar os parâmetros foi colocada uma fonte de tensão de 0.9 V conectada entre os drenos do NMOS e do PMOS. Esse artifício permite que seja possível ver as correntes que passa por cada transistor e alterar os parâmetros para que elas sejam iguais, quantos mais iguais as correntes, maior o ganho. Também foi necessário alterar o valor da corrente, com uma corrente de 0,5 mA não foi possível atingir um ganho de 100 V/V, sendo que o máximo atingido foi de 32 V/V. Para se alcançar o ganho de 100 V/V foi preciso abaixar a corrente até 808,10 nA, com igualdade entre as duas correntes até a segunda casa decimal. Os valores de vth e de transcondutância também ficaram diferentes e podem ser consultados na tabela 3.

A simulação AC e de transiente, contidas nas figuras 10 e 11, mostram que foi obtido um ganho de 108 V/V. Na

Tabela III

Parâmetro	Valor
Vgs1	648,5 mV
gds1	81,99 n
gm1	12,13 uA/V
ids1	808,10 nA
Vds1	934,19 mV
Vdsat1	90,48 mV
Vth1	647,18 mV
W1	1 um
L1	745 nm
Vgs2	-786 mV
gds2	28,3 n
gm2	8,15 uA/V
ids2	-808,10 nA
Vds2	-865,81 mV
Vdsat2	-174,36 mV
Vth2	630,73 mV
W2	1 um
L2	970 nm

simulação AC é possível ver que o amplificador tem um frequência de corte de 1 MHz e um ganho unitário em 1 GHz. Na simulação de transiente é possível ver que a o sinal de entrada de 10 mV de amplitude é amplificado em um sinal de 1 V na saída.

Figura 14. Simulação AC para carga ativa.

Figura 15. Simulação de transiente para a carga ativa.

#### C. Amplificador com Source Degeneration

Os valores foram colocados em simulação, contudo, o ganho não foi alcançado como se esperava. Percebeu-se então, que o W/L poderia ser alterado, para que a modulação do canal fosse diminuída, a transcondutância aumentasse e o ganho subisse. Portanto, foram alterados os valores de Rd para 2.3 Kohms, Rs para 70 ohms, W para 41 um e l para 700 nm. Vgs permaneceu bem próximo do calculado, com 0,98 V. Os ganhos nas simulações transientes e resposta AC podem ser vistos nas figuras abaixo:

Figura 16. Resposta AC para o Amp. Source Degeneration.

#### D. Amplificador Cascoded

No amplificador Cascoded não foi alcançado o ganho de 90dB com os valores calculados, talvez porque não levassem em conta a tecnologia abordada e um possível Vth diferente do assumido. Para tanto, ajustou-se os valores conforme a tabela abaixo:

O ganho do cascoded em simulação AC pode ser visto na figura abaixo, atingindo um total de 32kV/V, mais do que os 90dB necessários.

O ganho em simulação transiente é próximo ao necessário, contudo, ao aumentar o Vin em nível DC, o sinal de saída se encontra distorcido. Isso se deve ao fato do transístor se aproximar da região de corte.

Figura 17. Simulação do transiente para o Source Degeneration.

Tabela IV

Parâmetro	Valor
Vin	0,5 V
Vb1	0.9 V
Vb2	0.95 V
Vb3	1.4 V
Vamp	32uV
W1,W2	2.485um
W3,W4	2.605um
L1,L2	1u
L3,L4	1u

#### IV. CONCLUSÃO

Conclui-se então que os projetos foram realizados conforme era esperado, porém, com algumas diferenças entre os valores calculados e os ajustados em simulação, isto se deve ao fator de que o simulador é bem mais preciso, possui parâmetros mais bem ajustados e consegue varrer o comportamento do circuito em diversas âmbitos. Neste projeto aprendeu-se aspectos profissionais e recursos do Cadence que podem ser reutilizados posteriormente em outros trabalhos ou até mesmo no mercado profissional. O Cadence possui diversos recursos, como o Design Variable, que pode varrer um valor de uma variável e mostrar seu ganho nos valores pré-definidos. Confirma-se que com os valores encontrados neste projeto, os requisitos levantados foram atendidos e o trabalho concluído com êxito.

#### REFERÊNCIAS

- [1] H. Kopka and P. W. Daly, *A Guide to L<sup>A</sup>T<sub>E</sub>X*, 3rd ed. Harlow, England: Addison-Wesley, 1999.
- [2] Razavi, Behzad, *Fundamentals Of Microelectronics*, Jhon Wiley india Pvt.Ltd,2009.

Figura 20. Simulação do transiente para o Cascoded com sinal distorcido.

Figura 18. Resposta AC para o Amp. Cascoded

Figura 19. Simulação do transiente para o Cascoded.