



# Teoria dos Transistores CMOS

**Professor: Sandro Haddad** 





#### Outline

- Introduction
- MOS Capacitor
- nMOS I-V Characteristics
- pMOS I-V Characteristics
- Gate and Diffusion Capacitance





## Características de dispositivos MOS

Para design analógico, os transístores não são meras chaves

 Entendimento dos efeitos de segunda ordem são essenciais para um design apropriado



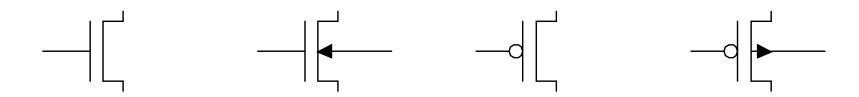


#### Introduction

- So far, we have treated transistors as ideal switches
- An ON transistor passes a finite amount of current
  - Depends on terminal voltages
  - Derive current-voltage (I-V) relationships
- Transistor gate, source, drain all have capacitance

$$-I = C (\Delta V/\Delta t) \rightarrow \Delta t = (C/I) \Delta V$$

Capacitance and current determine speed

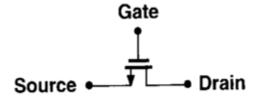






#### MOSFET como uma chave

Os três terminais de um MOSFET são: Gate (G), Dreno (D),
 Source (S):



 Quando a tensão de gate Vg é maior ou igual a um determinado valor Vth (treshold voltage), o transístor "liga" e a corrente flui do Dreno para o Source.





#### Estrutura de um MOSFET

- Fabricado em um substrato tipo "p" (bulk)
- Dreno e Source são 2 regiões dopadas do tipo "n"
- Gate do tipo "poly" Polisilício altamente dopado, para evitar alterações quimicas entre metais e a o gate.
- Gate isolado do substrato por Dióxido de silício (isolante)
- Estrutura simétrica em relação ao Dreno e ao Source

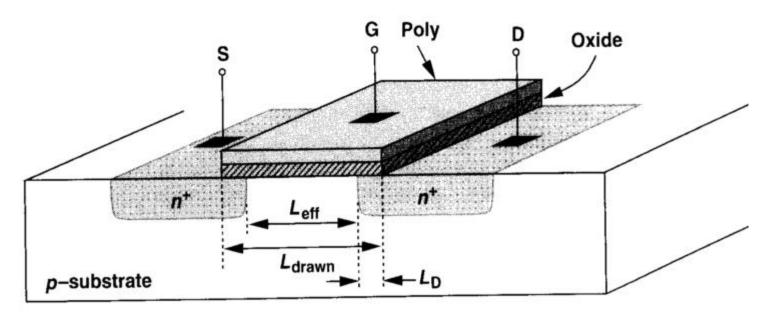


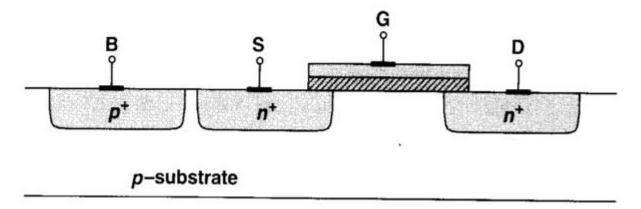
Figure 2.2 Structure of a MOS device.





## Conexão do corpo

- Em circuitos integrados, são vários transístores compartilhando o mesmo substrato
- A polarização do substrato é importante para que não haja fluxo de corrente do dreno e do source para o terminal Bulk. (GND para NFET e VDD para PFET)

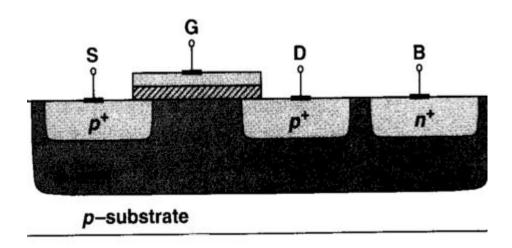






## MOSFET tipo P

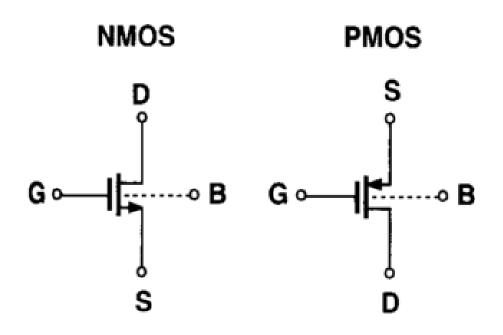
- Obtido negando-se a dopagem de um tipo "N"
- Construído a partir de ilhas de dopagem dentro de um substrato "p". As ilhas são chamadas de "wells"
- MOSFETS tipo "N" -> NFET's
- MOSFETS tipo "P" -> PFET's







# Simbologia



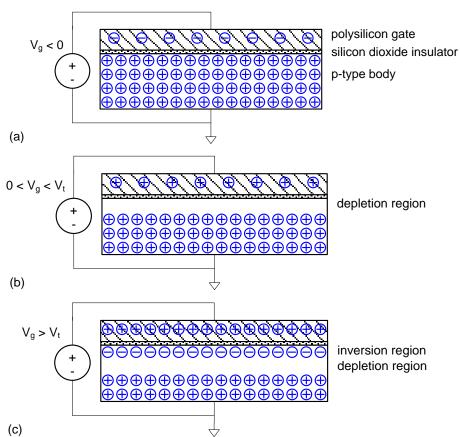




# **MOS** Capacitor

 Gate and body form MOS capacitor

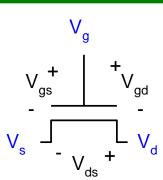
- Operating modes
  - Accumulation
  - Depletion
  - Inversion





## Terminal Voltages

- Mode of operation depends on V<sub>g</sub>, V<sub>d</sub>, V<sub>s</sub>
  - $-V_{gs} = V_g V_s$
  - $-V_{gd} = V_g V_d$
  - $V_{ds} = V_{d} V_{s} = V_{gs} V_{gd}$



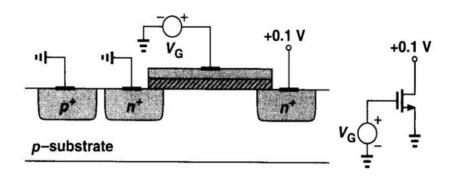
- Source and drain are symmetric diffusion terminals
  - By convention, source is terminal at lower voltage
  - Hence  $V_{ds}$  ≥ 0
- nMOS body is grounded. First assume source is 0 too.
- Three regions of operation
  - Cutoff
  - Linear
  - Saturation

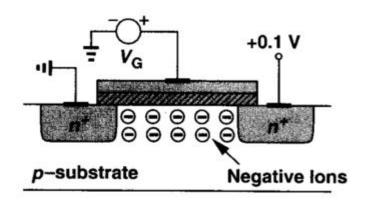




#### Funcionamento do MOSFET

 Supondo um aumento de Vg a partir do 0, um campo elétrico é formado abaixo do gate, repelindo os portadores de carga positiva, deixando íons negativos em seu lugar.





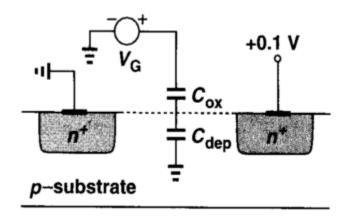
• Estes íons negativos criam uma zona de depleção, pois não há portadores de cargas disponíveis.





#### Funcionamento do MOSFET

 Aumentando a tensão Vg, as lacunas são repelidas ainda mais, formando algo como 2 capacitores em série: Um da Camada de óxido e outro da camada de depleção:

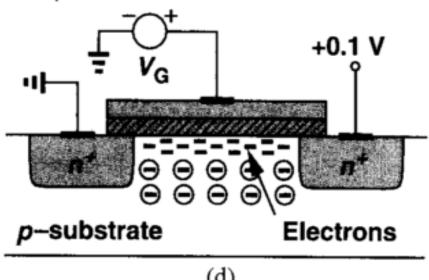






#### Funcionamento de um MOSFET

Quando Vg chega a um determinado nível, elétrons começam a fluir da interface do Source e eventualmente chegam ao Dreno, formando um canal de portadores de carga (camada de Inversão). Esta tensão limiar é chamada Vth (Treshold Voltage), que é a tensão em que o transistor está "ligado", ou seja, conduzindo corrente entre o dreno e o source. Nesta situação, a carga do canal é igual à carga da zona de depleção.

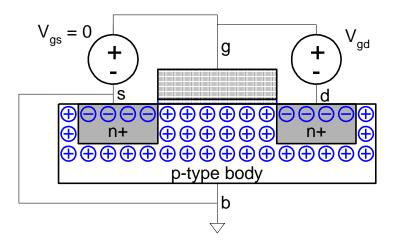






#### nMOS Cutoff

- No channel
- $I_{ds} \approx 0$

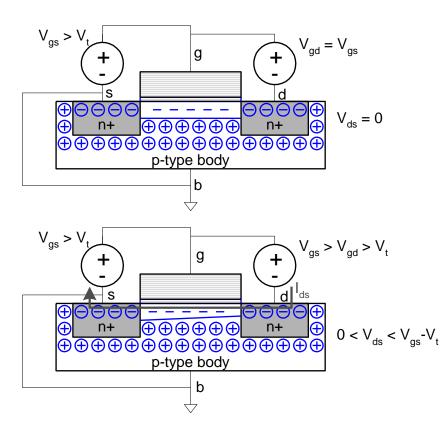






#### nMOS Linear

- Channel forms
- Current flows from d to s
  - $-e^{-}$  from s to d
- I<sub>ds</sub> increases with V<sub>ds</sub>
- Similar to linear resistor

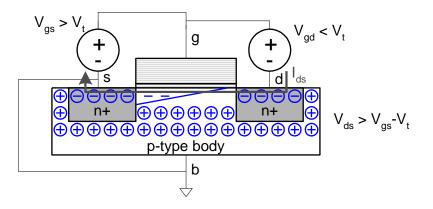






#### nMOS Saturation

- Channel pinches off
- I<sub>ds</sub> independent of V<sub>ds</sub>
- We say current saturates
- Similar to current source



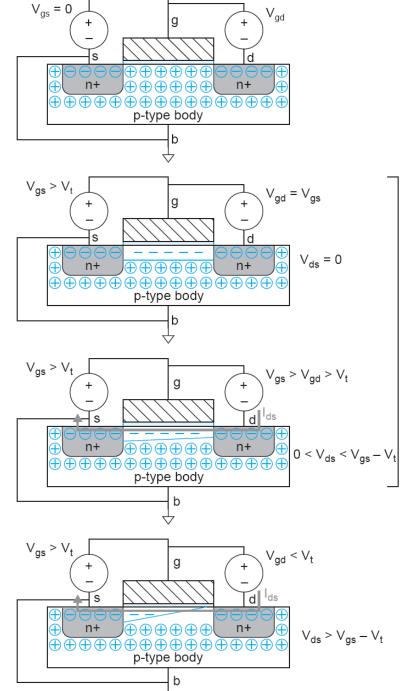


linear, and saturation regions of operation

(a)

(b)

FIGURE 2.3 nMOS transistor demonstrating cutoff, linear, and saturation regions of operation (c)



Cutoff: No Channel  $I_{ds} = 0$ 

Linear:

**Channel Formed** I<sub>ds</sub> Increases with V<sub>ds</sub>

Saturation:

Channel Pinched Off I<sub>ds</sub> Independent of V<sub>d</sub>

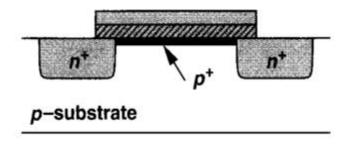
(d)





#### Funcionamento de um MOSFET

- É complicado definir Vth com precisão. Para melhorar a exatidão deste valor, aumenta-se a dopagem do substrato na região em que o canal se forma, elevando Vth:
- Apesar da condutividade entre o Dreno e o Source se dar de forma gradual com o aumento de Vgs, podemos assumir que esta condutividade se dá abruptamente quando Vgs >= Vth



**Figure 2.7** Implantation of  $p^+$  dopants to alter the threshold.





#### Funcionamento de um MOSFET

 O funcionamento de um PMOS se dá de forma similar ao NFET, porém com polaridades reversas:

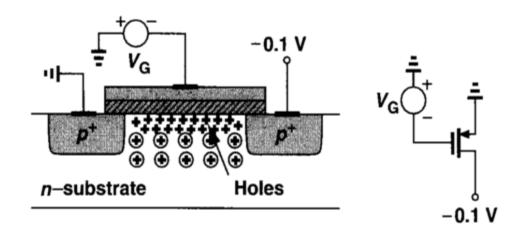


Figure 2.8 Formation of inversion layer in a PFET.



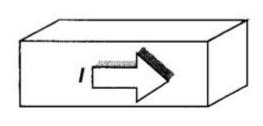


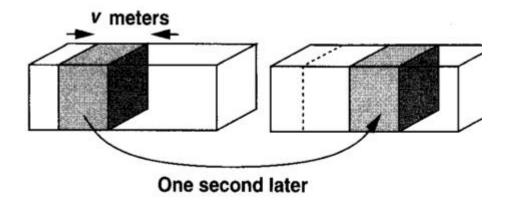
## Características I/V

 Considerando-se "Qd" a densidade de carga por seção de área em uma barra transversal condutora, e "v" a velocidade de deslocamento dos elétrons em m/s, a corrente é dada pela fórmula:

$$(A = C/s v = m/s Qd = C/m)$$

$$I = Q_d \cdot v$$
.





(a)

(b)

- In Linear region, I<sub>ds</sub> depends on
  - How much charge is in the channel?
  - How fast is the charge moving?





## **Channel Charges**

MOS structure looks like parallel plate capacitor while

operating in inversions

$$C_{ox} = \varepsilon_{ox} / t_{ox}$$

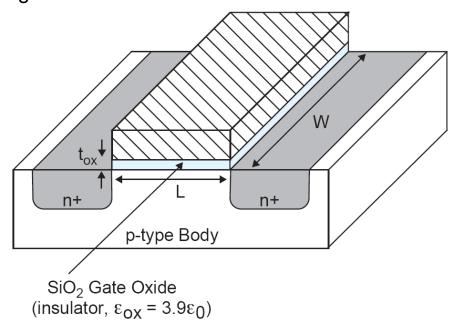
Gate – oxide – channel

$$\varepsilon_{ox} = k_{ox} \cdot \varepsilon_0$$

$$\varepsilon_0 = 8.85 \times 10^{-14} F / cm(permittivity\_free\_space)$$

$$-C = C_{g} = \varepsilon_{ox}WL/t_{ox} = C_{ox}WL^{k_{ox}} = 3.9(permittivity\_of\_SiO_{2})$$

$$k_{ox} = 3.9 (permittivity \_of \_Si0_2)$$







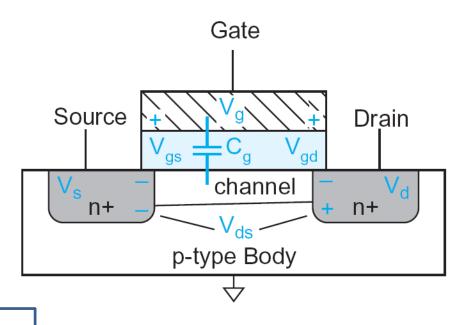
## **Channel Charges**

 We can compute currents if we know the amount of charge in the channel and the rate at which it moves.

• 
$$C = C_g = \varepsilon_{ox}WL/t_{ox} = C_{ox}WL$$

• 
$$V = V_{gc} - V_t = (V_{gs} - V_{ds}/2) - V_t$$

$$Q_{channel} = C_{ox}WL.(V_{GS} - V_{th} - V_{DS} / 2)$$



Average gate to channel potential:

$$V_{gc} = (V_{gs} + V_{gd})/2 = V_{gs} - V_{ds}/2$$

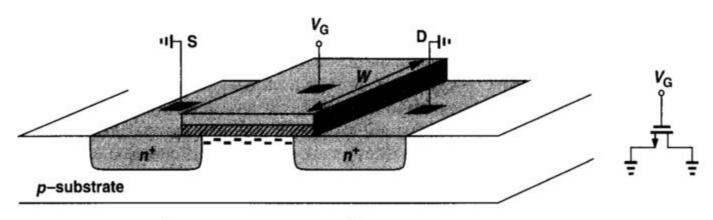




## Características I/V

 Para um MOSFET com o dreno e source aterrados, a densidade de carga para um tensão Vg > Vth é:

$$Q_d = WC_{ox}(V_{GS} - V_{TH})$$







## Carrier velocity

- Charge is carried by e-
- Electrons are propelled by the lateral electric field between source and drain

$$-E = V_{ds}/L$$
  $E(x) = -dV/dx$ 

Carrier velocity v proportional to lateral E-field

$$-v = \mu E$$
  $\mu$  called mobility

• Time for carrier to cross channel:

$$-t=L/v$$

$$t = \frac{L}{v} = \frac{L}{\mu E} = \frac{L}{\mu V_{DS} / L} = \frac{L^2}{\mu V_{DS}}$$





#### nMOS Linear I-V

- Now we know
  - How much charge Q<sub>channel</sub> is in the channel
  - How much time t each carrier takes to cross

$$Q_{channel} = C_{ox}WL.(V_{GS} - V_{th} - V_{DS} / 2)$$

$$I_{ds} = \frac{Q_{\text{channel}}}{t}$$

$$= \mu C_{\text{ox}} \frac{W}{L} \left( V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds}$$

$$= \beta \left( V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds}$$

$$t = \frac{L}{v} = \frac{L}{\mu E} = \frac{L}{\mu V_{DS} / L} = \frac{L^2}{\mu V_{DS}}$$

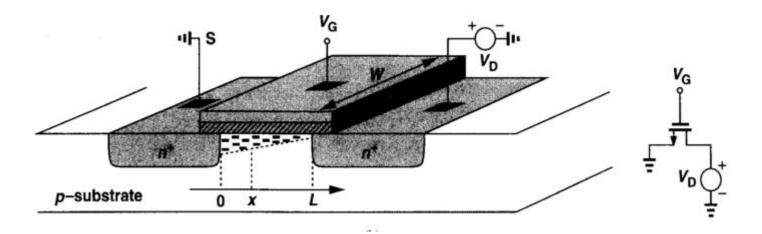




# Características I/V

 Para um MOSFET polarizado com Vd > 0, a densidade de Carga sob o canal para Vg > Vth, para uma posição x do canal é:

$$Q_d(x) = WC_{ox}[V_{GS} - V(x) - V_{TH}],$$







## Caracterísicas I/V

 Podemos deduzir a fórmula da corrente que flui do Dreno para o Source Id:

$$I_D = -WC_{ox}[V_{GS} - V(x) - V_{TH}]v,$$
  $v = \mu E$ 

$$I_D = WC_{ox}[V_{GS} - V(x) - V_{TH}]\mu_n \frac{dV(x)}{dx},$$
  $E(x) = -dV/dx$ 

$$\int_{x=0}^{L} I_D dx = \int_{V=0}^{V_{DS}} W C_{ox} \mu_n [V_{GS} - V(x) - V_{TH}] dV.$$

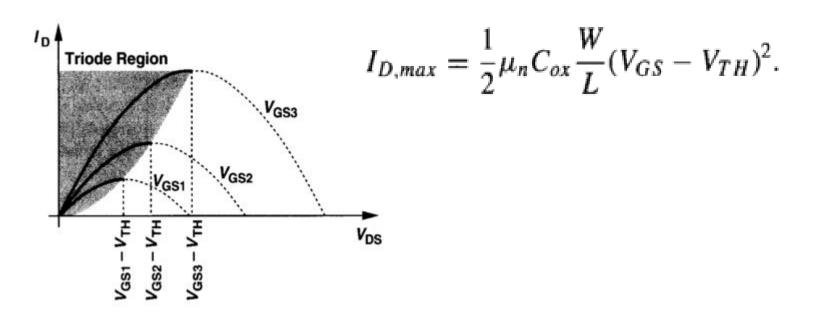
$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$





# Caracterírsticas I/V - Triodo

 Assim, o gráfico Id x Vds é uma parábola, mas a função só é válida para a região antes do valor máximo de corrente, quando Vds = Vgs – Vth. Chamamos (Vgs – Vth) de "Overdrive Voltage". Esta faixa de operação é chamada de região de triodo.

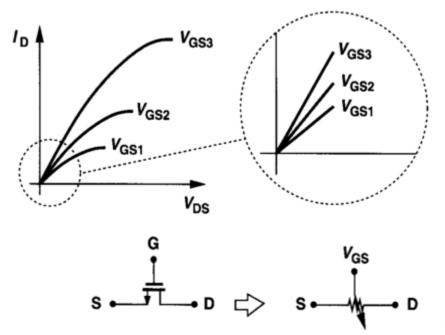






#### Características I/V – Triodo Profundo

 Para valores muito pequenos de Vds (Vds << 2(Vgs-Vth)), a parábola pode ser aproximada por uma reta, e o MOSFET se comporta como um resistor. Esta faixa de operação é chamada de Triodo Profundo.



$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS}$$

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

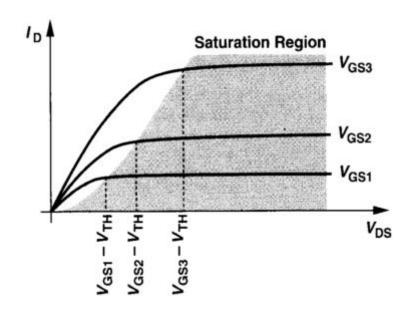
**Figure 2.13** MOSFET as a controlled linear resistor.





# Características I/V - Saturação

 Ao invés da corrente cair quando Vds é maior que a tensão de overdrive, ela se mantém quase constante quando aumentamos Vds. Esta faixa de operação é chamada de região de saturação

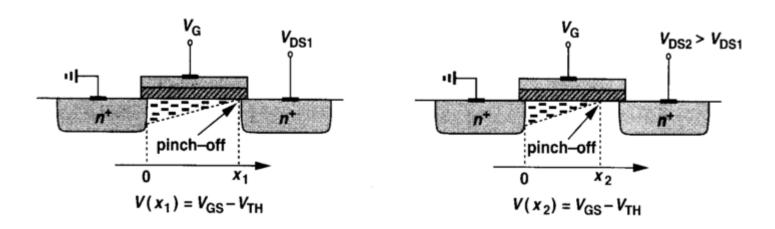






# Características I/V - Saturação

 Com o aumento de Vds, o canal de portadores negativos é estrangulado, pois a Densidade de carga Qd tende a 0. Se chamarmos L' = L - x, temos:



$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2$$





#### nMOS Saturation I-V

- If V<sub>gd</sub> < V<sub>t</sub>, channel pinches off near drain
  - When  $V_{ds} > V_{dsat} = V_{gs} V_{t}$
- Now drain voltage no longer increases current

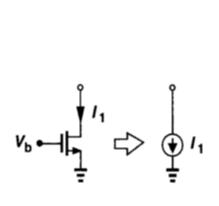
$$I_{ds} = \beta \left( V_{gs} - V_t - \frac{V_{dsat}}{2} \right) V_{dsat}$$
$$= \frac{\beta}{2} \left( V_{gs} - V_t \right)^2$$

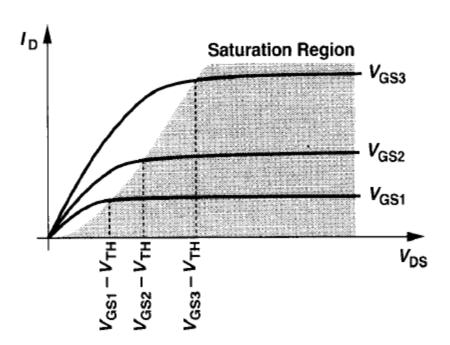




# Características I/V - Saturação

 Neste ponto, a carga acumulada no canal começa a ser "drenada", e a tensão do gate é insuficiente para manter a camada de inversão. Assim, idealmente a corrente permanece constante para Vds >= VGs – Vth, assumindo o comportamento de uma fonte de corrente constante.









#### Transcondutância

- Para um MOSFET em saturação, a transcondutância "gm" é a medida de o quanto o dispositivo consegue transformar a tensão Vgs em corrente Id. De certa forma, gm é a medida da sensibilidade do MOSFET
- É interessante observar que gm aumenta aumenta com a tensão de overdrive se W/L é constante, enquanto que gm diminui com a tensão de overdrive se Id é constante





# nMOS I-V Summary

Shockley 1<sup>st</sup> order transistor models

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{cutoff} \\ \beta \left( V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} & \text{linear} \\ \frac{\beta}{2} \left( V_{gs} - V_t \right)^2 & V_{ds} > V_{dsat} & \text{saturation} \end{cases}$$





### Example

- We will be using a 0.6 μm process for your project
  - From AMI Semiconductor

$$-t_{ox} = 100 \text{ Å}$$

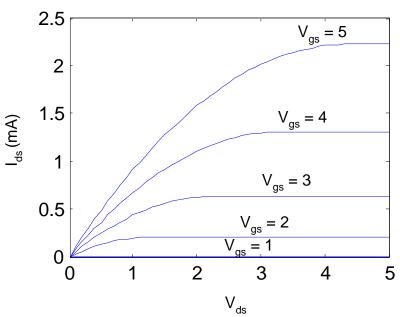
$$- \mu = 350 \text{ cm}^2/\text{V*s}$$

$$-V_{t} = 0.7 V$$

Plot I<sub>ds</sub> vs. V<sub>ds</sub>

$$-V_{gs} = 0, 1, 2, 3, 4, 5$$

– Use W/L = 
$$4/2 \lambda$$



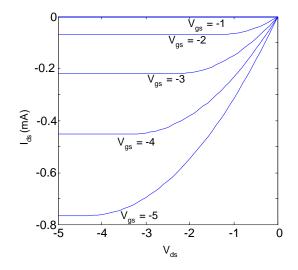
$$\beta = \mu C_{ox} \frac{W}{L} = (350) \left( \frac{3.9 \times 8.85 \cdot 10^{-14}}{100 \cdot 10^{-8}} \right) \left( \frac{W}{L} \right) = 120 \frac{W}{L} \, \mu \text{A/V}^2$$





### pMOS I-V

- All dopings and voltages are inverted for pMOS
  - Source is the more positive terminal
- Mobility  $\mu_p$  is determined by holes
  - Typically 2-3x lower than that of electrons  $\mu_n$
  - 120 cm<sup>2</sup>/V•s in AMI 0.6 μm process
- Thus pMOS must be wider to provide same current
  - In this class, assume  $\mu_n / \mu_p = 2$

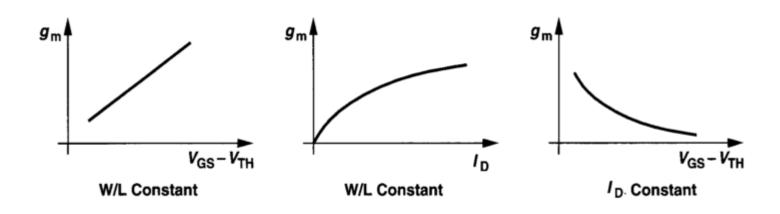






#### Transcondutância

O comportamento de gm para cada situação:



$$g_{m} = \frac{\partial I_{D}}{\partial V_{GS}} \Big|_{VDS, \text{const.}}$$

$$= \mu_{n} C_{ox} \frac{W}{L} (V_{GS} - V_{TH}).$$

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D}$$
$$= \frac{2I_D}{V_{CS} - V_{TH}}.$$





## Efeitos de segunda ordem

 Mosfets são dispositivos não-lineares e vão além da análise de comportamento ideal. Os efeitos de segunda ordem descrevem melhor o comportamento real dos dispositivos, e ao estudá-los podemos fazer simplificações mais próximas da realidade





## Efeito de Corpo

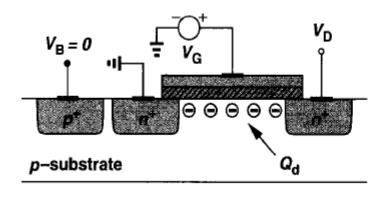
- Os NFETs de um CI são construidos em um mesmo substrato compartilhado entre todos eles.
- Na análise anterior, consideramos que o terminal do corpo estava ligado ao source, mas isso nem sempre será possível

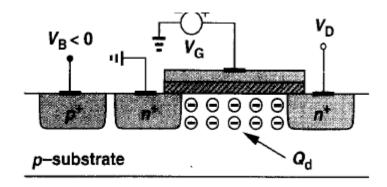




## Efeito de corpo

 Quando aplicamos ao Bulk uma tensão menor que o source, as lacunas da região abaixo do gate são atraídas para o terminal, aumentando o número de íons negativos da camada de Depleção.









## Efeito de Corpo

- Isso faz com que seja necessária uma tensão no Gate maior para que a carga em seu terminal seja idêntica à carga da zona de depleção.
- Assim, uma diferença de potencial entre o Source e o Bulk (Vsb) causa uma alteração em Vth dada por:

Onde  $\gamma$  é o coeficiente de efeito de corpo, e seu valor fica entre 0.3 e 0.4  $V^{1/2}$ 

$$V_{TH} = V_{TH0} + \gamma \left( \sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|} \right),$$





## Modulação do Canal

- Quando o dispositivo entra em saturação, além do estrangulamento do canal, há um encurtamento dele, e a largura do canal encurtado L' não deve ser simplesmente aproximada por L. Na verdade, L' é uma função de Vds.
- A relação entre L' e Vds, e a equação nova:

$$L' = L - \Delta L$$

$$\frac{L}{L'} = \frac{\Delta L}{L'} + \frac{L'}{L'}$$

$$\frac{L}{L'} = \frac{\Delta L}{L'} + 1$$

$$\frac{\Delta L}{L'} \approx \frac{\Delta L}{L}$$

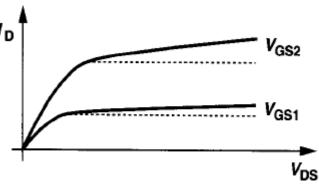
$$\frac{1}{L'} \approx \frac{1 + \frac{\Delta L}{L}}{L}$$

$$\frac{\Delta L}{L} = \lambda V ds$$

$$\frac{1}{L'} \approx \frac{1 + \lambda V ds}{L}$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2$$

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$







## Modulação do canal

 A transcondutância de um dispositivo em saturação levando-se em conta a modulação do canal fica:

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}).$$
$$= \sqrt{\frac{2\mu_n C_{ox} (W/L) I_D}{1 + \lambda V_{DS}}},$$





## Condução Sub-Treshold

 Em um MOSFET ideal, a condução inicia-se abruptamente com Vgs >= Vth, mas na prática, para Vgs <= Vth, uma fraca corrente flui do dreno para o source devido a formação de uma fraca camada de inversão principalmente na fronteira do substrato com o Gate.

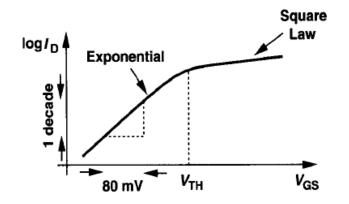




## Condução Sub-Treshold

 Para um Vds superior a 200mV, a corrente em sub-treshold está relacionada de forma exponencial com Vgs:

$$I_D = I_0 \exp \frac{V_{GS}}{\zeta V_T},$$



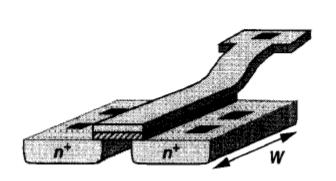
Em uma escala logarítmica, Id cai uma década para cada redução de 80mV em Vgs.

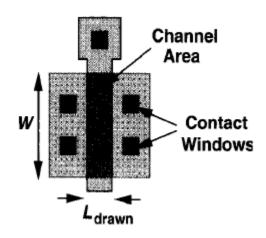
A corrente de sub-treshold pode causar muita dissipação desnecessária de energia em circuitos complexos.

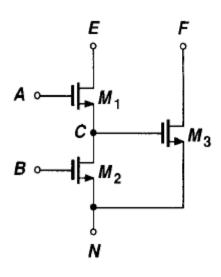


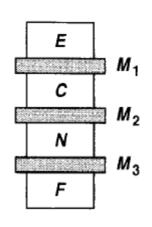


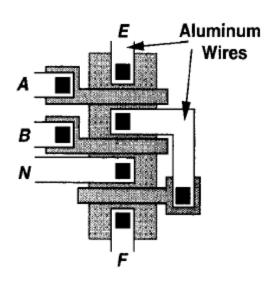
### Modelos construtivos















## Capacitâncias do MOSFET

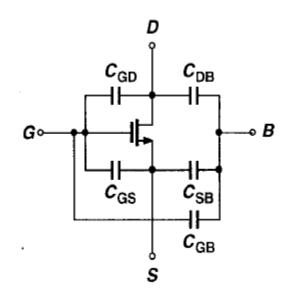
 As análises até aqui foroam feitas para valores invariantes no tempo, ou seja, estáticas.
 Quando estamos projetando circuitos onde o comportamento do dispositivo no tempo é relevante (altas frequencias), as capacitâncias entre as junções devem ser levadas em consideração

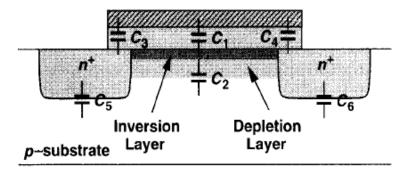




### Capacitâncias do MOSFET

- São elas:
- Cgd -> gate-dreno
- Cgs -> gate-source
- Cgb -> gate-bulk
- Cdb -> dreno-bulk
- Csb -> source-bulk
- Cgd -> gate-camada de depleção

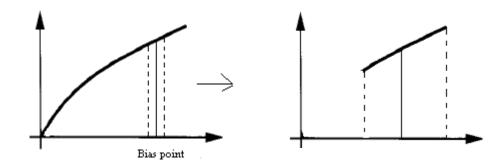








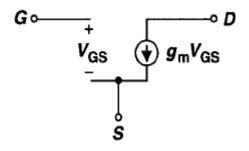
 Se o MOSFET está operando em torno de um ponto (bias), de grandezas aplicadas em seus terminais de tensão e corrente, e a variação em torno deste ponto é pequena de forma que as curvas características são aproximadamente lineares dentro deste intervalo, então podemos fazer um modelo simplificado de pequenos sinais







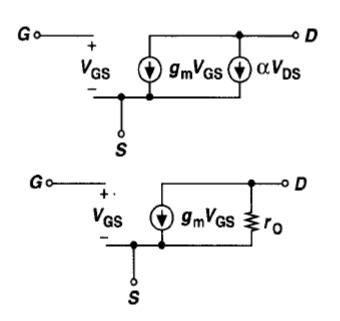
 Considerando um MOSFET ideal em saturação, temos que a corrente entre o dreno e o source é constante, então podemos modelá-lo como uma fonte de corrente ideal:







 Adicionando agora o efeito da modulação do canal, temos uma componente proporcional a Vds, mas uma corrente proporcional a uma tensão pode ser modelada como um resistor r0, que é a impedância de saída do MOSFET



$$r_{O} = \frac{\partial V_{DS}}{\partial I_{D}}$$

$$= \frac{1}{\partial I_{D}/\partial V_{DS}}.$$

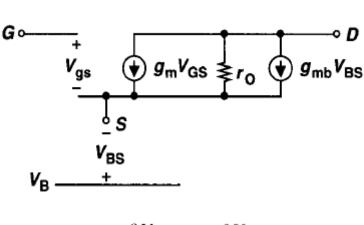
$$= \frac{1}{\frac{1}{2}\mu_{n}C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^{2} \cdot \lambda}$$

$$\approx \frac{1}{\lambda I_{D}}.$$





- Considerando o efeito de corpo, que é como se houvesse um segundo gate que adiciona uma corrente proporcional à tensão Vbs, temos:
- No entanto, uma tensão positiva Vbs pode causar o efeito de latch-on, ou seja, cria-se um diodo polarizado condutor entre o Bulk e o Source. Assim, o terminal B deve estar sempre no menor potencial do circuito.



$$\frac{\partial V_{TH}}{\partial V_{BS}} = -\frac{\partial V_{TH}}{\partial V_{SB}}$$
$$= -\frac{\gamma}{2} (2\Phi_F + V_{SB})^{-1/2}$$

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}}$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \left( -\frac{\partial V_{TH}}{\partial V_{BS}} \right)$$

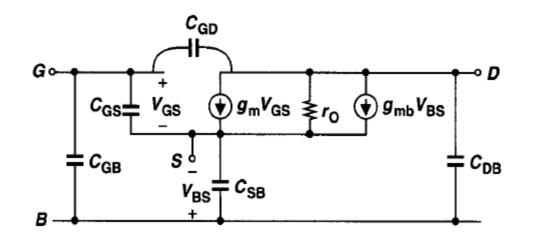
$$g_{mb} = g_m \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}}}$$

$$= \eta g_m \qquad \eta = g_{mb}/g_m$$





 O Modelo de pequenos sinais completo, considerando as capacitâncias fica:



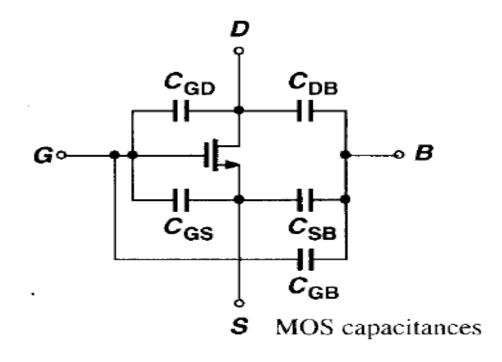




- Any two conductors separated by an insulator have capacitance
- Gate to channel capacitor is very important
  - Creates channel charge necessary for operation
- Source and drain have capacitance to body
  - Across reverse-biased diodes
  - Called diffusion capacitance because it is associated with source/drain diffusion



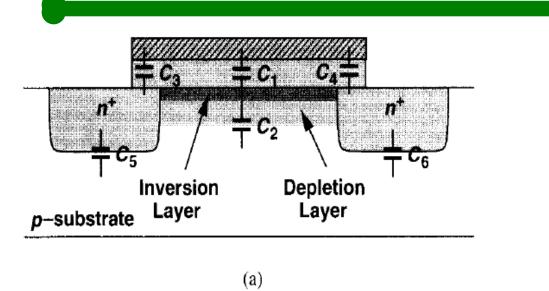


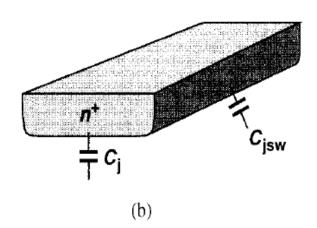


- Esperamos que uma capacitância exista entre duas a cada quatro terminais de um MOSFET.
- O valor de cada uma dessas capacitâncias pode depender da condução de polarização do transistor.





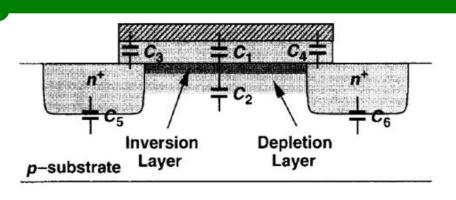


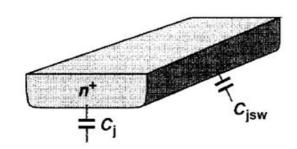


- (a) MOS device capacitances, (b) decomposition of S/D junction capacitance into bottom-plate and sidewall components.
  - Esperamos que uma capacitância exista entre duas a cada quatro terminais de um MOSFET.
  - O valor de cada uma dessas capacitâncias pode depender da condução de polarização do transistor.







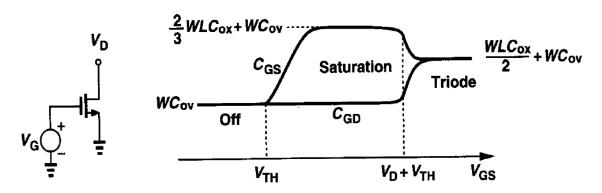


- Na figura identificamos capacitância óxido entre o gate e o canal,
   C<sub>1</sub> = WLC<sub>ox</sub>
- Capacitância de depleção entre o canal e o substrato  $C_2 = WL\sqrt{q\epsilon_{si}N_{sub}/(4\Phi_F)}$
- Capacitância devida ao overlap do poly gate com as áreas do source e do dreno, C₃ e C₄.
- Capacitância de junção entre as áreas source/dreno e o substrato, como mostrado na segunda figura. C<sub>j</sub> e C<sub>jsw</sub> são as capacitâncias por unidade de área e unidade de comprimento, respectivamente.

   , onde VR é a tensão reversa através da junção, *m* está entre 0.3 e
   0.4. C<sub>j</sub> = C<sub>j0</sub>/[1 + V<sub>R</sub>/Φ<sub>B</sub>]<sup>m</sup>







Variation of gate-source and gate-drain capacitances versus  $V_{GS}$ .

Derivando as capacitâncias entre os terminais do MOSFET em diferentes regiões de operação.

• Se o dispositivo está desligado,  $C_{GD} = C_{GS} = C_{ov}W$ , e a capacitância gate-bulk consiste de uma série de combinações de capacitâncias gate óxido e capacitâncias da região de depleção,  $C_{GR} = (WLC_{ox})C_d/(WLC_{ox} + C_d)$ , onde L é o comprimento efetivo e  $C_d = WL\sqrt{q\epsilon_{si}N_{sub}/(4\Phi_F)}$ . O valor de  $C_{SB}$  e  $C_{DB}$  está em função das tensões do gate e do source em relação ao substrato.



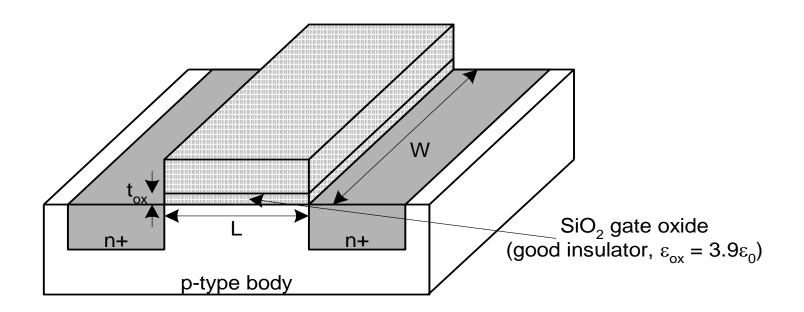


- Se o dispositivo está em região triodo profunda, por exemplo, se S e D possuem tensões aproximadamente iguais, então a capacitância gatecanal,  $WLC_{ox}$ , é dividida igualmente entre os terminais gate e source e os terminais gate e dreno. Isto porque a diferença  $\Delta v$ na tensão gate, iguala a carga de S para D. Assim,  $C_{GD} = C_{GS} = WLC_{ox}/2 + WC_{ov}$
- Se em saturação, o MOSFET apresenta uma capacitância gate-dreno de aproximadamente  $WC_{ov}$  a diferença de potencial entre o gate e o canal, varia de Vgs no source à Vgs-Vth no ponto pinch-off, resultando num campo elétrico vertical não uniforme no óxido do gate ao longo canal.
- A capacitância gate-source é negligenciada nas regiões de triodo e saturação porque a camada de inversão atua como um escudo entre o gate e o bulk. Em outras palavras, se a tensão do gate varia, a carga é fornecida pelo source e pelo dreno, ao invés de ser pelo bulk.





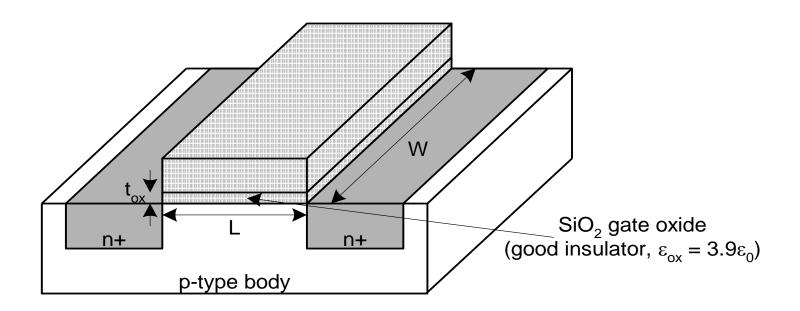
- Gate capacitance is necessary to attract charge to invert the channel – High Cg is required to obtain high Ids.
- The bottom plate of Cg is the channel. When the transistor is on, the channel extends from the source. Thus Cg = Cgs.
- For high-speed and low dynamic power consumption minimum L for logic transistors







- $C_{gs} = \varepsilon_{ox}WL/t_{ox} = C_{ox}WL = C_{permicron}W$
- $C_{permicron}$  is typically about 2 fF/ $\mu m$  in old processes and 1 fF/ $\mu m$  at the 65nm process. If both the channel length and oxide thickness are reduced by the same factor,  $C_{permicron}$  remains almost unchanged.

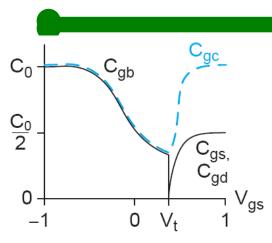




(a)

(b)



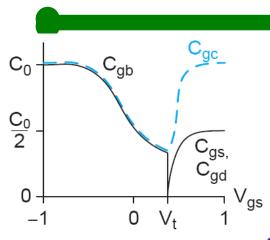


- $\begin{array}{c|c}
  C_0 & C_{gc} \\
  C_0 & \frac{C_{gs}}{2} & \frac{2}{3}C_0 \\
  C_{gd} & \frac{V_{ds}}{V}
  \end{array}$
- **FIGURE 2.9** Intrinsic gate capacitance  $C_{gc} = C_{gs} + C_{gd} + C_{gb}$  as a function of (a)  $V_{gs}$  and (b)  $V_{ds}$

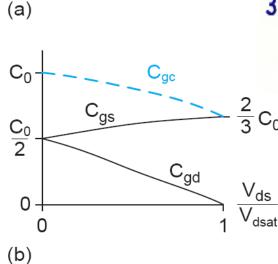
- Gate Cap. has two components: Cgc (intrinsic cap. over the channel) and Cgol (overlap)
- The intrinsic cap. Cgc has 3 components: Cgb (gate-to-body), Cgs (gate-to-source) and Cgd(gate-to-drain).
- $C_0 = \varepsilon_{0x}WL/t_{0x} = C_{0x}WL$
- 1. Cutoff. When the transistor is OFF ( $V_{gs} = 0$ ), the channel is not inverted and charge on the gate is matched with opposite charge from the body. This is called  $C_{gb}$ , the gate-to-body capacitance. As  $V_{gs}$  increases but remains below a threshold, a depletion region forms at the surface. This effectively moves the bottom plate downward from the oxide, reducing the capacitance.
- 2. Linear. When  $V_{gs} > V_{ts}$  the channel inverts and again serves as a good conductive bottom plate. However, the channel is connected to the source and drain, rather than the body. At low values of  $V_{ds}$ , the channel charge is roughly shared between source and drain, so  $C_{gs} = C_{gd} = C_0/2$ . As  $V_{ds}$  increases, the region near the drain becomes less inverted, so a greater fraction of the capacitance is attributed to the source and a smaller fraction to the drain.







- Gate Cap. has two components: Cgc (intrinsic cap. over the channel) and Cgol (overlap)
- The intrinsic cap. Cgc has 3 components: Cgb (gate-to-body), Cgs (gate-to-source) and Cgd(gate-to-drain).



**FIGURE 2.9** Intrinsic gate capacitance  $C_{gc} = C_{gs} + C_{gd} + C_{gb}$  as a function of (a)  $V_{gs}$  and (b)  $V_{ds}$ 

**3.** Saturation. At  $V_{ds} > V_{gs} - V_t$ , the transistor saturates and the channel pinches off. At this point, all the intrinsic capacitance is to the source. Because of pinchoff, the capacitance in saturation reduces to  $C_{gs} = 2/3$   $C_0$  for an ideal transistor [Gray01].

Table 2.1 Approximation of intrinsic MOS gate capacitan						
Parameter	Cutoff	Linear	Saturation			
$C_{gb}$	$C_0$	0	0			
$C_{g_7}$	0	C <sub>0</sub> /2	2/3 C <sub>0</sub>			
$C_{gd}$	0	C <sub>0</sub> /2	0			
$C_g = C_{gs} + C_{gd} + C_{gb}$	$C_0$	$C_0$	2/3 C <sub>0</sub>			
		The second secon				





- The gate overlaps the source and drain, leading to additional overlap. These capacitances are proportional to the width of the transistor.  $C_{gsol(overlap)} = C_{gsol}W$ ;  $C_{gdol(overlap)} = C_{gdol}W$
- $C_{gsol}$ ,  $C_{gdol}$  are typically about 0.2-0.4 fF/ $\mu$ m.

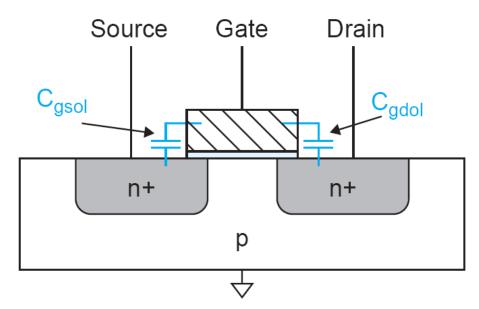


FIGURE 2.10 Overlap capacitance





• For the purpose of delay calculation of digital circuits, we usually approximate:  $C_g = C_{gs} + C_{gd} + C_{gb} = C_0 + 2C_{gol}W$ 

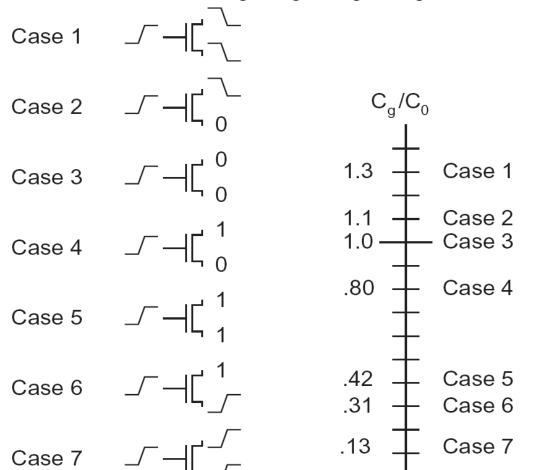


FIGURE 2.11 Data-dependent gate capacitance

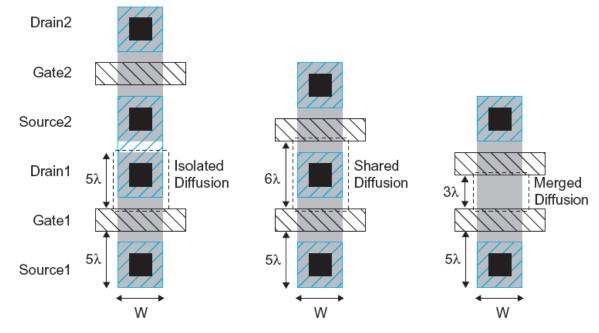




 C<sub>sb</sub>, C<sub>db</sub> - Undesirable, called *parasitic* capacitance. These cap. are not fundamental to operation of the devices, but do impact circuit performance.

 The depletion region acts as an insulator between the conducting p and n-type regions, creating cap. across the

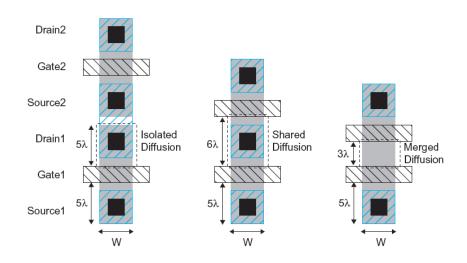
junction.







- Capacitance depends on area and perimeter of the source and drain diffusion, the depth of the diffusion, the doping levels and the voltage.
  - Use small diffusion nodes for small Csb and Cdb.
  - Comparable to C<sub>g</sub>
     for contacted diff
  - ½  $C_g$  for uncontacted
  - Varies with process







- The capacitance depends on both the area AS=WD and sidewall parimeter PS=2W+2D.
- The total source parasitic capacitance is

$$C_{sb} = AS \times C_{jbs} + PS \times C_{jbssw}$$

Because the depletion region thickness depends on the bias conditions, these parasitics are nonlinear.

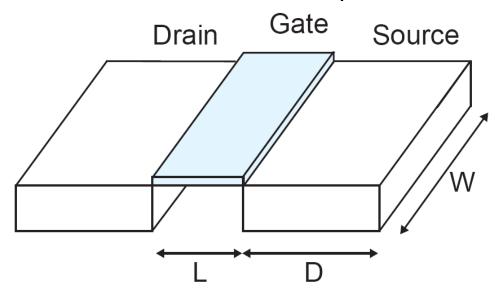


FIGURE 2.12 Diffusion region geometry





$$C_{sb} = AS \times C_{jbs} + PS \times C_{jbssw}$$

$$C_{jbs} = C_J \left( 1 + \frac{V_{sb}}{\psi_0} \right)^{-M_J}$$

$$C_{jbssw} = C_{JSW} \left( 1 + \frac{V_{sb}}{\psi_{SW}} \right)^{-M_{JSW}}$$

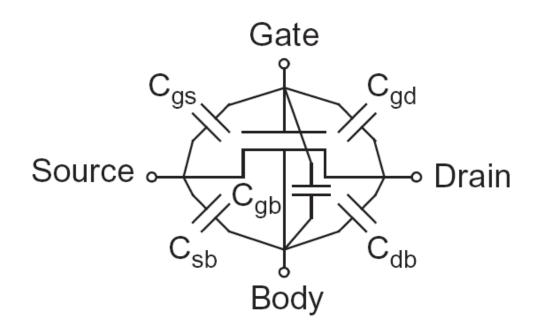
$$\psi_0 = V_T \ln \frac{N_A N_D}{n_i^2}$$

- C<sub>J</sub> is the junction cap. at zero bias and is highly process-dependent.
- $M_J$  is the junction grading coefficient (0.5 t 0.33)
- ψ0 is the built-in potential that depends on doping levels.
- $V_T$  is the thermal voltage kT/q (26mV).
- N<sub>A</sub> N<sub>D</sub> are the doping levels of the body and source diffusion region.
- ni is the intrinsic carrier concentration.





- In summary, the gate capacitance includes an intrinsic component and overlap terms with the source and drain.
- The source and drain have parasitic diffusion capacitance to the body.







#### Modelo SPICE do MOS

Table 2.1 Level 1 SPICE Models for NMOS and PMOS Devices.

NMOS Mode	Ν	М	os	М	ode	ı
-----------	---	---	----	---	-----	---

$$LEVEL = 1$$

$$NSUB = 9e+14$$

$$TOX = 9e-9$$

$$MJ = 0.45$$

PMOS Model

$$LEVEL = 1$$

$$NSUB = 5e + 14$$

$$TOX = 9e-9$$

$$MJ = 0.5$$

$$VTO = 0.7$$

$$LD = 0.08e - 6$$

$$PB = 0.9$$

$$MJSW = 0.2$$

VTO = -0.8

MJSW = 0.3

PB = 0.9

LD = 0.09e - 6

$$GAMMA = 0.45$$

$$UO = 350$$

$$CJ = 0.56e - 3$$

$$CGDO = 0.4e - 9$$

$$GAMMA = 0.4$$

$$UO = 100$$

$$CJ = 0.94e - 3$$

$$CGDO = 0.3e - 9$$

$$PHI = 0.9$$

$$LAMBDA = 0.1$$

$$CJSW = 0.35e - 11$$

$$JS = 1.0e - 8$$

$$PHI = 0.8$$

$$LAMBDA = 0.2$$

$$CJSW = 0.32e - 11$$

$$JS = 0.5e - 8$$





#### Modelo SPICE do MOS

VTO: threshold voltage with zero  $V_{SB}$  (unit: V)

GAMMA: body effect coefficient (unit: V<sup>1/2</sup>)

PHI:  $2\Phi_F$  (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit: cm<sup>-3</sup>)

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: cm<sup>2</sup>/V/s)

LAMBDA: channel-length modulation coefficient (unit:  $V^{-1}$ )

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m²)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m²)