

Amplificador Operacional

Relatório do Projeto Final de Projeto de Circuitos Integrados 1

Arthur Simões Gonzaga
arthursgonzaga@gmail.com
14/0016775

Matheus Pereira Santana
matheuskx.mp@gmail.com
14/0028544

Resumo— Este trabalho visa contemplar a descrição da montagem de um amplificador operacional baseado em transistores de tecnologia MOS. O amplificador atende às especificações de um datasheet comercial. O projeto do amplificador foi feito na ferramenta Cadence.

Palavras-Chave— Transistores, CMOS, Amplificador Operacional.

I. INTRODUÇÃO

Amplificador Operacional, ou simplesmente AmpOp, é um dos poucos dispositivos eletrônicos que possuem mais de 2 terminais. A função deste dispositivo é, como seu próprio nome diz, proporcionar a amplificação de um sinal. Este sinal é amplificado através de circuitos internos compostos de transistores, resistores e outros componentes básicos, encapsulados em silício, formando um circuito integrado para o AmpOp. Ele pode ser configurado em modos diferenciais, podendo realizar operações matemáticas contínuas. [1]

O AmpOp possui, conforme a Figura 1, 5 terminais de interesse. Duas entradas para sinais (entrada inversora e não inversora), alimentação (à qual limita e define o nível de saturação do AmpOp) e uma saída, à qual tem como produto o sinal amplificado. [1]

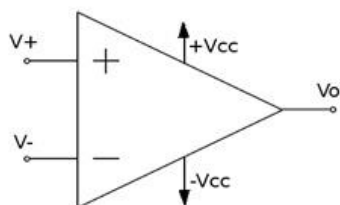


Fig.1. AmpOp e seus terminais

A tensão de saída de um AmpOp pode ser dada pela fórmula:

$$V_{saída} = \text{Ganho} * (V_{\text{não-inversor}} - V_{\text{inversor}}) \quad (1)$$

Um AmpOp ideal possui as seguintes propriedades [2]:

- Impedância de Entrada Infinita (implica que não entra corrente nele);

- Ganho de tensão Infinito (implica que a entrada inversora tem de ser igual à não inversora);
- Impedância de saída é nula, ou seja, há corrente saindo do terminal de saída;

Contudo, o AmpOp real não possui um ganho infinito, e, no entanto, há um limite de tensão máxima que ele pode amplificar. Portanto, o ganho é definido a partir da tensão de alimentação dele, impondo um limite de saturação. A alimentação do AmpOp deve ser feita com o mesmo valor para tensões positivas e negativas. A tensão de saída geralmente fica perto da tensão de alimentação, ou seja, não ultrapassa os valores destes terminais. O amplificador não funciona mais de forma linear quando ultrapassa os níveis de saturação, contudo, tende a ter a saída igual a um percentual dos terminais de alimentação.

$$V_{saída} = \begin{cases} -V_{cc} & G(V_+ - V_-) < -V_{cc} \\ G(V_+ - V_-) & -V_{cc} \leq G(V_+ - V_-) \leq +V_{cc} \\ +V_{cc} & G(V_+ - V_-) > +V_{cc} \end{cases}$$

Operação de um Amplificador Operacional

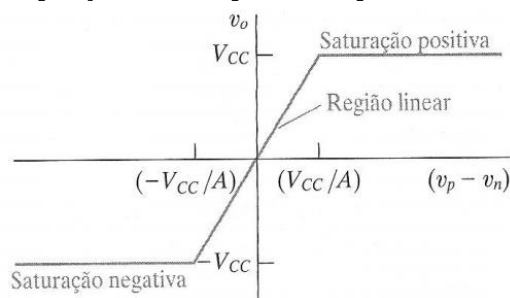


Fig. 2. Resultado da Operação do AmpOp. ($A = G$)

Os amplificadores podem ser divididos conforme a sua topologia ou seu tipo. Existem quatro tipos (Amplificadores de Tensão, Corrente, Transcondutância, Transresistência) e há quatro topologias principais: Amplificadores Inversores, Não Inversores, Diferencial e de Instrumentação, porém, há também os Amplificadores de Buffer e Conversor Digital Analógico, que são muito utilizados também. [1]

II. ANÁLISE ANALÍTICA

Existem diversas topologias que podem ser utilizadas como um amplificador operacional, sendo o mais utilizado a topologia com um par diferencial controlado por uma fonte de corrente seguido de um segundo estágio de um amplificador de carga ativa.

A topologia escolhida pela dupla foi com o par diferencial NMOS no primeiro estágio e no segundo estágio a topologia de carga ativa com common source.

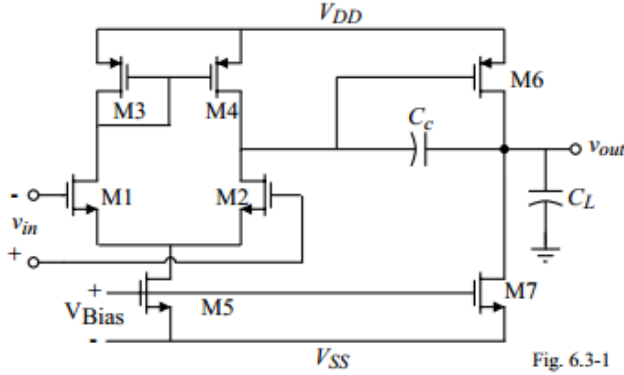


Fig. 6.3-1

Fig.3. Topologia escolhida – NMOS como par diferencial e carga ativa common source no segundo estágio.

Os requisitos do projeto levantados foram:

Tabela 1: Requisitos do Projeto

Parâmetro	Referência
Ganho de Malha Aberta	110 dB
Ibias	1 uA
Produto Ganho Banda	0.39 MHz
Slew Rate	> 0.21 V/uS
CL	30 pF
Margem de Fase	67°
CMRR	60 dB
PSRR	57 dB
Vdd	3 V.

A. Cálculos para o Projeto

A compensação do circuito é um parâmetro a ser decidido no início do projeto, tendo em vista que ele remete à estabilidade do sistema. Levando em consideração a margem de fase e já conhecendo as equações de compensação de Miller para o capacitor Cc, temos as seguintes equações [3]:

$$P_1 = \frac{1}{r_{o2} \parallel r_{o4} * C_C * A_{V_{o2}}} \quad (2)$$

$$P_2 = \frac{gm_6}{C_L} \quad (3)$$

$$Z = \frac{gm_6}{C_C} \quad (4)$$

Assumindo que Z (zero) é 10 vezes o produto ganho banda e que o ganho banda está associado à transcondutância do transistor M1 e o capacitor Cc, podemos chegar à seguinte equação (5) e à relação (6):

$$GB = \frac{gm_1}{C_C} \quad (5)$$

$$gm_6 = 10gm_1 \quad (6)$$

Sabendo de tais relações, pode-se encontrar o valor da capacitância Cc através da relação entre a defasagem total e a margem de fases (PM).

$$PM = 180 - \phi_T \quad (7)$$

$$\phi_T = \phi_{p1} + \phi_{p2} + \phi_z \quad (8)$$

Dessa forma, chegou-se na relação entre Cc e CL. Depois disto o projeto segue as seguintes etapas: dimensionamento da corrente através de M5, à qual é chamada de Iss. Depois são encontradas as dimensões de W/L dos transistores M1 e M2 através da transcondutância, isto através do produto ganho banda. Depois disto, calcula-se através do ICMR (valores de entrada mínimo e máximo), os valores das dimensões W/L dos transistores M3, M4 e M5, visando sempre deixar os mesmos em saturação.

$$V_{inMín} = V_{gs5} - V_{th1} \quad (9)$$

$$V_{inMáx} = V_{dd} - V_{dsat3} - V_{gs1} \quad (10)$$

Dado estes passos, pode-se passar para o dimensionamento do segundo estágio. Assume-se que a tensão gate-source em M6 é igual a M3, sabe-se que, a partir de (6), a corrente é conhecida. Desta forma, encontra-se os valores para o W/L de M6. Por fim, considera-se a corrente de M7 igual a de M6 (para haver o maior ganho possível nesta topologia) e que o mesmo está conectado como um espelho de corrente, igual a M5. Assim é possível encontrar as dimensões de W/L de M7.

Na parte de checagem, é possível encontrar as tensões de saída máxima e mínima, derivadas da saturação de M6 e M7 e o ganho total.

$$V_{outMáx} = V_{dd} - V_{dsat6} \quad (11)$$

$$V_{outMín} = V_{dsat7} \quad (12)$$

B. Resultados dos Cálculos

Através dos cálculos supracitados, podemos chegar aos seguintes valores:

$$C_c = 10 \text{ pF}$$

$$I_{ss} = 2,1 \text{ uA}$$

$$gm_1 = 24,5 \text{ uA/V}$$

As dimensões para W/L dos transistores encontradas através dos cálculos citados anteriormente:

Tabela 2: Valores das Dimensões de W/L

Transistor	Valor de W/L
M1	1.43
M2	1.43
M3	2.1
M4	2.1
M5	0.282
M6	24.5
M7	16.45
M8	0.134

C. Filtro Estipulado

Como parte do projeto, foi designado que o amplificador pudesse funcionar em alguma aplicação. Decidiu-se então tomar uma topologia comum para os filtros: Filtro Sallen-Key. O filtro estipulado irá se comportar como um passa-baixas, com frequência de corte de 5KHz, com curvas de resposta Bessel, isto é, com fator de qualidade (Q) igual a 0,5.

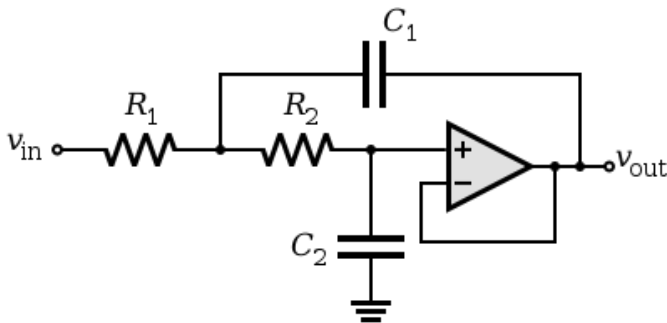


Fig.4. Filtro Sallen-Key Passa-Baixas

Para ele funcionar na frequência de corte e com o fator de qualidade escolhidos, obteve-se a partir dos cálculos os valores para os componentes:

Tabela 3: Valores para os componentes.

Componente	Valor
R1	10K Ω
R2	5K Ω
C1	2.1nF
C2	2.4nF

III. ANÁLISE EXPERIMENTAL

Para atingir os pré-requisitos do amplificador, alterou-se o W/L de cada transistor de acordo com a tabela abaixo:

Tabela 4: Valores das Dimensões de W/L

Transistor	Valor de W/L
M1	5
M2	5
M3	2.1
M4	2.1

M5	2.4
M6	58
M7	35.71
M8	0.134

Nas simulações obteve-se os seguintes valores para os parâmetros estipulados:

Tabela 5: Parâmetros alcançados no Projeto

Parâmetro	Referência
Ganho de Malha Aberta	112 dB
Ibias	1uA
Produto Ganho Banda	0.84 MHz
Slew Rate	0.5 V/uS
CL	30pF
Margem de Fase	68°
CMRR	87 dB
PSRR	138 dB
Vdd	3 V

O filtro passa-baixas executado obteve uma frequência de corte de 5.4KHz.

IV. DISCUSSÕES E CONCLUSÕES

Os valores utilizados de μCox nos cálculos eram divergentes das simulações, enquanto que nos cálculos utilizávamos o valor de 100uA/V para os PMOS e 200uA/V para os NMOS, esses valores são desconhecidos no Cadence os quais estamos usando.

No filtro feito foi considerado um ampop ideal, portanto, seu ganho é exatamente 5KHz. Como o amplificador feito não é ideal, a frequência de corte dá bem próxima da requisitada.

Além disto, para os efeitos de corpo e modulação do canal são utilizados alguns valores que também não são conhecidos na tecnologia utilizada no Cadence. Portanto, fica difícil casar os valores das simulações com os cálculos feitos.

Todas estas dificuldades podem ser contornadas pois as etapas do projeto foram bem elaboradas, então os projetistas conhecem as variáveis do circuito e, portanto, para atender os requisitos do projeto, sabem quais parâmetros alterar.

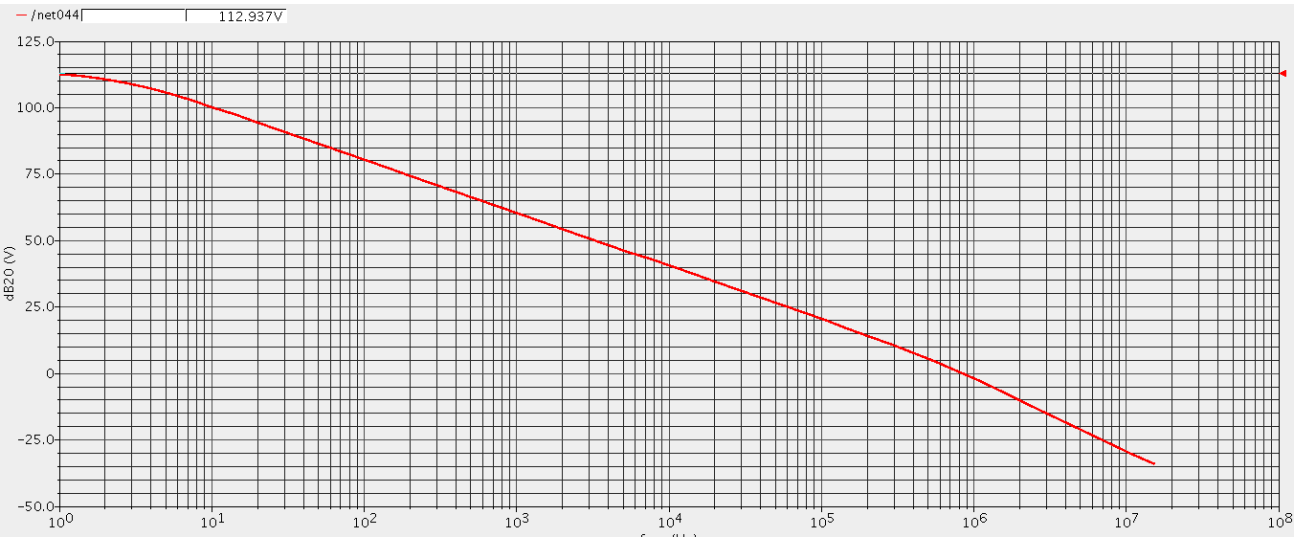
O projeto atendeu os parâmetros desejados, portanto, podemos concluir que as expectativas foram atendidas. Aprendeu-se nesse projeto como funciona o processo de projetar um amplificador operacional, lição de suma importância na vida de um engenheiro eletrônico.

V. REFERÊNCIAS

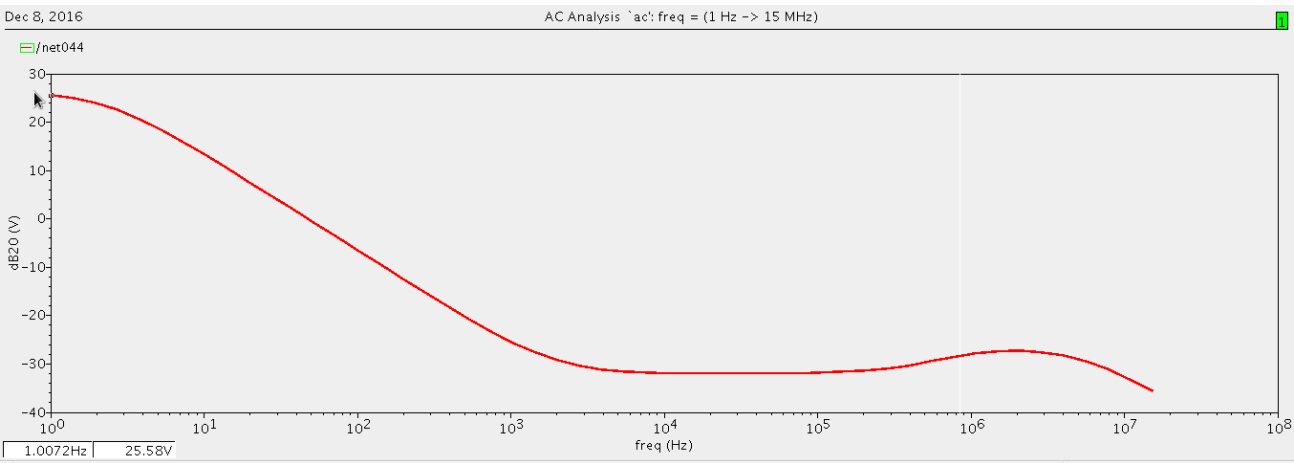
- [1] J. Nilsson e S. Riedel, Circuitos Elétricos, 8ª edição, 2009.
- [2] E. d. V. Garcia, *Material de Apoio - Amplificadores Operacionais*, Brasília, 2015.
- [3] P. E. Allen e D. R. Holberg, CMOS Analog Circuit Design, Nova York: Oxford University Press, 2002.

Anexos

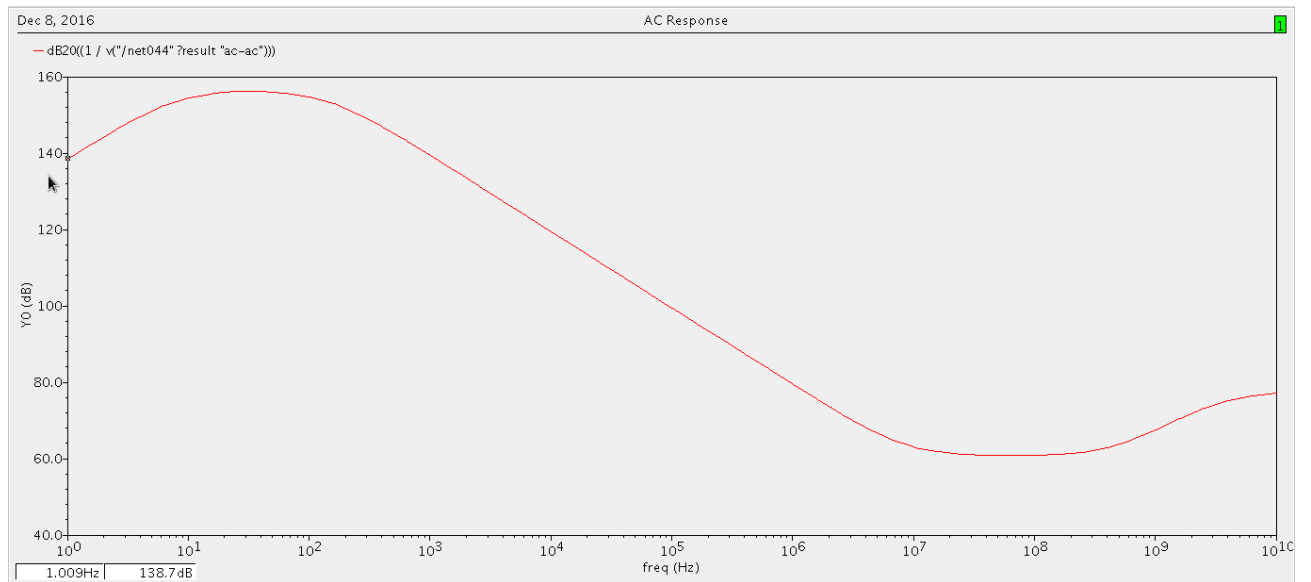
- Ganho em DB



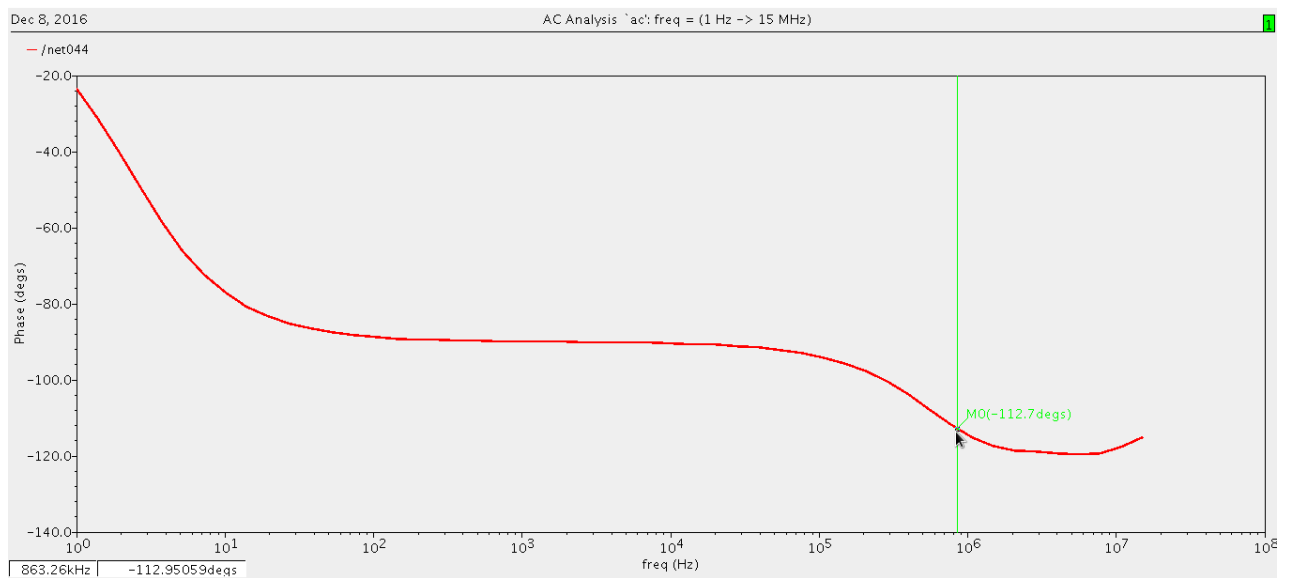
- CMRR



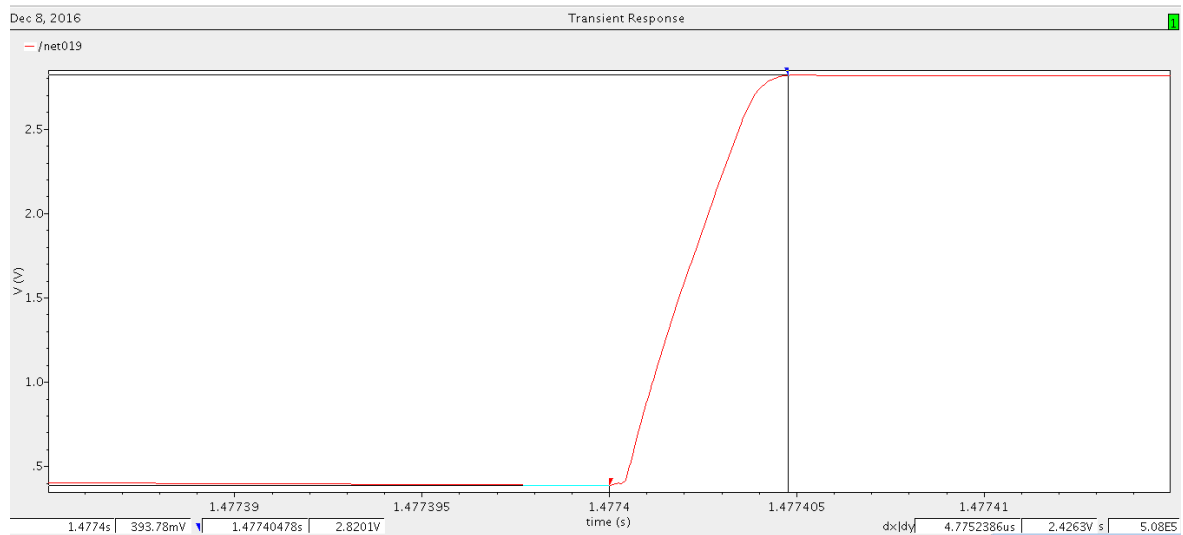
- PSRR



- Margem de Fase



- Slew Rate



- Resposta em Frequência do Filtro

