

PROJETO DE CIRCUITOS INTEGRADOS 2

Amplificadores de 2 estágios

Adolfo de Sousa Serique (14/0127640) e Gilvan Júnior Pereira Camargo (14/0141537)

Resumo—O trabalho tem como objetivo a criação de um amplificador diferencial que atenda especificações de ganho, slew rate, margem de fase, entre outras. São utilizados 2 estágios de amplificação e cada etapa do projeto é calculada e simulada no software Cadence. A topologia utilizada é PMOS.

Palavras-chave—Espelhos de Corrente, Par Diferencial, "Comom Source", Amplificador, Cadence.

I. INTRODUÇÃO

Os amplificadores diferenciais apresentam vantagens em rejeição de ruído, rejeição de nível dc comum e possibilitam grande excursão de saída. É importante ressaltar que o sinal do par de entrada possua um nível dc comum para que o sinal oscile sem chegar à uma tensão tão baixa que desligue os transistores de entrada.

Um estágio de amplificação completo implica que um sinal de tensão elétrica seja convertido em corrente e logo após, reconhecido como uma tensão novamente. A figura 1 exibe o espelho de corrente ativo que é o primeiro estágio de amplificação. Define-se a corrente I_5 que circulará pelo par diferencial, já projetando, portanto, as correntes que passarão pelos ramos 1 e 2, $I_5/2$, considerando simetria dos transistores 1 e 2. Semelhantemente, ocorre com os transistores 3 e 4. O transistor M_3 na configuração mostrada na figura 1 (diodo conectad) permite a comunicação com o transistor M_4 que produz a tensão de saída V_{out} .

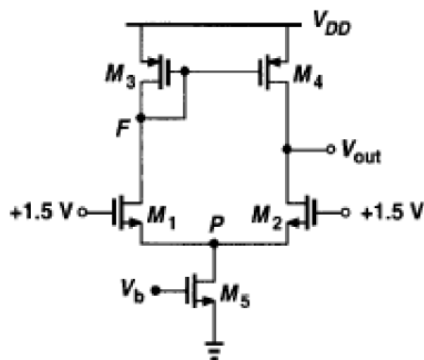


Fig. 1. Par Diferencial com Espelho de Corrente Ativo.

O par diferencial pode ter entrada NMOS quando do modo comum de entrada não é próximo de 0V, mas pode ter entrada invertida PMOS caso o sinal de entrada oscile próximo de 0v, isto ocorre naturalmente para deixar os transistores no modo de operação desejado. Neste projeto será usada a entrada invertida PMOS, pela excursão do sinal de entrada ser de [0,2,

$(V_{DD} - 1.1)$]. E o diodo "connect" estará nos NMOS.

A tensão externa de controle V_{bias} mostrada na figura 1 pode alternativamente representada como uma fonte de corrente I_{bias} simplesmente utilizando um espelho de corrente como será mostrado em esquemático no tópico de Desenvolvimento.

O segundo estágio é composto por um Commom Source que possui ganho elevado devido a sua carga ativa e alta resistência de saída (r_{o2}/r_{o1}). A figura mostra a topologia a ser usada.

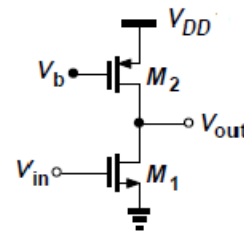


Fig. 2. 2º Estágio de amplificação commom source.

A resposta em frequência do sistema depende dos polos que são modelados com o inverso de sua resistência vezes uma capacitância parasita entre os terminais dos transistores Gate, Source e Dreno.

$$Polo = \frac{1}{RC_p}$$

Ainda existe um zero no semi plano direto, devido ao "commom source". Mas por enquanto, vislumbramos que os polos mais importantes (que produzem menor frequência de corte) são os que tem resistência de saída elevada e levam o polo para baixa frequências. Portanto, os nós de saída do primeiro e segundo estágio que possuem ganho alto devido sua resistência.

A figura 3 indica o amplificador com os dois estágios completos e identifica o capacitor Miller de compensação usado para estabilizar o sistema.

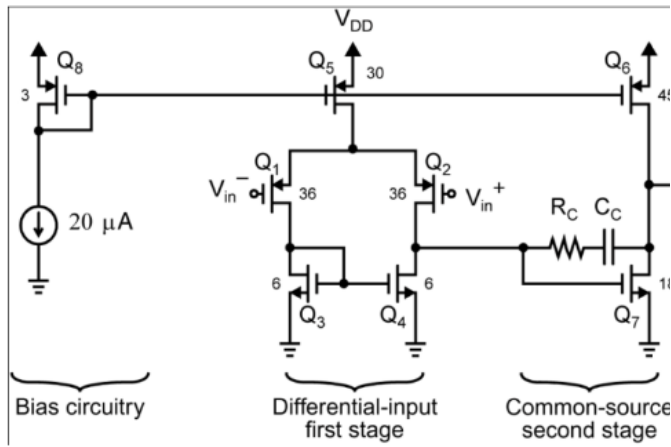


Fig. 3. Estágios do amplificador [3].

A especificação de ganho depende das transcondutâncias nos nós de entrada e saída e suas respectivas impedâncias, da seguinte forma:

$$\begin{aligned} Av &= Av1 * Av2 \\ Av1 &= -gm1 * (rds2 // rds4) \\ Av2 &= -gm7 * (rds6 // rds7) \end{aligned}$$

Já o Ganho Banda (GB) relaciona o ganho que o amplificador pode oferecer em uma faixa de frequências, geralmente, verifica-se a banda de frequência cujo ganho é unitário, ou seja, 0dB, e toma o produto "ganho*1" como característica GB do amplificador. Uma característica importante que se relaciona a estabilidade do sistema é a margem de fase que é a diferença entre a fase na frequência de ganho 0 dB e 180°. É importante, pois se a fase do sistema chega a 180° ainda em banda passante, o sinal troca de polaridade, tornando a entrada positiva em negativa e vice-versa, causando um sistema oscilador. A figura 4 retrata gráficos de Magnitude e Fase, situando as posições que os polos significativos do sistema devem estar localizados.

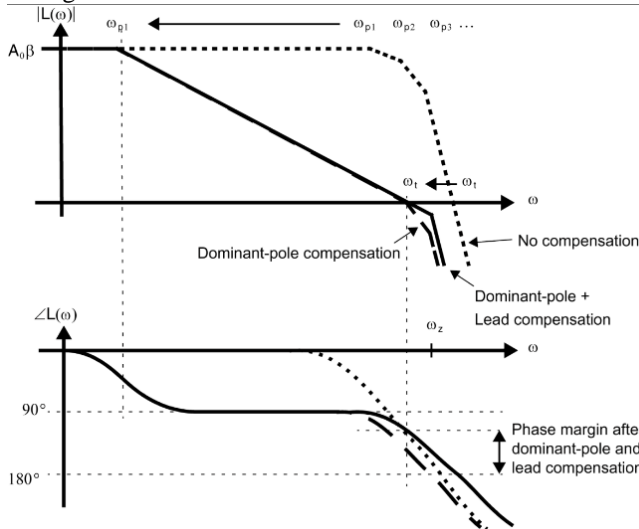


Fig. 4. Gráfico de Magnitude e Fase. Fonte: [3]

O sistema de amplificação possui um fator de atenuação de alguma variação de tensão que ocorra na alimentação (Vdd),

seu nome é Power Supply Rejection Ratio(PSRR). Semelhantemente, há um fator que indica a atenuação devida para variações na tensão de modo comum das entradas, o fator é nomeado Common Mode Rejection Ratio (CMRR). Garantir que pequenas variações nas fontes não mudem a resposta do amplificador implica mais garantia para usá-lo, visto que facilmente ocorrem variações em baterias ou a entrada pode mudar a tensão que está centrada.

As especificações do projeto são definidas basicamente por lugares específicos dos estágios, por exemplo, a margem de fase é influenciada pelo capacitor C_c , assim como o ganho banda está relacionado com o primeiro estágio. Algumas dessas influências são indicadas por pelas relações com as dimensões dos transistores.

II. DESENVOLVIMENTO E SIMULAÇÕES

Primeiramente, a partir da margem de fase, definimos o valor do capacitor de compensação (CC) partindo do pressuposto que no produto ganho banda o primeiro pólo já está defasado em 90° e que o zero está muito distante desse valor (10GB).

$$\begin{aligned} \phi_{pm} &= 180^\circ - \tan^{-1}\left(\frac{\omega}{|p1|}\right) - \tan^{-1}\left(\frac{\omega}{|p2|}\right) - \tan^{-1}\left(\frac{\omega}{|z|}\right) \\ 66^\circ &= 180^\circ - 90^\circ - \tan^{-1}\left(\frac{GB}{|p2|}\right) - 5,7^\circ \\ GB &= 3,024|p2| \end{aligned}$$

Substituindo os valores de GB e $|p2|$ temos:

$$\begin{aligned} \frac{\left(\frac{gm_6}{10CC}\right)}{\left(\frac{gm_6}{CL}\right)} &> 3,024 \\ CC &> 0,3024CL \end{aligned}$$

Com CL igual a 30pF, o valor de CC é 9,072pF.

Logo após, definimos a corrente de polarização do primeiro estágio, a qual foi definida a partir de CC e do Slew Rate (SR).

$$\begin{aligned} I_{ss} &= SR \cdot CC \\ I_{ss} &= (0,53 \times 10^6) / (9,072 \times 10^{-12}) = 4,808 \mu A \end{aligned}$$

O terceiro passo foi definir a dimensão do transistor Q1, e por consequência o Q2, a partir do ganho banda (GB) especificado e de CC.

$$\begin{aligned} GB &= \frac{gm_1}{2\pi CC} \\ gm_1 &= 2\pi \times 10^6 \times (9,072 \times 10^{-12}) = 57 \times 10^{-6} A/V \end{aligned}$$

Sabemos que a transcondutância pode ser calculada por

$$\begin{aligned} gm &= \sqrt{2Id\mu_p Cox \frac{W}{L}} \\ gm_{1,2} &= \sqrt{(I_{ss})\mu_p Cox \frac{W_{1,2}}{L}} \\ 57 \times 10^{-6} &= \sqrt{480,8 \times 10^{-12} \frac{W_{1,2}}{L}} \end{aligned}$$

$$\frac{W_{1,2}}{L} = 6,7575 M$$

Logo após calcularmos a razão de aspecto do transistor Q1, foram calculadas as dimensões de Q3 e Q4 com as especificações de excursão de entrada mínima e máxima (ICMR).

$$\begin{aligned} V_{in_{min}} &= V_{sg3} - V_{th} \\ 0,2 &= V_{sg3} - 0,5 \\ V_{sg3} &= 0,7 V \\ 0,7 &= \sqrt{\frac{I_{ss}}{200 \times 10^{-6} \times \frac{W_{1,2}}{L}}} + 0,5 \\ 0,04 &= \frac{4,808}{200 \times \frac{W_{3,4}}{L}} \\ \frac{W_{3,4}}{L} &= \frac{4,808}{8} = 0,601 M \end{aligned}$$

Logo após, a partir de análises das tensões do esquemático, adquiridas de forma semelhante ao item anterior, definimos a tensão V_{sg5} e a partir dela, definimos as dimensões de Q5.

A partir das leis de Kirchhoff no primeiro estágio, temos:

$$V_{in_{max}} = V_{DD} - V_{sd_{sat5}} - V_{sg1}$$

Definindo V_{sg1} , a partir dos dados já calculados e substituindo na equação acima, teremos:

$$\begin{aligned} V_{sg1} &= \sqrt{\frac{4,808 \times 10^{-6}}{100 \times 10^{-6} \times 6,7575}} + 0,5 = 0,5843 \\ V_{sd_{sat5}} &= 3,3 - 0,5843 - 2,2 = 0,5157 \end{aligned}$$

A partir de $V_{sd_{sat5}}$, calculamos as dimensões do transistor Q5.

$$\frac{W_5}{L} = \frac{I_{ss}}{\mu_p C_{ox} (V_{sd_{sat5}})^2} = \frac{4,808 \mu}{100 \mu (0,5157)^2} = 0,3616$$

Por fim, definimos a dimensões de Q6 a partir das relações de transcondutância entre esses transistores com os do estágio anterior e da corrente de polarização.

$$\begin{aligned} g_{m6} &= 10 g_{m1} \\ g_{m6} &= 10 g_{m1} = 570 \times 10^{-6} \frac{A}{V} \\ \text{Considera-se o resistor } R_c: \\ R_c &> \frac{1}{g_{m6}} \therefore R_c > 1,75 \text{ k}\Omega \\ g_{m6} &= \frac{1}{2} \mu_N C_{ox} \frac{W_6}{L} (V_{gs} - V_{th}) \\ 570 \times 10^{-6} &= \frac{1}{2} \times 200 \times 10^{-6} \frac{W_6}{L} \times 0,2 \\ \frac{W_6}{L} &= 28,5 \end{aligned}$$

$$I_{D6} = 100 \times 10^{-6} \times 28,5 \times 0,2^2 = 114 \times 10^{-6} A$$

Para calcularmos as dimensões do Q7, temos a corrente em Q6 que é igual a de Q7 e sabemos que a tensão V_{sg5} é igual a tensão V_{sg7} , então relacionamos:

$$\begin{aligned} I_{D6} &= I_{D7} \\ V_{sg5} &= V_{sg7} \\ 114 \times 10^{-6} &= 50 \times 10^{-6} \times \frac{W_7}{L} \times 0,5157^2 \\ \frac{W_7}{L} &= 8,573 \\ 8,573 &= \frac{114 \times 10^{-6}}{2 \times 10^{-6}} \times \frac{W_8}{L} \\ \frac{W_8}{L} &= 0,1504 \end{aligned}$$

III. RESULTADOS

A. Simulações

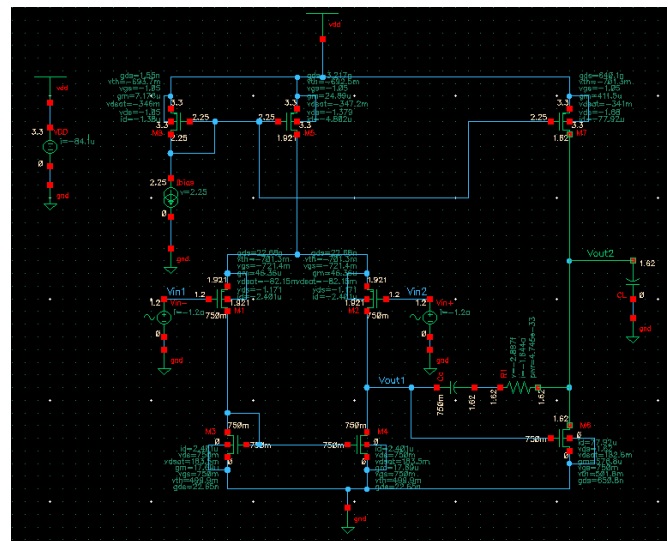


Figura 5 – Topologia simulada pelo software Cadence.

Na figura 5, observa-se todos os transistores em saturação já com os ajustes necessários para a obtenção das especificações do projeto, tais como capacitor de compensação e razão de aspecto, tensões e correntes de polarização, todos definidos pela tabela 1.

Tabela 1 - Parâmetros com ajuste fino após simulação.

Parâmetro	Valor
I _{bias}	1,3uA
DC Voltage	1,2V
Amplitude	8,85uV
Q _{1,2} - W/L	112,75u/5u
Q _{3,4} - W/L	8u/15,2u
Q ₅ - W/L	138u/100u
Q ₆ - W/L	185u/11u
Q ₇ - W/L	118,6u/5u
Q ₈ - W/L	40u/100u
C _L	6pF
C _C	6,5pF

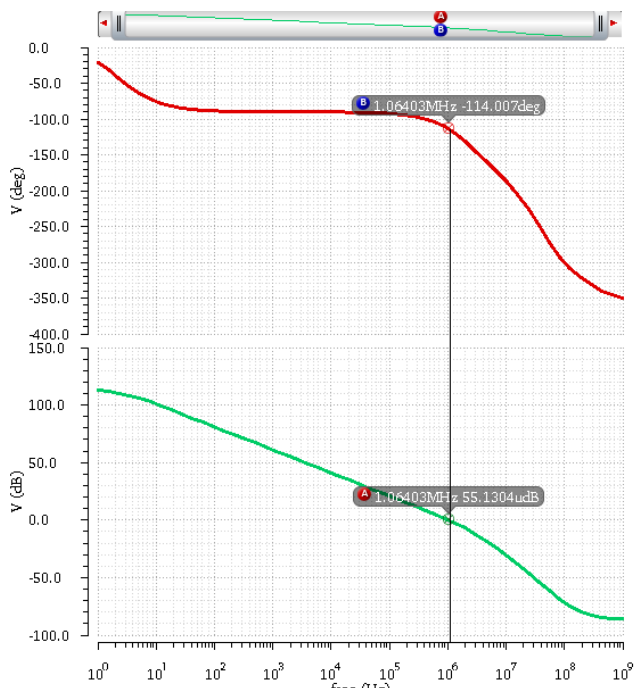


Figura 6 – Resposta em frequência do Amplificador Operacional projetado.

Na figura 6, observamos o produto ganho banda pouco maior de 1 MHz e a margem de 66° .

$$\phi_{pm} = 180^\circ - 114^\circ = 66^\circ$$

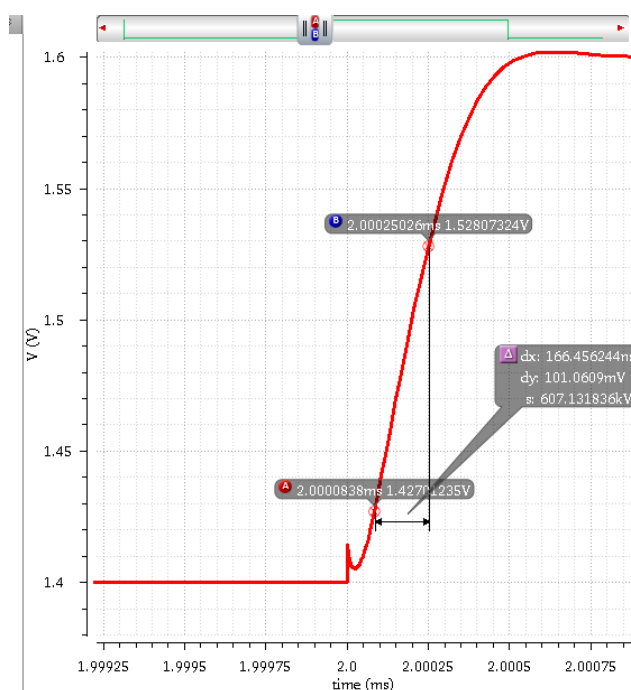


Figura 7 – Simulação para SlewRate.

O circuito foi posto em realimentação negativa e exitado pela fonte “vpulse” com um pulso de 1,4V a 1,6V até que se obteve a resposta colocada na Figura 7 que indica o Slew Rate.

$$SR = \frac{dy}{dx} = \frac{101mV}{166ns} = 0,6 \frac{V}{\mu s}$$

IV. DISCUSSÕES

Após simularmos a topologia no software Cadence, apenas algumas características foram atendidas, dessa forma, foram necessárias algumas alterações para adequar os requisitos ao projeto.

O primeiro passo foi aumentar o ganho banda. Para isso, foi necessário aumentar gm_6 . O efeito Miller implica em um espalhamento dos pólos p_1 e p_2 com uma compensação de capacitâncias. Com isso, foi possível alcançar o produto ganho banda e a margem de fase adequados ao projeto.

Numa primeira análise, as dimensões dos transistores dos primeiros estágios estavam afetando na resposta em frequência do amplificador com adição de alguns zeros e polos, bem como os de Segundo estágio, que necessitaram de algumas mudanças nos parâmetros iniciais, tais como, tensões e correntes de polarização para mantê-los em saturação, visto que as dimensões foram ampliadas.

V. CONCLUSÃO

O amplificador com dois estágios proporciona uma realimentação no circuito, sendo o amplificador com ganho de malha aberta sendo grande, resta apenas o ganho de malha fechada do circuito. Desta forma é possível ter aplicações mais complexas para filtros, ganho de tensão por componentes externos, buffer e etc.

O fato do amplificador não ser ideal já é esperado em componentes do mundo real, mas isso gera uma série de parâmetros a serem atendidos para o funcionamento adequado de um amplificador operacional, sendo esses parâmetros o CMRR, PSRR, Margem de fase e etc.

Por fim, todos esses parâmetros geram o comportamento do amplificador operacional, nessas características, com os parâmetros atingidos, fazem com que o amplificador seja o mais ideal possível para aplicações diversas.

REFERÊNCIAS

- [1] Razavi, Behzad, Fundamentals Of Microelectronics, ed. 1st, 2009
- [2] Boylestad, Robert L. Electronic devices and circuit theory, ed. 11th, 2011.
- [3] Tanng, Hua, Basic Opamp Design and Compensation – Chapter 6, University of Minnesota Duluth.