

## Verilog HDL

1. Elaborati un cod Verilog, in descriere comportamentala si structurala, pentru expresiile logice urmatoare (se pot alege si alte variante):

- a).  $((A \text{ and } B) \text{ or } (\text{not } C)) \text{ xor } ((\text{not } B) \text{ or } C)$
- b).  $((A \text{ or } B \text{ or } C) \text{ and } (A \text{ xor } C)) \text{ or } (\text{not } B)$
- etc.

2. Realizati un decodor pentru a realiza un element de afisare pe 7 segmente (7-segment display).

### Indicatii:

1. Se alege o expresie logica de tipul celor de mai sus. Realizati circuitul pe hartie si notati corespunzator firele. Descrierea *comportamentala* presupune implementarea unui singur modul pentru functia logica. Descrierea *structurala* presupune introducerea unui modul pentru fiecare poarta. Se poate utiliza *atribuire continua* (folosind *assign*) sau *procedurala* (folosind *always @*).

2. Se face o mapare intre siruri pe 7 bits (7 segmente on/off) si simbolurile hexa (0, ..., 9, A, b, C, d, E, F).