

Planificación realización de tareas para la realización del simulador de planificación dinámica

Semanas 1 y 2:

- Diseño y manejo estructura de datos de todas las estructuras de almacenamiento.
- Codificación instrucción. Explicación de los campos que componen la instrucción
- Etapa ISS:
 - Leer instrucción desde la memoria de instrucciones y decodificarla:
 - Rellenar los campos de la línea de la estación de reserva
 - Actualizar banco de registros

Tarea final: Comprobar que dos instrucciones consecutivas y con dependencias y en dos ciclos consecutivos son insertadas correctamente en las estructuras de datos.

- Prueba 1: Comprobar que una instrucción es introducida correctamente en ambas estructuras de datos. Solo etapa ISS

ld f2,0(x1)	ISS	EX1	EX2	WB
-------------	-----	-----	-----	----

- Prueba 2: Comprobar que la segunda instrucción que tiene dependencias con la anterior se almacena correctamente en ambas estructuras de datos. Solo etapa ISS.

ld f2,0(x1)	ISS	EX1	EX2	WB				
fadd f4,f2,f5		ISS	(RAW f2)	(RAW f2)	EX1	EX2	EX3	WB

Semana 3:

- Etapa EX:
 - Iniciar etapa EX de una instrucción si está libre:
 - Coger una instrucción desde estación de reserva y enviarla a ejecutar:
 - Iniciar ciclo de ejecución
 - Actualizar los campos correspondientes en unidad de ejecución
 - Incrementar ciclo de ejecución
 - Comprobar si es último ciclo. Marcar instrucción como finalizada

Tarea final: ejecutar dos ciclos diferentes para lanzar una instrucción a ejecutar, incrementar ciclo y finalizar la etapa de ejecución.

- Prueba 1: Verificar que una instrucción contenida en una estación de reserva tiene los operandos disponibles para lanzar a ejecutar y cargar en la unidad funcional correspondiente y además la UF está libre

fadd f2,f3,f4	ISS	EX1	EX2	EX3	WB			
---------------	-----	-----	-----	-----	----	--	--	--

- Prueba 2: Verificar que una instrucción contenida en una estación de reserva tiene los operandos disponibles para lanzar a ejecutar y cargar en la unidad funcional correspondiente pero la UF está ocupada:

fadd f2,f3,f4	ISS	EX1	EX2	EX3	WB				
fadd f5,f2,f5		ISS	STALL(f2)	STALL(f2). Riesgo datos	stall	EX1	EX2	EX3	WB

- Prueba 3: Incrementar ciclo de ejecución

fadd f2,f3,f4	ISS	EX1	EX2	EX3	WB				
---------------	-----	-----	-----	-----	----	--	--	--	--

- Prueba 4: Comprobar que es el último ciclo de ejecución. Marcar como resultado válido.

fadd f2,f3,f4	ISS	EX1	EX2	EX3	WB				
---------------	-----	-----	-----	-----	----	--	--	--	--

Semana 4:

- Etapa WB:
 - Comprobar que ha finalizado una instrucción su etapa EX en un ciclo anterior al actual y se puede ejecutar su etapa WB.
 - Escribir resultado en registro destino y estaciones de reserva (Riesgos RAW)
 - Liberar Unidad funcional
 - Liberar estación de reserva.

Tareas final: Ejecutar un ciclo con una instrucción que tenga pendiente un resultado en la unidad funcional y se realizan todas las tareas anteriores.

- Prueba 1: Comprobar que ha finalizado una instrucción su etapa EX en un ciclo anterior al actual y se puede ejecutar su etapa WB.

Ld f2,0(x1)	ISS	EX1	EX2	WB (Escribe f2)
-------------	-----	-----	-----	-----------------

- Prueba 2: Escribir resultado en registro destino

Ld f2,0(x1)	ISS	EX1	EX2	WB (Escribe f2)
-------------	-----	-----	-----	-----------------

- Prueba 3: Escribir resultado en estaciones de reserva (Riesgos RAW)

Ld f2,0(x1)	ISS	EX1	EX2	WB (Escribe f2 y Estación de reserva (f2))				
fadd f4,f2,f5		ISS	(RAW f2)	(RAW f2)	EX1	EX2	EX3	WB

Semana 5 :

- Unificar todas las etapas

Tarea final: Comprobar ejecución de los códigos que se dan como ejemplo

