

## P3 Sessió 2: Registres de Configuració i Control

### Introducció

En aquesta sessió ens centrarem el disseny del test per verificar el conjunt de registres de configuració i control que us podeu descarregar del campus virtual.

### Objectius

- Planificació del test exhaustiu d'un mòdul digital amb *self-checking*.
- Utilització de **declaracions seqüencials aplicades a testbench** com són, *fork-join*, *wait*, *repeat*, entre d'altres.
- Disseny de tasques i funcions.
- **Accés jeràrquic** a elements com registres, *wires*, *tasques* de les instàncies/mòduls.

### Material

El material de suport el podeu descarregar del campus virtual:

- **i2c\_master\_regs.v** : RTL dels registres de configuració del I<sup>2</sup>C.
- **i2c\_master\_defines.v** : definicions d'adreces del I<sup>2</sup>C.
- **sys\_model.v** : model del sistema, genera el rellotge base i el reset actiu per nivell baix.
- **dbus\_master\_model.v** : model de mestre del bus de dades del sistema que escriu/llegeix dels registres de configuració.
- **tb\_i2c\_master\_regs.v** : testbench a completar.
- **timescale.v** : defineix l'escala temporal pel fitxer on està inclòs.
- Plantilla informe de la pràctica.

### Tasques a realitzar

1. Examineu el contingut del fitxer *i2c\_master\_regs.v*, identifiqueu les diferents estructures i comenteu el codi.
2. Feu una llista amb les verificacions/testes a fer. Un cop feta comenteu-la amb el professor.
3. Examineu el contingut del fitxer *tb\_i2c\_master\_regs.v*.

4. Simuleu i verifiqueu el conjunt de registres (*i2c\_master\_regs.v*) tot completant el testbench (*tb\_i2c\_master\_regs.v*) on s'indica (TODO). Seguiu l'ordre establert que s'indica en el mateix fitxer.
5. Sintetitzeu i verifiqueu el disseny per la FPGA **Cyclone IV E EP4CE22F17C6**.
  - Creeu el fitxer de restriccions de disseny (*i2c\_master\_regs.sdc*) on hi heu de definir un rellotge del sistema de 100MHz.
  - Creeu un projecte de Quartus a la carpeta (*syn*) anomenat *i2c\_master\_regs*.
  - Afegiu els fitxers verilog i el SDC al projecte.
  - Configureu el Quartus per simular a nivell de porta (gate level). Seguiu la guia que trobareu al campus virtual.
  - Sintetitzeu el conjunt de registres (*Processing>Start>Start Analysis & Synthesis*). Pareu atenció als missatges d'informació i alertes.
  - Assigneu els pins d'entrada i sortida als GPIOs (a la vostra elecció). Mireu la fulla d'especificacions de la **DE0-Nano** que trobareu al campus virtual.
  - Abans de compilar el disseny assegureu-vos de desactivar l'opció de llençar la simulació automàticament. Premeu a *Assignments>Settings>EDA Tool Settings* **desmarqueu** l'opció *Run gate-level simulation....* Ja podeu compilar el disseny.
    - Comproveu que el disseny compleix els requisits temporals.
    - Inspeccioneu el esquemàtics generats (*Tools → Netlist Viewers*) a nivell:
      - *RTL Viewer*
      - *Technology Map Viewer (Post-Fitting)*.
    - Quines diferències hi trobeu? Mireu el control dels bits del registre de comandament (CR) per exemple.
  - Examineu la netlist (.vo) i el fitxer de retards (.sdo) generats al directori del vostre projecte de Quartus: ***\Lab3s2\syn\simulation\modelsim\***
6. Simuleu la netlist generada amb el mateix fitxer de testbench. Per simular a nivell de porta i veure els retards interns seguiu la guia (Simulació Netlist Quartus) que trobareu al campus virtual.
  - Un cop guardats els canvis en el fitxer de testbench, inicieu la simulació. Per fer-ho cliqueu a *Tools > Run Simulation Tool > Gate Level Simulation...*
    - Examineu el diagrama d'ones i la finestra de transcripció de l'eina de simulació.
    - Examineu el comportament de la senyal de registre de comandament (CR).

## Entrega

Un fitxer ZIP amb el directori de treball:

1. A la carpeta **rtl**: el codi RTL.
2. A la carpeta **tb**: el codi del testbench complet.
3. A la carpeta **sdc**: el fitxer de restriccions temporals (.sdc).
4. Dins la carpeta **doc** hi heu de posar l'informe complimentat que trobareu al campus virtual, que constarà de:
  - Enumerar les tasques del *testbench* i explicar breument què fan.
  - Captures de les simulacions funcionals, amb una explicació breu i ressaltant les zones d'interès.
  - Captura del terminal del ModelSim amb els missatges de l'auto verificació.
  - Captura del esquema RTL resultant de la síntesi amb el Quartus i taula on consti freqüència màxima d'operació, i recursos utilitzats de la FPGA.
  - Captures de les simulacions post-síntesis, amb una explicació breu i ressaltant les zones d'interès.