

## Pràctica 3: Disseny RTL i Verificació

Durada: 4 sessions

### Introducció

En la pràctica 2 ens vàrem familiaritzar amb el flux de disseny aplicat a un registre de desplaçament. Durant les pròximes 4 sessions dissenyarem i verificarem la resta de mòduls que formen el mestre I<sup>2</sup>C.

### Objectius

- Codificar RTL diferents estructures descrites en base a les especificacions donades.
- Verificació funcional pre- i post-síntesis en FPGA.

## P3 Sessió 1: Temporitzador

### Introducció

El següent mòdul del mestre I<sup>2</sup>C que dissenyarem serà el temporitzador, que s'utilitza per gestionar les temps de bit del bus I<sup>2</sup>C.

### Objectius

- Codificar RTL en base a les especificacions donades.
- Verificació pre- i post-síntesis.

### Material

El material de suport el podeu descarregar del campus virtual:

- Plantilla informe de la pràctica.

### Tasques a realitzar

1. Dissenyau el temporitzador de la **Figura 5** (pràctica 2) anomenat *i2c\_bit\_timer* basat en un comptador regressiu cíclic amb les següents característiques:

- Restabliment o reset: Ha de ser asíncron i actiu per nivell baix i ha de posar tant el valor del comptador com de la sortida a 0.
  - Parametritzable: El nombre de bits del comptador ha de ser parametrizable.
  - Límit: El valor inicial del ha de ser configurable, mitjançant una entrada de N-bits que anomenarem *Ticks*.
  - Auto-reinici: Un cop el comptador arriba al 0, aquest ha de reiniciar-se per començar un nou cicle de comptatge.
  - Reinici forçat: El temporitzador ha de poder tornar al valor inicial en qualsevol moment i mantenir-se en aquest mentre la senyal de *Start* estigui activa.
  - Parada: El temporitzador ha de poder parar-se sempre que no s'estigui reiniciant. Per fer-ho, heu d'incloure una entrada que anomenarem *Stop*, activa per nivell alt.
  - Sortida: El temporitzador ha de tenir una sortida anomenada *Out*. Aquesta sortida s'ha d'activar quan es reinicia el valor al temporitzador.
2. Dissenyeu el testbench (*tb\_timer.v*) per verificar el correcte funcionament del temporitzador que utilitzi tasques i lògica per automatitzar-ne la verificació. Creeu una tasca que:
- Verifiqui el nombre de cicles de rellotge entre dos polsos de sortida consecutius.
  - Indiqui el temps transcorregut entre dos polsos consecutius. Ajuda: *\$realtime \$time \$monitor \$display \$while*.
  - Tingui una entrada per escollir el límit de temporitzador.  
Ajut: quan límit és 0 cas especial! Mostreu un missatge que ho digui.
  - Tingui una entrada per escollir quants cicles es para el temporitzador duran el comptatge.  
Ajut 1: 0 cicles vol dir que no es para.  
Ajut 2: feu que es pari quan el comptador va per la meitat.
3. Simuleu i verifiqueu el correcte funcionament per un temporitzador de 4-bits pels valors 0, 1, 8 i 15.
4. Sintetitzeu un temporitzador de 8 bits amb el Quartus i simuleu la *netlist* generada per verificar-ne el funcionament per una **Cyclone V model 5CEBA4F23C7N**. Pareu atenció als missatges d'informació i alertes. No us oblideu del fitxer de restriccions (SDC). Els pins d'entrada i sortida han d'anar connectats als següents elements.
- SW0 – SW7 per introduir el nombre de cicles entre polsos.

- Key0 per generar el rellotge del sistema.
- Key1 com a reset del sistema.
- Key2 com a set del sistema.
- LED0 per connectar el senyal d'interrupció del temporitzador.

Nota: consulteu el manual de la placa de desenvolupament per saber quins pins de configuració es corresponen amb cadascun dels elements esmentats.

5. Comproveu que el disseny compleix els requisits temporals.

## Entrega

Fer demostració al professor un cop s'ha implementat a la FPGA. En cas de no poder fer la demostració a l'aula, heu de gravar un vídeo que adjuntareu dins la carpeta doc.

Un fitxer ZIP amb el directori de treball:

1. A la carpeta **rtl**: el codi RTL sintetitzable.
2. A la carpeta **tb**: el codi del testbench complet.
3. A la carpeta **misc**: el fitxer de restriccions temporals (.sdc).
4. Dins la carpeta **doc** hi heu de posar l'informe complimentat que trobareu al campus virtual, que constarà de:
  - Enumerar les tasques del testbench i explicar breument què fan.
  - Captures de les simulacions, amb una explicació breu i ressaltant les zones d'interès.
  - Captura del terminal del ModelSim amb els missatges de l'auto verificació.
  - Captura del esquema RTL resultant de la síntesi amb el Quartus (expandiu les caixetes!).
  - Taula on consti freqüència màxima d'operació, nombre de portes utilitzades de cada tipus i percentatge d'ocupació de la FPGA.