

## Informe Pràctica 2: Introducció al flux de disseny i síntesis en FPGA

*El codi RTL i el codi del testbench i la demostració en FPGA valen 2,5 punts, 1,5 punts i 2,5 punts, respectivament. Els codi rtl ha d'estar comentat. Les tasques del testbench han d'estar correctament completades, comentades i demostrada la seva funcionalitat. La demostració ha de ser clara i completa.*

### Testbench (1 punt)

**Taula 1:** Llista dels diferents tasques del testbench i la seva funcionalitat.

Tasca	Descripció
test_serin	Test de la càrrega de dades pel port serial.
test_serout	Test de la sortida de dades pel port serial.
load_shiftreg	Càrrega en paral·lel de les dades al registre de desplaçament.
reset	Posa tots els registres a 0.
wait_cycles	Espera cicles de rellotge.
sync_check	Comprova l'output de manera síncrona.
async_check	Comprova l'output de manera asíncrona.
check_errors	Comprova si el valor esperat i l'obtingut es corresponen

### Verificació Funcional (1,83 punts)

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d'interès (poden ser més d'una captura!). (1,5 punts). Captura dels missatges d'auto verificació del Modelsim/Questa (0,33 punts).*

```

VSIM 3> run -all
# [Info-    0.00 ns] Reset
# [Info-    0.00 ns] En=0 DataIn=00 DataOut=xx SerIn=0 SerOut=x
# [Info-   77.00 ns] Test parallel data loading
# [Info-   77.00 ns] En=0 DataIn=aa DataOut=xx SerIn=0 SerOut=x
# [Info-   85.00 ns] En=0 DataIn=aa DataOut=aa SerIn=0 SerOut=1
# [Info-   87.00 ns] En=0 DataIn=00 DataOut=aa SerIn=0 SerOut=1
# [Info-   99.00 ns] Successful check at time
# ***** TEST PASSED *****

```

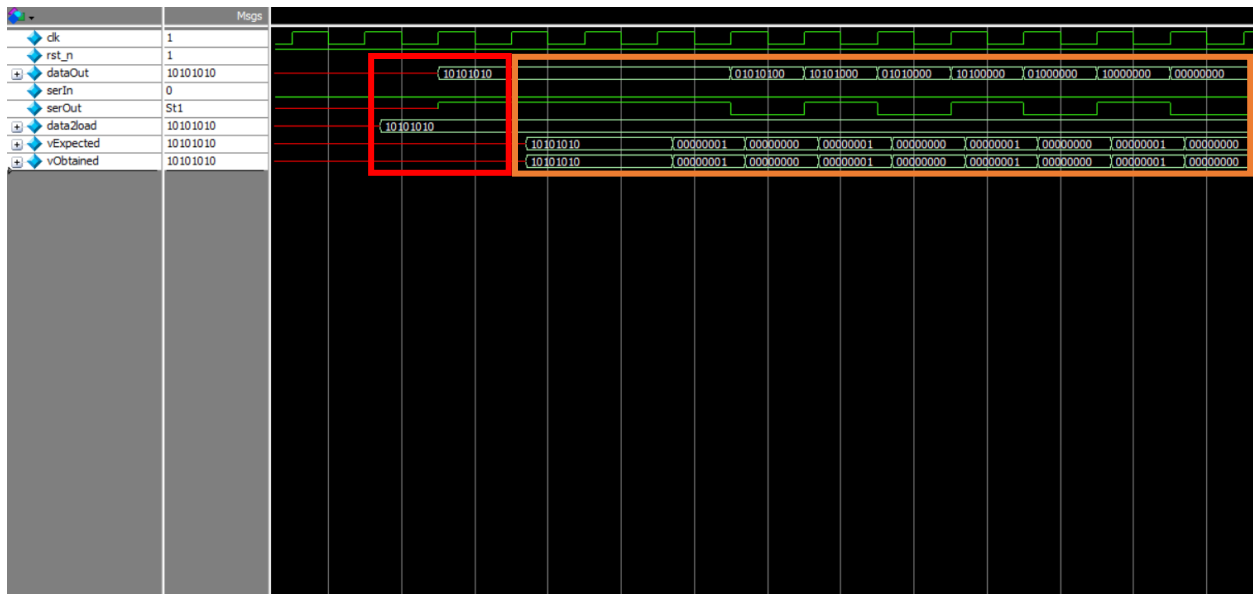
**Figura 1:** Test de càrrega en paral·lel del registre de desplaçament.

```
# [Info- 99.00 ns] Test serial output
# [Info- 99.00 ns] En=0 DataIn=aa DataOut=aa SerIn=0 SerOut=1
# [Info- 107.00 ns] En=0 DataIn=00 DataOut=aa SerIn=0 SerOut=1
# [Info- 117.00 ns] En=1 DataIn=00 DataOut=aa SerIn=0 SerOut=1
# [Info- 119.00 ns] Successful check at time
# [Info- 125.00 ns] En=1 DataIn=00 DataOut=54 SerIn=0 SerOut=0
# [Info- 129.00 ns] Successful check at time
# [Info- 135.00 ns] En=1 DataIn=00 DataOut=a8 SerIn=0 SerOut=1
# [Info- 139.00 ns] Successful check at time
# [Info- 145.00 ns] En=1 DataIn=00 DataOut=50 SerIn=0 SerOut=0
# [Info- 149.00 ns] Successful check at time
# [Info- 155.00 ns] En=1 DataIn=00 DataOut=a0 SerIn=0 SerOut=1
# [Info- 159.00 ns] Successful check at time
# [Info- 165.00 ns] En=1 DataIn=00 DataOut=40 SerIn=0 SerOut=0
# [Info- 169.00 ns] Successful check at time
# [Info- 175.00 ns] En=1 DataIn=00 DataOut=80 SerIn=0 SerOut=1
# [Info- 179.00 ns] Successful check at time
# [Info- 185.00 ns] En=1 DataIn=00 DataOut=00 SerIn=0 SerOut=0
# [Info- 189.00 ns] Successful check at time
# [Info- 197.00 ns] En=0 DataIn=00 DataOut=00 SerIn=0 SerOut=0
# ***** TEST PASSED *****
```

**Figura 2:** Test de sortida en sèrie de les dades carregades al registre de desplaçament.

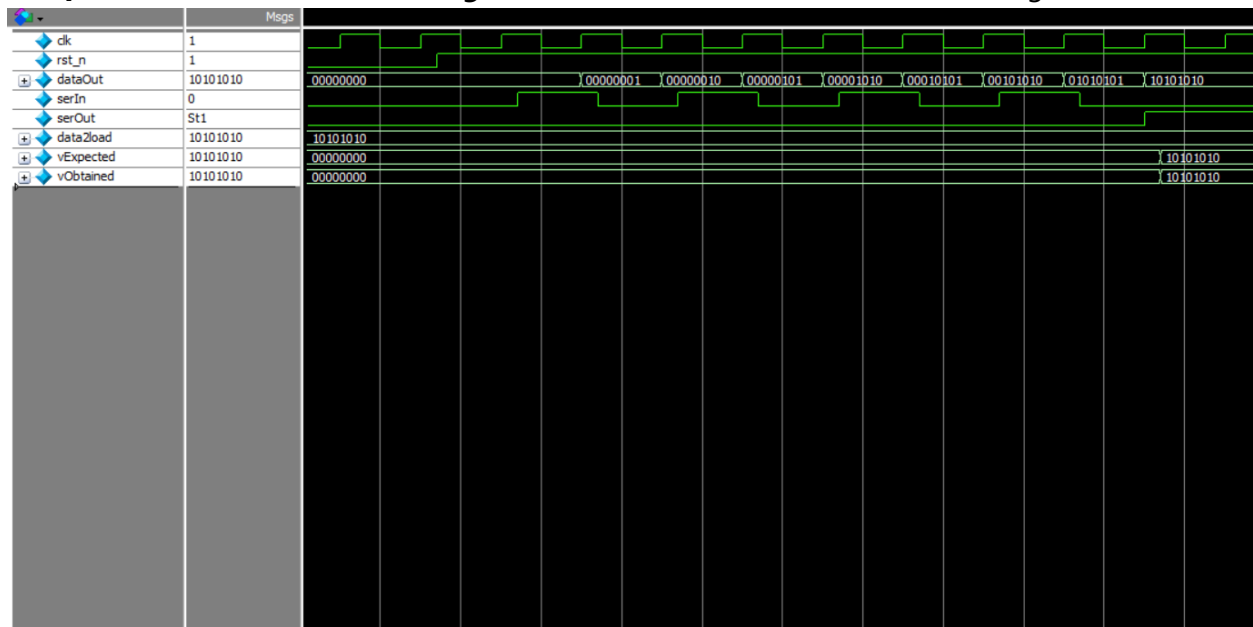
```
# [Info- 207.00 ns] Test serial input
# [Info- 207.00 ns] Reset
# [Info- 237.00 ns] En=1 DataIn=00 DataOut=00 SerIn=0 SerOut=0
# [Info- 247.00 ns] En=1 DataIn=00 DataOut=00 SerIn=1 SerOut=0
# [Info- 255.00 ns] En=1 DataIn=00 DataOut=01 SerIn=1 SerOut=0
# [Info- 257.00 ns] En=1 DataIn=00 DataOut=01 SerIn=0 SerOut=0
# [Info- 265.00 ns] En=1 DataIn=00 DataOut=02 SerIn=0 SerOut=0
# [Info- 267.00 ns] En=1 DataIn=00 DataOut=02 SerIn=1 SerOut=0
# [Info- 275.00 ns] En=1 DataIn=00 DataOut=05 SerIn=1 SerOut=0
# [Info- 277.00 ns] En=1 DataIn=00 DataOut=05 SerIn=0 SerOut=0
# [Info- 285.00 ns] En=1 DataIn=00 DataOut=0a SerIn=0 SerOut=0
# [Info- 287.00 ns] En=1 DataIn=00 DataOut=0a SerIn=1 SerOut=0
# [Info- 295.00 ns] En=1 DataIn=00 DataOut=15 SerIn=1 SerOut=0
# [Info- 297.00 ns] En=1 DataIn=00 DataOut=15 SerIn=0 SerOut=0
# [Info- 305.00 ns] En=1 DataIn=00 DataOut=2a SerIn=0 SerOut=0
# [Info- 307.00 ns] En=1 DataIn=00 DataOut=2a SerIn=1 SerOut=0
# [Info- 315.00 ns] En=1 DataIn=00 DataOut=55 SerIn=1 SerOut=0
# [Info- 317.00 ns] En=1 DataIn=00 DataOut=55 SerIn=0 SerOut=0
# [Info- 325.00 ns] En=1 DataIn=00 DataOut=aa SerIn=0 SerOut=1
# [Info- 329.00 ns] Successful check at time
# [Info- 329.00 ns] En=0 DataIn=00 DataOut=aa SerIn=0 SerOut=1
# ***** TEST PASSED *****
```

**Figura 3:** Test d'entrada en sèrie de dades al registre de desplaçament.



**Figura 4:** Gràfic d'ones dels dos primers tests. La zona marcada de vermell és el test de càrrega de dades en paral·lel (es pot veure com "dataOut" assoleix el valor de "data2load" al següent cicle de clock). La zona marcada de taronja és el test de sortida serial. Podem veure com els valors de "vExpected" i "vObtained" són iguals ("vObtained" es correspon amb "serOut", ja que és el valor de sortida).

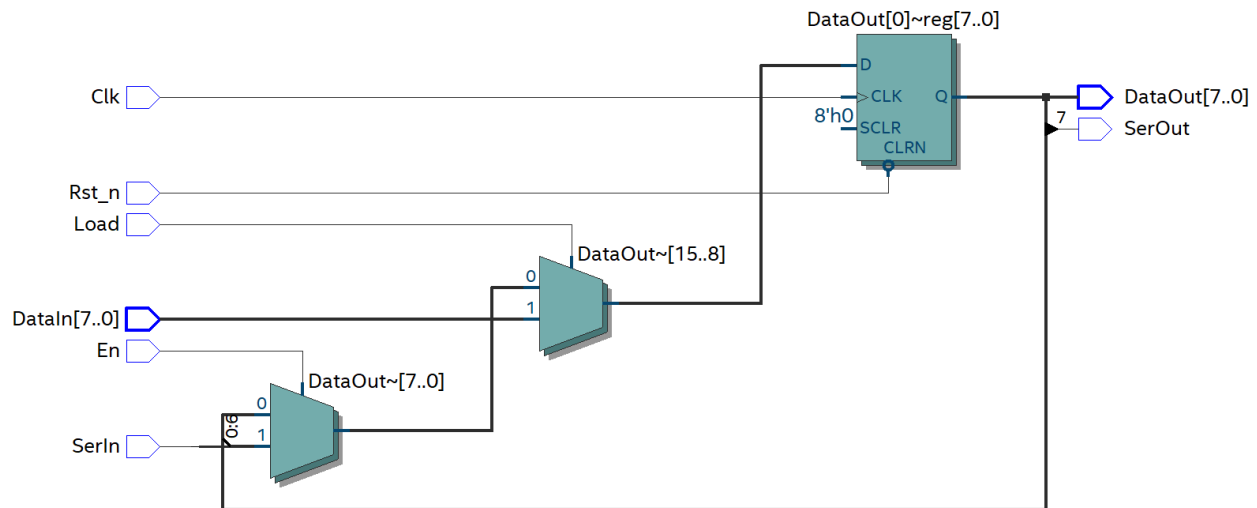
A la **¡Error! No se encuentra el origen de la referencia.** es mostren els missatges...



**Figura 5:** En aquest gràfic es veu el test d'entrada serial. Es pot veure que 8 cicles després de que comenci l'entrada per "serIn", "dataOut" es correspon amb el valor "data2load". A més, podem veure com "vObtained" es correspon amb el valor esperat de "vExpected".

## Síntesis en FPGA (0.66 punts)

Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes). (0,33 punts) i taula de recursos utilitzats (0,33 punts)



**Figura 6:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament. (0,33 punts)

Top-level Entity Name	shiftreg
Family	Cyclone V
Device	5CEBA4F23C7
Timing Models	Final
Logic utilization (in ALMs)	5 / 18,480 ( < 1 % )
Total registers	8
Total pins	22 / 224 ( 10 % )
Total virtual pins	0
Total block memory bits	0 / 3,153,920 ( 0 % )
Total DSP Blocks	0 / 66 ( 0 % )
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 4 ( 0 % )
Total DLLs	0 / 4 ( 0 % )