# Informe Pràctica 2: Introducció al flux de disseny i síntesis en FPGA

*El codi RTL i el codi del testbench i la demostració en FPGA valen 2,5 punts, 1,5 punts i 2,5 punts, respectivament. Els codi rtl ha d’estar comentat. Les tasques del testbench han d’estar correctament completades, comentades i demostrada la seva funcionalitat. La demostració ha de ser clara i completa.*

## Testbench (1 punt)

**Taula 1:** Llista dels diferents tasques del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| **Tasca** | **Descripció** |
| test\_serin | Test de la càrrega de dades pel port serial. |
| test\_serout | Test de la sortida de dades pel port serial. |
| load\_shiftreg | Càrrega en paral·lel de les dades al registre de desplaçament. |
| reset | Posa tots els registres a 0. |
| wait\_cycles | Espera cicles de rellotge. |
| sync\_check | Comprova l’output de manera síncrona. |
| async\_check | Comprova l’output de manera asíncrona. |
| check\_errors | Comprova si el valor esperat i l’obtingut es corresponen |

## Verificació Funcional *(1,83 punts)*

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). (1,5 punts). Captura dels missatges d’auto verificació del Modelsim/Questa (0,33 punts).*

Texto

Descripción generada automáticamenteA la **Figura 1** es mostra ...

Figura 1: Test de càrrega en paral·lel del registre de desplaçament.

Texto

Descripción generada automáticamenteTexto

Descripción generada automáticamente

Figura 3: Test d’entrada en sèrie de dades al registre de desplaçament.

Figura 2: Test de sortida en sèrie de les dades carregades al registre de desplaçament.

Shape

Description automatically generated with low confidence

**Figura 1:** Diagrama d’ones de ...

A la **Figura 2** es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 2:** Captura terminal Questa\*-Intel amb els missatges de l’autoverificació.

## Síntesis en FPGA *(0.66 punts)*

*Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes). (0,33 punts) i taula de recursos utilitzats (0,33 punts)*

La **Figura 3** mostra el esquema RTL de la netlist generada amb el Quartus de registre de desplaçament. La **Taula 2** mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 3:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament. *(0,33 punts)*

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |