# Informe Pràctica 3 Sessió 1: Generador de polsos

## Testbench

**Taula 1:** Llista dels diferents tasques del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| **Tasca** | **Descripció** |
| Reset | Restableix tots els valors a un estat conegut |
| Wait\_cycles | El sistema s’espera el nombre de cicles de rellotges escollit |
| Async\_check | Comprova que no hi ha errors asíncronament |
| Check\_errors | Comprova que la variable errors és 0 |
| Test\_and\_result | Mostra els resultats del test |
| Load\_ticks | Carrega el valor del comptador al timer |
| Test\_hold | Comprova el correcte funcionament del timer permetent afegir el nombre de cicles que es vol que s’aturi. Mesura:   * Que l’output sigui sempre l’esperat * El temps entre dos polsos consecutius * El nombre de cicles entre dos polsos consecutius |
| Test\_spread (deprecated) | Permet distribuir uniformement els polsos d’espera. Desestimat degut a que no és el que demana l’enunciat però pot ser útil en futures ocasions. |

## Verificació Funcional

Imagen que contiene Interfaz de usuario gráfica

Descripción generada automáticamente

Imagen que contiene Forma

Descripción generada automáticamente

**Figura 1:** Verificació funcional del comptador quan n = 0 i n = 1 (variable “ticks”). Es pot veure que en el primer cas s’emet un avís de que no hi ha un valor de “ticks” usable i que en el segon el comportament és el que s’espera. Encara que StopCycles = 8, com que no hi ha punt intermig entre 1 i 0, el comptador no s’atura 🡪 El “gap” entre polsos és d’un (1) cicle; 20ns.

Tabla

Descripción generada automáticamente

**Figura 2:** Verificació funcional del comptador quan n = 8. Es pot veure com amb n = 8 i StopCycles = 8, el “gap” entre polsos és de 16 cicles (8 de comptatge + 8 de stop) i que el temps entre aquests és de 170ns.

Imagen que contiene Tabla

Descripción generada automáticamente

**Figura 3:** Verificació funcional del comptador quan n = 15. Es pot veure com amb n = 8 i StopCycles = 8, el “gap” entre polsos és de 23 cicles (15 de comptatge + 8 de stop) i que el temps entre aquests és de 240ns.

Escala de tiempo

Descripción generada automáticamente

**Figura 1:** Diagrama d’ones de la simulació.

* Zona taronja (n=0): es veu que vExpected i vObtained són 0 tota l’estona.
* Zona groga (n=1): vExpected i vObtained són idèntics tot el període d’avaluació i no hi ha stop ja que no hi ha punt mig entre 0 i 1.
* Zona blava (n=8): vExpected i vObtained són idèntics tot el període d’avaluació i podem veure com el comptador es dilata 8 cicles quan arriba a 4 (la meitat del comptatge).
* Zona blanca (n=15): vExpected i vObtained són idèntics tot el període d’avaluació i podem veure com el comptador es dilata 8 cicles quan arriba a 7 (la meitat del comptatge).

## Síntesis en FPGA

La **Figura 3** mostra el esquema RTL de la netlist generada amb el Quartus del timer. La **Taula 2** mostra els recursos utilitzats de la FPGA.

Diagrama, Esquemático

Descripción generada automáticamente

**Figura 3:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| **Recurs** | **Utilitzats** | **%** |
| Pins E/S | 13/224 | 6 |
| Elements Lògics | 7/18.480 | <1 |
| Registres | 9 | - |
| RAMs | 0 | 0 |
| DSPs | 0 | 0 |
| PLLs | 0 | 0 |
| FMAX | 376,36MHz | - |

**Verificació Post-síntesis**

Pantalla de computadora

Descripción generada automáticamente con confianza mediaA la Figura 4 es mostra ...

Figura 4**:** Diagrama d’ones de la verificació post síntesi. Es pot veure que no hi ha molts canvis excepte algun petit delay.