# Informe Pràctica 3 Sessió 2: Registres de Configuració i Control

*El codi del testbench es valorarà que totes les tasques estiguien correctament completades, comentades i demostrada la seva funcionalitat.*

## Testbench

**Taula 1:** Llista dels diferents tasques/funcions del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| Tasca | Descripció |
| check\_interrupt | Comprova si hi ha interrupció durant 3 cicles de clock. |
| transer\_done | Genera un pols I2C\_done indicant que s’ha fet una transferència. |
| arbitration\_lost | Genera un pols I2C\_al indicant que hi ha hagut una pèrdua d’arbitratge. |
| sync\_check | Comprovació síncrona de que vExpected = vObtained. |
| async\_check | Comprovació asíncrona de que vExpected = vObtained. |
| check\_errors | Comprova que la variable errors sigui 0. |

## Verificació Funcional

Texto

Descripción generada automáticamente

**Figura 1:** Test d’escriptura/lectura als registres.

Texto, Carta

Descripción generada automáticamente

**Figura 2:** Tests d’autoclear del registre de control (tant per finalització de transferència com per pèrdua d’arbitratge).

Texto

Descripción generada automáticamente con confianza media

**Figura 3:** Tests de “Transfer in Progress” i de generació d’interrupcions.

**Interfaz de usuario gráfica, Texto, Aplicación, Teams

Descripción generada automáticamente**

**Figura 4:** Tests de Prescale, Control, Command i Transmission.

## Texto Descripción generada automáticamente

**Figura 5:** Test de recepció.

Diagrama

Descripción generada automáticamente

**Figura 6:** En aquest “waveform” es mostra com quan modifiquem el registre CR (a 8'hFF), els senyals de Start, Stop, Read, Write i Tx\_ack es posen a 1.

## Síntesis en FPGA

Diagrama

Descripción generada automáticamente

**Figura 7:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| Recurs | Utilitzats | % |
| Pins E/S | 57 / 154 | 37 |
| Elements Lògics | 56 / 22,320 | <1 |
| Registres | 37 | - |
| RAMs | 0 | 0 |
| DSPs | 0 | 0 |
| PLLs | 0 / 4 | 0 |

## Verificació Post-síntesi

Diagrama

Descripción generada automáticamente

**Figura 8:** La simulació post-síntesi presenta variacions significatives a la simulació funcional.

Diagrama, Esquemático

Descripción generada automáticamente

**Figura 9:** Waveform complet de la simulació RTL per a poder comparar. S’han marcat de colors tres zones que presenten un escurçament del senyal conseqüència de la simulació a nivell de porta.