# Informe Pràctica 3 Sessió 2: Registres de Configuració i Control

*El codi del testbench es valorarà que totes les tasques estiguien correctament completades, comentades i demostrada la seva funcionalitat.*

## Testbench

**Taula 1:** Llista dels diferents tasques/funcions del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| Tasca | Descripció |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). Captura dels missatges d’auto verificació del Questa/Modelsim.*

A la **Figura 1** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 1**: Diagrama d’ones de ...

A la **Figura 2** es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 2:** Captura terminal Questa\*-Intel/ModelSim amb els missatges de l’autoverificació.

## Síntesis en FPGA

Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes) i taula de recursos utilitzats.

La **Figura 3** mostra el esquema RTL de la netlist generada amb el Quartus de registre de desplaçament. La **Taula 2** mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 3:** Esquema RTL de la netlist generada amb el Quartus.

**Taula 2:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| Recurs | Utilitzats | % |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

## Verificació Post-síntesis

*Captures de les simulacions, demostrant en correcte funcionament del circuit. Captura mostrant algun retard en comparació a la verificació funcional?*

A la **Figura 4** es mostra ...

Shape

Description automatically generated with low confidence

**Figura 4:** Diagrama d’ones de ...