# Informe Pràctica 3 Sessió 3: Controlador de Bit

## Errors en el RTL:

|  |  |  |
| --- | --- | --- |
| #Error | Línies | Descripció |
| 1 | 104 | **Descripció de l’error:** Encara que per tal de generar tant una condició de “start” com de “stop” és necessari que SCL estigui en 1, tal com està definida la condició de “start” al codi original no és correcte. Hem canviat ~sSCL per sSCL  **Codi original:**  sta\_condition <= ~sSDA & dSDA & ~sSCL  **Codi corregit:**  sta\_condition <= ~sSDA & dSDA & sSCL |
| 2 | 193  i  198 | **Descripció de l’error:** Al càlcul del següent estat en mode d’escriptura, hi ha un bucle infinit d’estats degut a que se salta l’estat “C” i passa directament al “D”. Després, un cop està a l’estat “D”, la condició *else*, enlloc de mantenir l’estat actual fa un salt a l’estat “B”; generant així un bucle infinit.  **Codi original:**  WR\_B : if(clk\_en) next = WR\_D;  else next = WR\_B;  WR\_C : if(clk\_en) next = WR\_D;  Else next = WR\_C;  WR\_D : if(clk\_en) next = IDLE;  else next = WR\_B;  **Codi corregit:**  WR\_B : if(clk\_en) next = WR\_C;  else next = WR\_B;  WR\_C : if(clk\_en) next = WR\_D;  Else next = WR\_C;  WR\_D : if(clk\_en) next = IDLE;  else next = WR\_D; |
| 3 | 230 | **Descripció de l’error:** A la seqüència de “start”, a la primera part (B), hi ha un error a l’hora d’assignar el valor de “Sda\_oen” ja que, segons la seqüència del gràfic del guió, a la part B el valor d’aquesta ha de commutar a 1 i en aquest cas està assignat a 0.  **Codi original:**  START\_B : begin  Scl\_oen <= 1'b1; *// keep SCL high*  Sda\_oen <= 1'b0; *// keep SDA high*  sda\_chk <= 1'b0; *// don't check SDA output*  end  **Codi corregit:**  START\_B : begin  Scl\_oen <= 1'b1; *// keep SCL high*  Sda\_oen <= 1'b1; *// keep SDA high*  sda\_chk <= 1'b0; *// don't check SDA output*  end |
| 4 | 239 | **Descripció de l’error:** Aquest és només un error de comentari, ja que el que s’està fent no es correspon amb el comentari associat.  **Codi original:**  START\_D : begin      Scl\_oen <= 1'b1; *// set SCL low*      Sda\_oen <= 1'b0; *// set SDA low*      sda\_chk <= 1'b0; *// don't check SDA output*  end  **Codi corregit:**  START\_D : begin      Scl\_oen <= 1'b1; *// keep SCL high*      Sda\_oen <= 1'b0; *// set SDA low*      sda\_chk <= 1'b0; *// don't check SDA output*  end |
| 5 | 244 | **Descripció de l’error:** Aquest altre és també només un error de comentari, ja que el que s’està fent no es correspon amb el comentari associat.  **Codi original:**  START\_E : begin      Scl\_oen <= 1'b1; *// keep SCL low*      Sda\_oen <= 1'b0; *// keep SDA low*      sda\_chk <= 1'b0; *// don't check SDA output*  end  **Codi corregit:**  START\_E : begin      Scl\_oen <= 1'b1; *// keep SCL high*      Sda\_oen <= 1'b0; *// keep SDA low*      sda\_chk <= 1'b0; *// don't check SDA output*  end |

## Màquina d’estats

*Explicació breu i clara de com funciona la màquina d’estats i de quin tipus és.*

*Diagrama d’estats on es mostrin les transicions i les seves condicions.*

*Taula d’estats on s’explica què fa cada estat.*

A la Figura 1 es mostra el diagrama d’estats de la unitat de control del mestre I2C implementat i la Taula 1 en hi ha llistats els diferents estats amb una breu descripció. La unitat de control realitza les següents operacions ...

Diagrama

Descripción generada automáticamente

**Figura 1:** Diagrama d’estats (generat automàticament del controlador de Bit de la unitat de control I2C.

**Taula 1:** Llista dels diferents estats de la màquina d’estats implementada.

|  |  |
| --- | --- |
| Estat | Descripció |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Qüestions

1. Perquè la generació del senyal Start és de 6 etapes en lloc de 4?
2. Quina és la formula que ens dona la freqüència de rellotge o temps de bit?
3. Com s’implementa la detecció de coŀlisions? I el clock stretching? Dibuixeu l’esquema RTL de la lògica i mostreu una captura de simulació a nivell RTL que ho mostri com funcionen.