# Informe Pràctica 3 Sessió 4: Controlador de Byte

## Màquina d’estats

*Explicació breu i clara de com funciona la màquina d’estats i de quin tipus és (0,5 punts).*

*Diagrama d’estats on es mostrin les transicions i les seves condicions (1 punt).*

*Taula d’estats on s’explica què fa cada estat (0,5 punts).*

A la Figura 1 es mostra el diagrama d’estats de la unitat de control del mestre I2C implementat i la Taula 1 en hi ha llistats els diferents estats amb una breu descripció. La unitat de control realitza les següents operacions:...

Shape

Description automatically generated with low confidence

**Figura 1:** Diagrama d’estats de...

**Taula 1:** Llista dels diferents estats de la màquina d’estats implementada.

|  |  |
| --- | --- |
| Estat | Descripció |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Testbench (0,5 punts)

**Taula 2:** Llista dels diferents tasques/funcions del testbench i la seva funcionalitat.

|  |  |
| --- | --- |
| Tasca | Descripció |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## Verificació Funcional (1,5 punts + 0,5 punts)

*Captures de les simulacions, amb una explicació breu i ressaltant les zones d’interès (poden ser més d’una captura!). Captura dels missatges d’auto verificació del Questa/Modelsim.*

A la Figura 2 es mostra ...

Shape

Description automatically generated with low confidence

**Figura 2:** Diagrama d’ones de ...

A la Figura 3 es mostren els missatges...

Shape

Description automatically generated with low confidence

**Figura 3:** Captura terminal Questa\*-Intel/ModelSim amb els missatges de l’autoverificació.

## Síntesis en FPGA *(0,5 punts)*

*Captura (o captures) del esquema RTL generat pel Quartus (expandiu les caixetes) i taula de recursos utilitzats.*

La Figura 4 mostra el esquema RTL de la netlist generada amb el Quartus i a la Figura 5 es mostra en detall el diagrama d’estats de la unitat de control. La Taula 3 mostra els recursos utilitzats de la FPGA.

Shape

Description automatically generated with low confidence

**Figura 4:** Esquema RTL de la netlist generada amb el Quartus.

Shape

Description automatically generated with low confidence

**Figura 5:** Diagrama d’estats de la unitat de control implementada.

**Taula 3:** Llista dels recursos utilitzats en la implementació de registre de desplaçament.

|  |  |  |
| --- | --- | --- |
| Recurs | Utilitzats | % |
| Pins E/S | / |  |
| Elements Lògics | / |  |
| Registres | / |  |
| RAMs |  |  |
| DSPs |  |  |
| PLLs |  |  |
| ... |  |  |
|  |  |  |

## Verificació Post-síntesis *(1 punt)*

*Captures de les simulacions, demostrant en correcte funcionament del circuit. Captura mostrant algun retard en comparació a la verificació funcional*

A la Figura 6 es mostra ...

Shape

Description automatically generated with low confidence

**Figura 6** Diagrama d’ones de ...