

FONAMENTS DE COMPUTADORS

Pràctica 1

Utilització de l'entrenador lògic

| Cognoms i nom | Grup | DNI |
|---------------|------|-----|
| | | |
| | | |

GENERALITATS

L'entrenador lògic és una plataforma de treball que permet la realització de pràctiques amb circuits lògics sense necessitat d'utilitzar instrumentació exterior. Conté portes lògiques bàsiques (AND, OR, NOT) i circuits més complexos formats a partir d'aquestes. Les portes lògiques estan alimentades internament i només estan accessibles les seues entrades i eixides des de l'exterior. Per a realitzar les interconnexions necessàries i construir els circuits utilitzarem cables amb terminals en els extrems; aquests terminals encaixen en els receptacles (anomenats borns) disposats en les entrades i eixides de les portes lògiques.

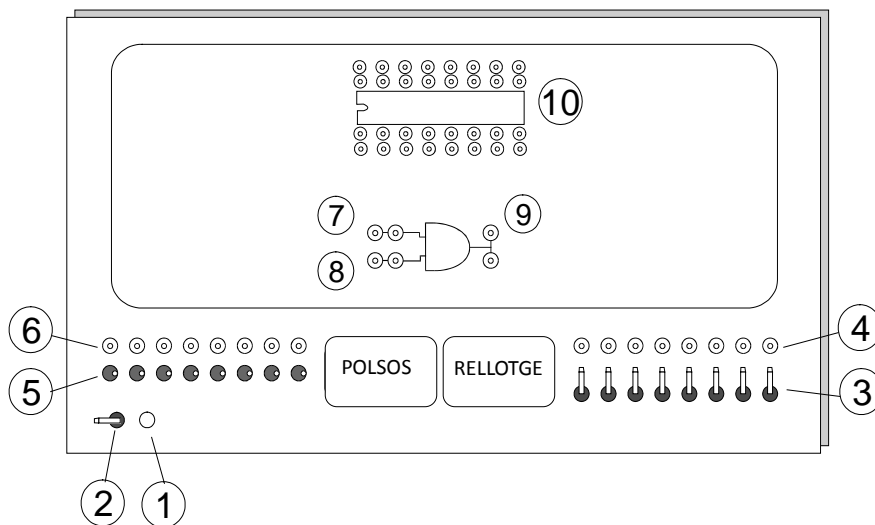


Figura 1. Esquema bàsic de l'entrenador lògic.

Descripció de l'entrenador lògic

La figura 1 mostra un esquema bàsic de l'entrenador. A continuació es descriuen els elements més importants que el componen.

1. **LED d'encesa.** Aquest LED indica que l'entrenador està en funcionament. **ÉS MOLT IMPORTANT QUE mentre es realitza el muntatge d'un circuit lògic l'entrenador no estiga en funcionament (LED apagat).**
2. **Interruptor general:** Per a posar en funcionament l'entrenador.
3. **Commutadors de programació de nivells lògics:** Cadascun d'aquests commutadors té associat un born d'eixida (4). La posició de la palanca del

commutador permet forçar en el born associat un nivell alt (5 volts) si la palanca està cap a la part superior o un nivell baix (0 volts) si està cap a la part inferior de l'entrenador.

4. **Borns programables:** D'aquests borns es prenen els senyals d'entrada necessàries per al circuit lògic. Són les eixides associades als commutadors de nivell (3).
5. **Indicadors d'eixida lògica:** Si al born associat a l'indicador (6) arriba un nivell alt (5 volts), l'indicador d'eixida estarà encès i si arriba un nivell baix (0 volts) estarà apagat.
6. **Borns d'entrada dels indicadors d'estat lògic:** A aquests borns generalment es connecta l'eixida d'un circuit lògic per visualitzar, mitjançant els indicadors (5) l'eixida del circuit.
- 7 i 8. **Entrades A i B de la porta lògica.** Es tracta d'una porta de 2 entrades, encara que presenta quatre borns d'entrada. De fet, els dos borns superiors corresponen al mateix punt elèctric i per tant corresponen a la mateixa entrada lògica (així ho indica la línia que els uneix). El mateix succeeix amb els dos borns inferiors, que corresponen ambdós al mateix punt elèctric i per tant a la mateixa entrada lògica.
9. **Eixida de la porta lògica.** La porta presenta una única eixida lògica, però dos borns de connexió, el que permet portar l'eixida de la porta a dos llocs diferents.
10. **Sòcol:** Els sòcols de l'entrenador són usats per a connectar circuits integrats comercials. A través dels borns associats es té accés a les patilles del circuit integrat. Recordeu que sempre cal connectar els borns d'alimentació del circuit integrat. Els circuits TTL han d'alimentar-se amb 5V, connectant el "*pin*" Vcc a la fenella +5V o al born anomenat "HI" i el "*pin*" GND a la femella 0V o al born anomenat "LO"

Cal recordar que encara que cadascuna de les entrades, i també l'eixida, de les portes tenen dos borns associats, és com si solament tingueren un, atès que ambdós estan units internament com ja s'ha explicat anteriorment. El fet de disposar de dos punts de connexió ens facilitarà el muntatge de circuits complexos en els quals, en un mateix punt elèctric, han de confluir múltiples cables d'interconnexió.

Comprovació d'un circuit lògic

Una funció lògica pot estar representada per una expressió algebraica, una taula de veritat o per un circuit lògic. Generalment quan iniciem el disseny d'un nou circuit es comença per obtenir la seua taula de veritat a partir de la seua descripció. Una vegada obtinguda la taula de veritat s'obté l'expressió algebraica associada i, finalment s'implementa el circuit lògic equivalent.

Com es pot comprovar que el circuit lògic implementat té associada la taula de veritat original?

La resposta, en un cas de "llapis i paper", és que cal donar a les entrades totes les combinacions de valors possibles i, mitjançant l'anàlisi del circuit, determinar el valor de l'eixida del circuit. Obtenim així una taula de veritat (obtinguda a partir del circuit) que caldrà comparar amb la taula de veritat de partida (obtinguda a partir de la descripció).

El treball que cal fer per a comprovar que un circuit lògic té associada una determinada taula de veritat, quan al laboratori estem treballant amb l'entrenador lògic, és el mateix. La diferència és que l'anàlisi del circuit és innecessari, doncs els indicadors d'eixida ens mostren directament el valor de les eixides. Aquest treball es realitza amb els passos següents:

- 1) Realitzeu el muntatge del circuit lògic, emprant les portes lògiques disponibles en l'entrenador i els cables necessaris. Les entrades del circuit hauran d'estar connectades als borns programables, i les eixides del mateix als borns d'entrada dels indicadors d'estat.
- 2) Programeu una determinada VALORACIÓ en les ENTRADES del circuit. Els valors que han de prendre les entrades poden ser generats mitjançant les palanques dels commutadors programables (commutadors de la part inferior dreta de la figura 1).
- 3) Visualitzeu i anoteu els valors de les EIXIDES del circuit. Per a veure quins valors prenen les eixides per a cada combinació dels valors d'entrada s'han d'utilitzar els borns associats als indicadors d'eixida (indicadors de la part inferior esquerra de la figura 1).
- 4) Repetiu els punts 2) i 3) fins a esgotar totes les combinacions d'entrada possibles.

Programant totes les possibles combinacions dels valors d'entrada i observant l'eixida o eixides del circuit, s'obté una taula de veritat. Si la taula de veritat obtinguda (en aquest cas, del circuit) coincideix amb l'original, el funcionament del circuit és correcte, en altre cas és incorrecte. NOTA: Això últim NO és totalment cert, doncs hi ha funcions (aquelles amb combinacions d'entrada indiferents) en les quals el circuit pot retornar un resultat 0 o 1 (elecció que fa el dissenyador del circuit).

En la figura 2 es poden veure les connexions que seria necessari realitzar si es desitja comprovar el funcionament d'un circuit format únicament per una porta AND de dues entrades com la vista en classe de teoria.

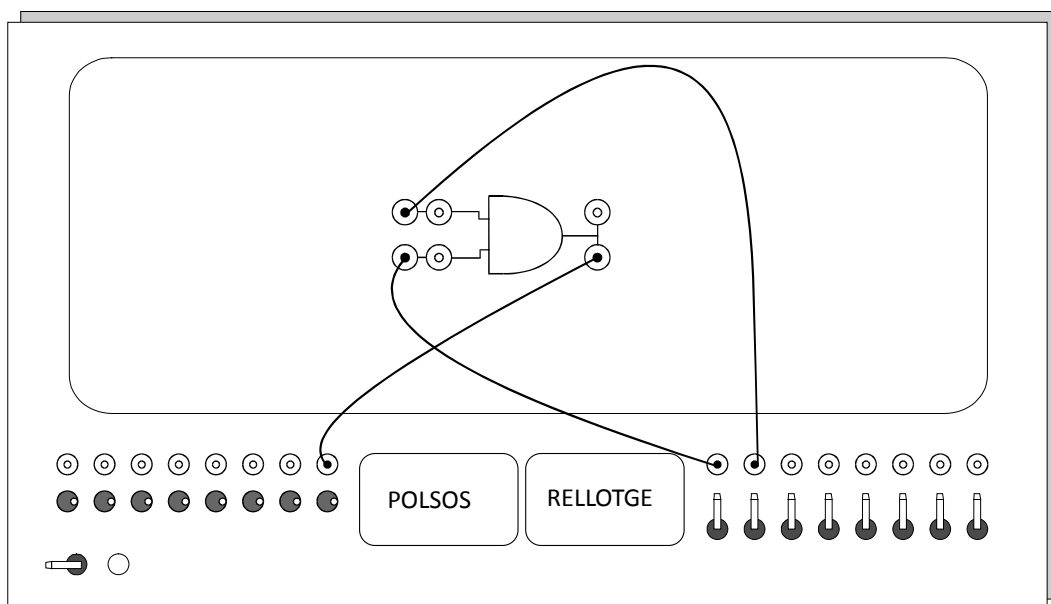


Figura 2. Connexions necessàries per a comprovar el funcionament d'una porta AND.

UTILITZACIÓ DE L'ENTRENADOR LÒGIC

Pregunta 1. Completeu DE FORMA TEÒRICA la taula de veritat d'una porta NAND de dues entrades. A continuació utilitzeu l'entrenador lògic per a VERIFICAR el funcionament de la porta.

| A | B | NAND (A,B) |
|---|---|------------|
| | | |
| | | |
| | | |
| | | |

Taula 1. Taula de veritat de la porta NAND.

Pregunta 2. Completeu DE FORMA TEÒRICA la taula de veritat de les diferents expressions de la taula 2.

| A | B | C | A AND B | NOT C | (A AND B) OR (NOT C) |
|---|---|---|---------|-------|-----------------------|
| 0 | 0 | 0 | | 1 | 1 |
| 0 | 0 | 1 | | 0 | 0 |
| 0 | 1 | 0 | | 1 | 1 |
| 0 | 1 | 1 | | 0 | 0 |
| 1 | 0 | 0 | | 1 | 1 |
| 1 | 0 | 1 | | 0 | 0 |
| 1 | 1 | 0 | | 1 | 1 |
| 1 | 1 | 1 | | 0 | 1 |

Taula 2. Taula de veritat del circuit I.

Pregunta 3. Implementeu en l'entrenador el circuit de la figura 3 i comproveu l'equivalència amb la taula de veritat de la taula 2.

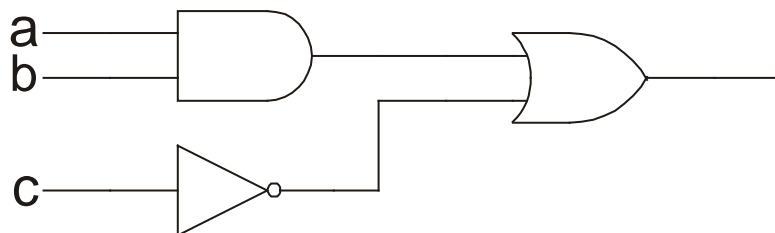


Figura 3. Circuit I.

Els circuits següents contenen errors comesos habitualment. Contesteu en cada cas quin és l'error comès que fa que no s'hi implemente cap funció lògica de forma adequada. (NOTA: Aquests circuits NO han d'implementar-se).

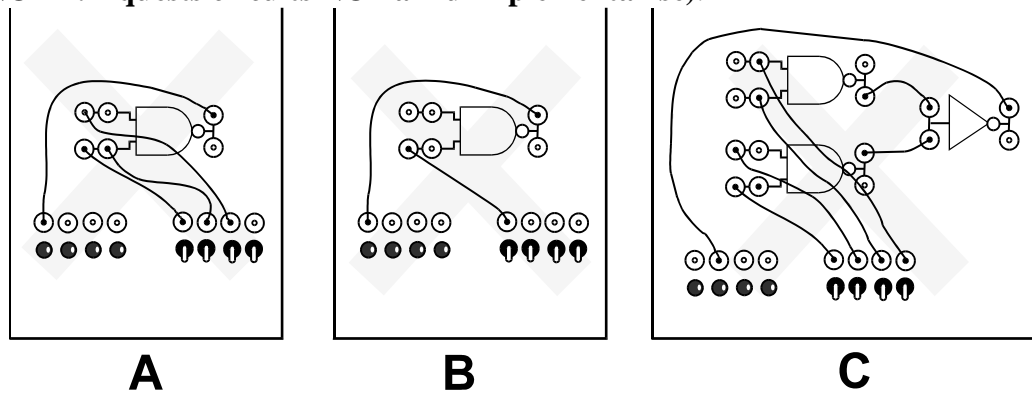


Figura 4. Circuits erronis.

Pregunta 4. Responen a les qüestions següents:

Error del circuit A:

.....

.....

Error del circuit B:

.....

.....

Error del circuit C:

.....

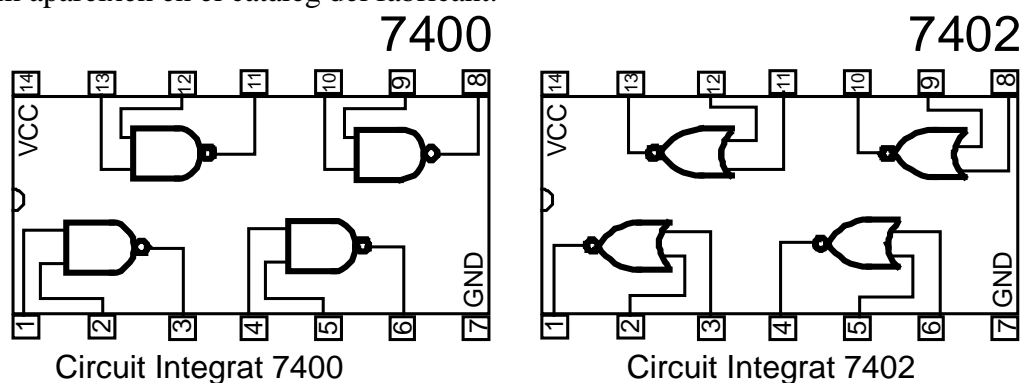
.....

UTILITZANT CIRCUITS INTEGRATS

Per a poder utilitzar circuits integrats en l'entrenador, és necessari, a més de col·locar-lo en un dels sòcols de l'entrenador, conèixer com és el “pinout” o distribució dels terminals d'entrades i eixides d'aquest circuit.

Tots els circuits integrats han d'alimentar-se. Per a alimentar un circuit amb tecnologia TTL, connectarem el “pin” Vcc a la femella +5V (**born vermell**) de l'entrenador i el “pin” GND a la femella 0V (**born negre**) de l'entrenador. El borns “HI” i “LO” són equivalents a +5V i 0V, respectivament.

Les figures 5 i 6 mostren l'assignació de “pins” del circuits integrats 7400 i 7402 tal com apareixen en el catàleg del fabricant.



En ambdós encapsulats, la massa que es mostra entre els “pins” 1 i 14 està present en l'encapsulat de plàstic, i permet identificar l'orientació del xip, una vegada muntat en l'entrenador. En alguns circuits integrats d'altres fabricants, aquesta marca pot estar acompanyada (o ser substituïda) per una marca circular al costat de la patilla nombre 1.

Pregunta 5. Responen a les qüestions següents:

- Indiqueu el nombre del “pin” que correspon amb Vcc: _____
- Indiqueu la tensió a la qual connectarem del “pin” Vcc: _____
- Indiqueu el nombre del “pin” que correspon amb GND: _____
- Indiqueu la tensió a la qual connectarem del “pin” GND: _____

El circuit 7402 conté 4 portes NOR idèntiques, numerades de la 1 a la 4, (Annex B) cadascuna amb dues entrades (A i B). Les eixides s'etiqueten amb la lletra Y. Com exemple, amb el conveni utilitzat, la patilla etiquetada com 2B fa referència a l'entrada B de la porta 2, i l'eixida d'aquesta porta és 2Y = 2A NOR 2B.

Pregunta 6. Responen a les qüestions següents:

- Indiqueu els nombres de “pin” de les entrades de la porta 3: _____
- Indiqueu quin és el terminal d'eixida de la porta 3: _____
- Dibuixeu la porta d'ordre 3 indicant el nombre i el nom dels terminals d'entrada i d'eixida:



Pregunta 7. Comproveu el funcionament d'una de les portes de l'integrat 7402 completant de forma teòrica la taula de veritat de la columna A NOR B de la taula 3. A continuació, utilitzant una de les portes de l'integrat 7402, comproveu que la seua eixida (eixida Y del circuit integrat) correspon a la funció de la porta NOR prèviament calculada.

| A | B | A NOR B | Y |
|---|---|---------|---|
| | | | |
| | | | |
| | | | |
| | | | |

Taula 3. Taula de veritat d'una porta NOR.

Pregunta 8. Completeu de forma teòrica la taula de veritat del circuit de la figura 6.

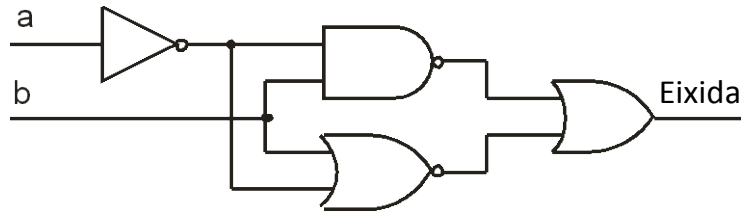


Figura 6. Circuit II.

| a | b | NOT a | (NOT a) NAND b | (NOT a) NOR b | Eixida |
|---|---|-------|----------------|---------------|--------|
| | | | | | |
| | | | | | |
| | | | | | |
| | | | | | |

Taula 4. Taula de veritat del circuit II.

A continuació, implementeu el circuit previ en l'entrenador utilitzant:

- Un inversor de l'entrenador
- Una porta OR de l'entrenador
- Una porta NAND del circuit integrat 7400
- Una porta NOR del circuit integrat 7402

Una vegada realitzat el muntatge del circuit, escriviu en la taula següent els valors de les eixides de les quatre possibles valoracions.

| a | b | Eixida |
|---|---|--------|
| 0 | 0 | |
| 0 | 1 | |
| 1 | 0 | |
| 1 | 1 | |

Taula 5. Taula de veritat del circuit II.

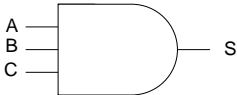
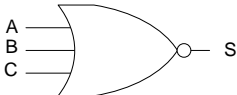
Pregunta 9. Quin és el nivell del circuit de la figura 6? _____

Les taules 4 i 5 tenen els mateixos valors d'eixida? _____

IMPLEMENTACIÓ DE PORTES LÒGIQUES

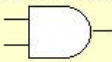
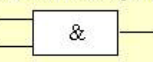

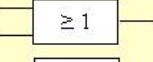
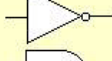
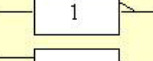

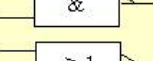

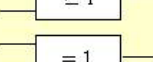

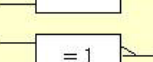

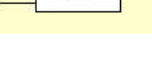
En finalitzar la pràctica, cal que sigueu capaços, fent ús de les portes disponibles a l'entrenador, de construir portes lògiques AND, NAND, OR i NOR, de qualsevol aritat. En cada cas, cal dibuixar el símbol lògic de la porta que es vol construir i com heu utilitzat les portes disponibles a l'entrenador.

Pregunta 10. Completeu la taula següent:

| Nom | Expressió algebraica | Símbol lògic de la porta a implementar | Implementació utilitzant les portes de l'entrenador |
|--------------------|--|---|---|
| AND de 3 entrades | $S = A \bullet B \bullet C$ |  | |
| NAND de 5 entrades | $S = \overline{A \bullet B \bullet C \bullet D \bullet E}$ | | |
| OR de 3 entrades | $S = A + B + C$ | | |
| NOR de 3 entrades | $S = \overline{A + B + C}$ |  | |

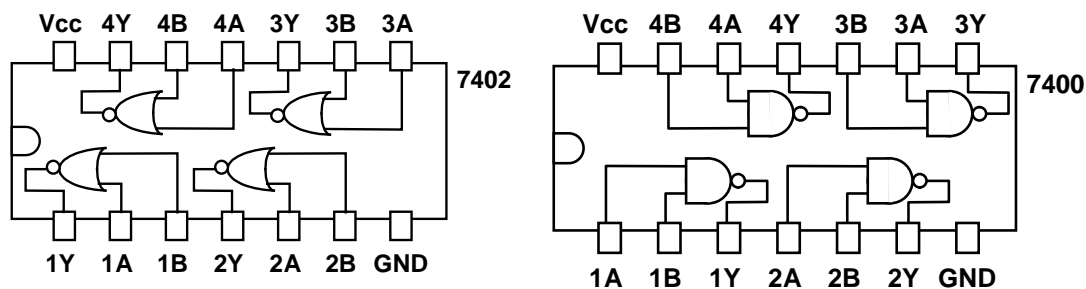
ANNEX A. SÍMBOLS LÒGICS ANSI/IEEE

Els símbols gràfics que s'utilitzen en classe per a representar les portes lògiques són els denominats “clàssics” o nomenclatura tradicional. Existeixen altres formes de representar les portes lògiques, entre les quals destaca per la seua importància el format normalitzat estàndard, que és l'utilitzat per l'entrenador lògic. En la figura següent es mostra la correspondència entre la nomenclatura tradicional i l'estàndard ANSI/IEEE per als símbols lògics de les portes bàsiques:

| Traditional symbol | | ANSI/IEEE symbol |
|---|------|--|
|  | AND |  |
|  | OR |  |
|  | NOT |  |
|  | NAND |  |
|  | NOR |  |
|  | XOR |  |
|  | XNOR |  |

Noteu que, en aquest entrenador, la porta inversora s'ha denominat INV en lloc de NOT.

ANNEX B. “PINOUT” DELS CIRCUITS INTEGRATS 7402 I 7400



Descripció: cadascuna de les portes contingudes en un circuit integrat té assignat un nombre. Les entrades de cada porta es diuen A i B, i l'eixida s'anomena Y.

IMPORTANT: El terminal V_{CC} és la connexió d'alimentació, i cal connectar-se a 5 volts (1 lògic en l'entrenador). El terminal GND és la connexió de massa, i cal connectar-se a 0 volts (0 lògic en l'entrenador). Qualsevol error en la connexió d'aquests terminals (inclosa la seua no connexió) pot ocasionar la destrucció del circuit integrat.