

FONAMENTS DE COMPUTADORS

Pràctica 6

Disseny de sistemes seqüencials síncrons (autòmats de Moore)

Cognoms i nom	Grup	DNI

1.-Generalitats

L'objectiu principal d'aquesta pràctica és que l'alumne es familiaritze amb el disseny d'autòmats de Moore i l'ús de registres d'emmagatzemament com a nucli de memòria d'estos autòmats. Per a aconseguir aquestos objectius es construiran en l'entrenador lògic un sistema síncron que l'alumne haurà de desenvolupar **abans** d'iniciar el treball en el laboratori.

Per a la realització dels circuits s'utilitzarà el **chip comercial 74LS174** (sis biestables D amb rellotge actiu per flanc de pujada i entrada d'esborrat asíncron /CLR comú) juntament amb el **chip comercial 74LS74** (dos biestables D amb rellotge actiu per flanc de pujada i entrades asíncrones /CLR y /PR independents) i del conjunt d'elements incorporats a l'entrenador lògic, com el generador automàtic de senyal de rellotge i els visualitzadors de 7 segments.

El flanc actiu de rellotge per a tots els autòmats serà el de pujada. En tots els circuits en què siga necessari disposar d'un **valor 1 fix** s'obtindrà aquest valor d'algun dels borns anomenats **HI** en l'entrenador. De forma anàloga, sempre que es necessite un **valor 0 fix** es connectarà a un dels borns **LO**.

Per a realitzar les proves de funcionament el rellotge es connectarà a una de les entrades de POLSOS de l'entrenador, de manera que l'alumne tindrà control sobre l'arribada de flancs de rellotge al sistema actuant sobre la palanca corresponent; una vegada el circuit funcione, i després d'apagar en entrenador, el rellotge s'obtindrà del generador de rellotge amb una freqüència aproximada d'1 Hz.

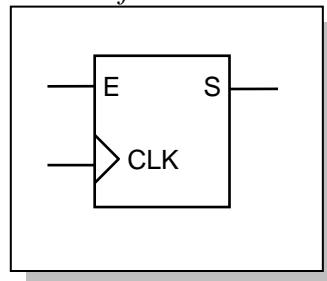
2.- Circuit a dissenyar: detector de la seqüència d'entrada 1-1

Qüestió 1. Dissenyeu **teòricament** un autòmat de Moore amb les especificacions següents: El sistema disposa d'una entrada (anomenada E) i una eixida (anomenada S, activa a nivell alt); el sistema ha d'activar l'eixida S quan es detecte en l'entrada E la seqüència de valors 1-1 (un valor per cycle de rellotge) Tan prompte com els dos últims valor no siguen la seqüència buscada, cal desactivar l'eixida S.

Es tracta d'un detector amb solapament, es a dir, la seqüència d'entrada 1-1-1 activarà l'eixida S durant dos cycles de rellotge.

A continuació es mostra la interfície del sistema.

1.- Interfície del circuit



2.- Diagrama d'estats:

3.- Taula d'estats

4.- Codificació. Per a la codificació hi ha d'emprar **tres variables** d'estat i codificació **one-hot** (estat A: 001, estat B: 010 estat C:100):

5.- Taula d'estats amb els estats codificats:

6.-Taules de veritat de les funcions d'excitació i eixida:

7.- Síntesi de les funcions d'excitació i eixida:

8.- Dibuix del circuit resultant

Qüestió 2. Construïu el circuit resultant de l'exercici anterior utilitzant els integrats 74LS174 i 74LS74 i les portes lògiques de l'entrenador necessàries.

Fixeu-vos que és necessari establir l'estat inicial del sistema a 001. Per tant, és necessari utilitzar al menys un biestable de l'integrat **74LS74 com element d'emmagatzemament de la variable d'estat Q0**, ja que aquests biestables disposen d'entrada asíncrona de *preset*. Per a la resta de variables d'estat es pot emprar qualsevol biestable que tinga entrada asíncrona de *clear*.

Com en aquest cas el sistema genera una única eixida connecteu-la a un led indicador d'estat.

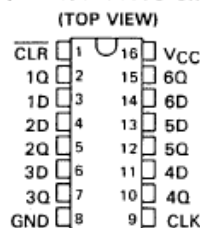
SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175, SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

SDLS008A - DECEMBER 1972 - REVISED OCTOBER 2001

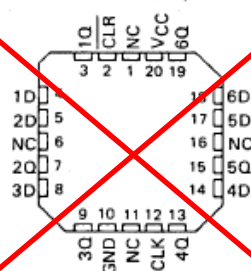
'174, 'LS174, 'S174 ... HEX D-TYPE FLIP-FLOPS '175, 'LS175, 'S175 ... QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
Buffer/Storage Registers
Shift Registers
Pattern Generators

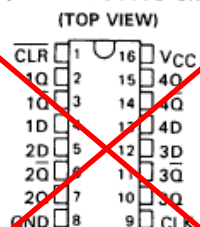
SN54174, SN54LS174, SN54S174 ... J OR W PACKAGE
SN74174 ... N PACKAGE
SN74LS174, SN74S174 ... D OR N PACKAGE



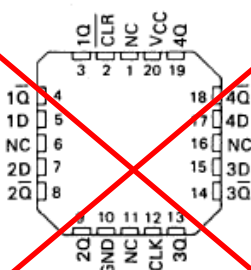
SN54LS174, SN54S174 ... FK PACKAGE
(TOP VIEW)



SN54175, SN54LS175, SN54S175 ... J OR W PACKAGE
SN74175 ... N PACKAGE
SN74LS175, SN74S175 ... D OR N PACKAGE



SN54LS175, SN54S175 ... FK PACKAGE
(TOP VIEW)



NC - No internal connection

description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flop.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	\bar{Q}
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	\bar{Q}_0

H = high level (steady state)

L = low level (steady state)

X = irrelevant

↑ = transition from low to high level

Q_0 = the level of Q before the indicated steady-state input conditions were established.

↑ = '175, 'LS175, and 'S175 only

TYPES	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION PER FLIP-FLOP
	PER FLIP-FLOP	
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	14 mW
'S174, 'S175	110 MHz	75 mW

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

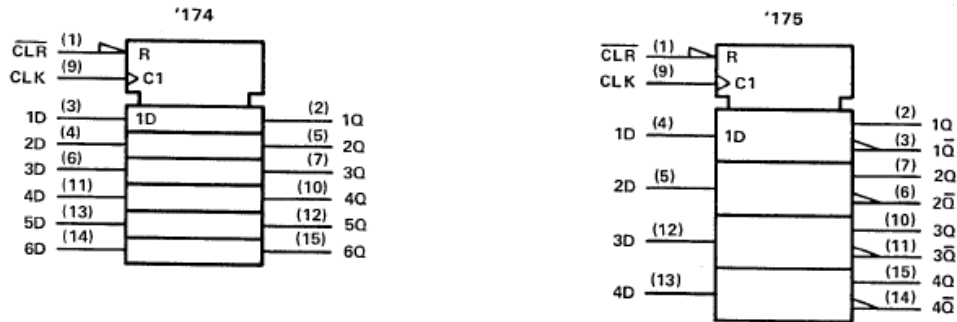
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2001, Texas Instruments Incorporated

SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

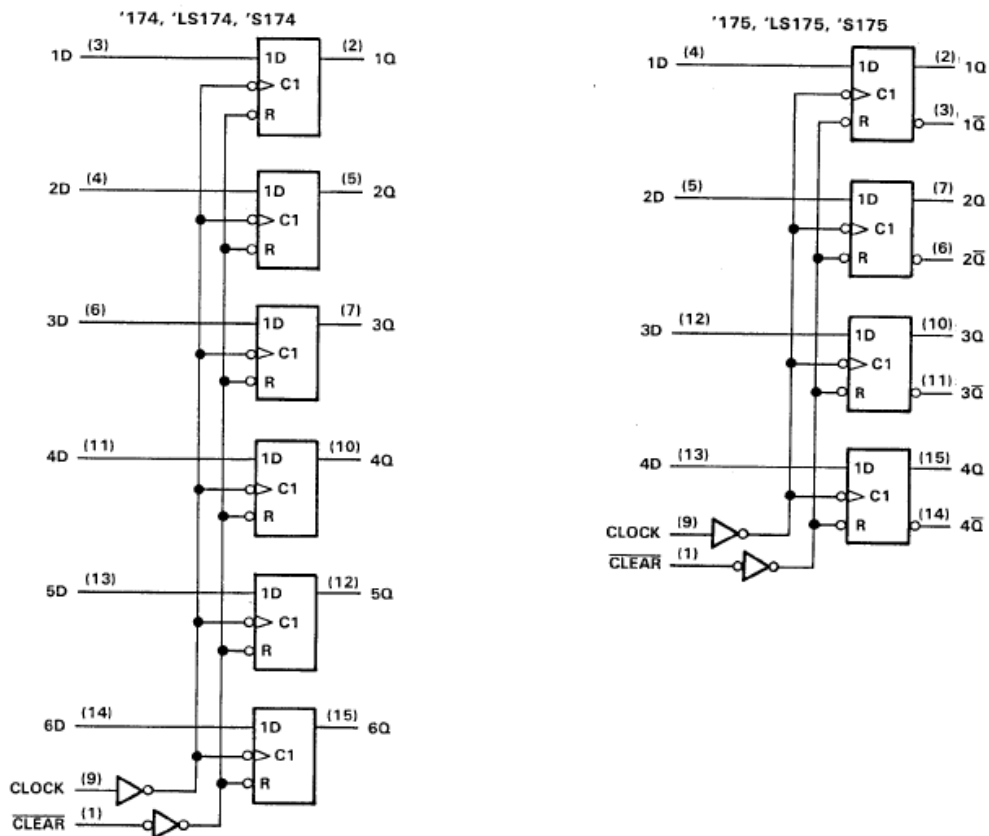
SDLS068A - DECEMBER 1972 - REVISED OCTOBER 2001

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, N, and W packages.

logic diagrams (positive logic)



Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

DM74LS74A

Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

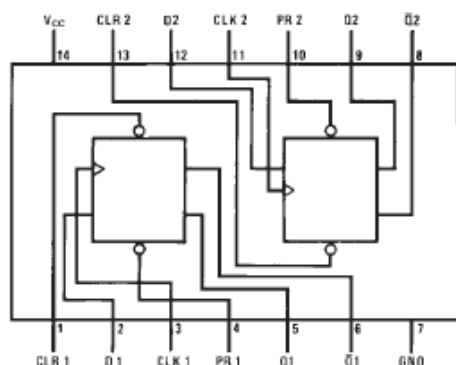
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is LOW or HIGH without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS85ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

H = HIGH Logic Level

X = Either LOW or HIGH Logic Level

L = LOW Logic Level

↑ = Positive-going Transition

Q₀ = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

