

FONAMENTS DE COMPUTADORS
Pràctica 5
Sistemes seqüencials
(Biestables, Registres, i Comptadors)

Cognoms i nom	Grup	DNI

GENERALITATS

L'objectiu principal d'aquesta pràctica és que l'alumne es familiaritze amb l'ús de biestables i, a partir d'aquests, construir registres de desplaçament i comptadors. Per a la realització dels muntatges s'empraran els biestables J-K, així com els pulsadors i generadors de senyal de rellotge, els indicadors LED, i els visualitzadors de 7 segments que s'inclouen en l'entrenador lògic. El senyal de rellotge s'obtindrà de l'entrenador lògic, amb una freqüència aproximada d'1 Hz.

És convenient acudir al laboratori amb tots els exercicis teòrics resolts!

DISSENY DE BIESTABLES D UTILITZANT BIESTABLES J-K.

Pregunta 1. En aquest exercici s'implementarà un biestable D a partir d'un biestable J-K, ja disponible en l'entrenador lògic i utilitzant les portes lògiques necessàries.

El primer pas per fer aquest exercici, és completar la taula d'excitació del biestable J-K, deduïda a partir de la taula de funcionament del biestable D. Per completar la taula d'excitació, cal determinar quines han de ser les entrades del biestable J-K en l'instant "t", quan en el biestable D es passe de l'estat actual " $Q(t)$ " a l'estat següent " $Q(t+1)$ ". A aquest procés se li anomena transició entre estats, entre l'estat actual i l'estat següent. A continuació, es resolen les equacions del biestable J-K. És a dir, s'obtenen l'entrada J i l'entrada K en funció de les entrades del biestable D, i de la variable interna $Q(t)$. La simplificació d'aquestes dues funcions, J i K, ens resol el disseny.

- Dibuixeu el circuit que heu obtingut sobre la figura 1 i indiqueu les expressions algebraiques per a J i K.

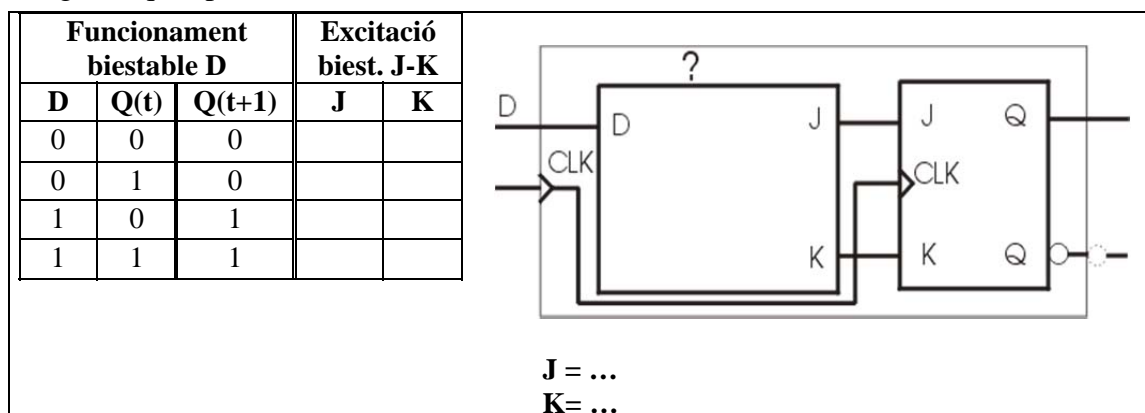


Figura 1. Circuit I. Uniu les entrades J i K amb l'entrada D emprant les portes lògiques que facen falta. L'objectiu és que el circuit resultant es comporte com un biestable D.

Una vegada dissenyat teòricament el circuit, munteu-lo en l'entrenador i verifiqueu que funciona correctament. **Atenció, després no desmunteu el circuit.**

DISSENY D'UN REGISTRE DE DESPLAÇAMENT A PARTIR D'UN BIESTABLE JK

Pregunta 2. Una vegada dissenyat i construït un biestable D, dissenyarem i construirem un registre de desplaçament de 4 bits amb entrada sèrie i eixida paral·lela.

Per construir el registre de desplaçament, utilitzarem el disseny anterior, altres tres biestables J-K de l'entrenador lògic, les portes lògiques necessàries, i establim les connexions apropiades per a la transmissió sèrie-paral·lel.

1. Dibuixeu en l'espai indicat (circuit II) l'esquema del circuit que heu dissenyat.
2. Implementeu el circuit en l'entrenador lògic. Connecteu les eixides dels quatre biestables D als indicadors LED.
3. Una vegada construït el registre de desplaçament, introduïu la seqüència: "1-0-0-1", i comproveu el resultat observant l'eixida en els indicador LED de l'entrenador



Figura 2. Circuit II. Registre de desplaçament sèrie-paral·lel de quatre bits. Dibuix a realitzar per l'alumne.

COMPTADORS SÍNCRONS

A continuació construirem una sèrie de comptadors síncrons.

El primer pas és construir en l'entrenador el circuit de la figura 3 (circuit III), utilitzant els biestables JK. Per determinar el valor dels comptes binaris d'aquest comptador, cal connectar les eixides dels dos biestables (Q1 i Q0) a dos dels indicadors LED de l'entrenador. És important, per poder llegir correctament el valor binari, disposar les eixides segons els seus pesos respectius. És a dir, el bit menys significatiu del comptador (LSB) Q0 es connecta amb el led de més a la dreta, i el bit següent de major pes (o MSB) Q1 es connecta al led següent a la seua esquerra. En el cas de treballar amb comptadors de més de dos bits, procedirem de la mateixa manera, connectant des de la dreta cap a l'esquerra i començant pel biestable que rep el senyal CLK (Q0). Les entrades de "Clear", dels biestables JK han de ser desactivades. Com a senyal CLK podeu emprar l'eixida manual o l'eixida automàtica del generador de polsos de l'entrenador. Finalment, cal recordar que un "0" lògic es correspon amb el led apagat i un "1" lògic amb el led encès.

Pregunta 3. Construïu el circuit de la figura 3 i indiqueu en la taula de la figura 3 el valor de les eixides Q1 i Q0 que observeu en els indicador LED.

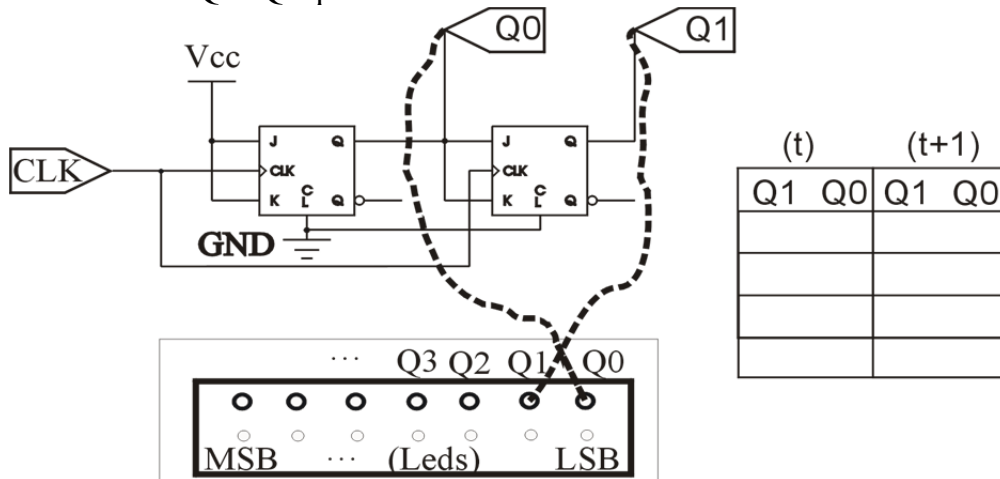


Figura 3. Circuit III.

NO DESMONTEU EL CIRCUIT (l'utilitzareu en l'exercici següent)

És possible demostrar que els comptadors binaris amb major nombre de bits ($n > 2$) es poden implementar segons la regla següent:

$$\begin{aligned}
 J_0 &= K_0 = 1; \\
 J_1 &= K_1 = Q_0; \\
 J_2 &= K_2 = Q_1 \cdot Q_0; \\
 J_3 &= K_3 = Q_2 \cdot (Q_1 \cdot Q_0); \\
 &\dots \\
 J_n &= K_n = Q_{(n-1)} \cdot \dots \cdot Q_2 \cdot (Q_1 \cdot Q_0);
 \end{aligned}$$

Pregunta 4. Utilitzeu les equacions anteriors per dissenyar un comptador de **3** bits, amb els biestables JK, (amb l'estructura de biestables "T", és a dir amb $J = K$) i les portes AND necessàries. Acabeu de dibuixar les connexions sobre el circuit de la figura 4.

Implementeu el circuit de l'exercici anterior visualitzant les eixides Q_n dels quatre biestables en els indicadors LED de l'entrenador. Empreu l'eixida manual o automàtica del generador de polsos com senyal CLK. Verifiqueu el funcionament del comptador i ompliu la taula annexa al circuit IV. Cal recordar que les eixides es connecten de menor pes (Q_0) a major pes (Q_3) de dreta a esquerra.

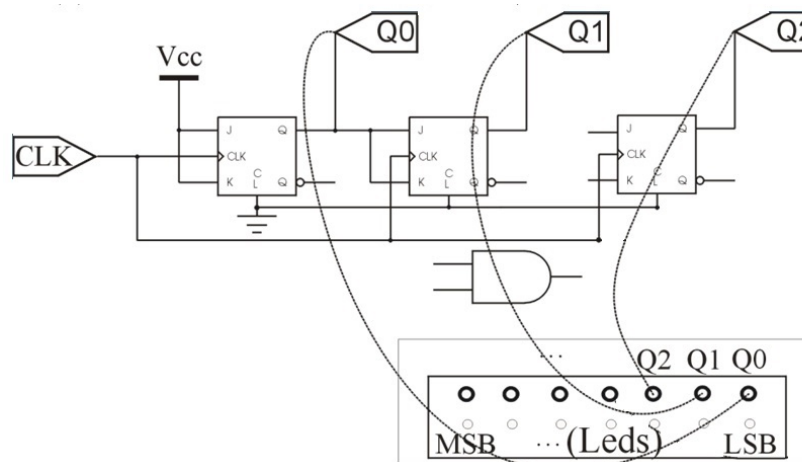


Figura 4. Circuit IV. Comptador de 3 bits utilitzant biestables J-K.

$Q_2(t)$	$Q_1(t)$	$Q_0(t)$	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

NO DESMONTEU EL CIRCUIT (l'utilitzareu en l'exercici següent)

Pregunta 5. Dissenyeu un comptador octal de dos dígit, es a dir, que realitzi el compte següent: 00, 01, 02...07, 10, 12, .. 17, 20 ... 75, 76, 77.

Utilitzeu el comptador construït en l'exercici anterior per a un dels dígit, i monteu un altre comptador per a l'altre dígit.

És necessari interconnectar els dos comptadors per a aconseguir que el dígit de major pes s'incrementi solament quan el dígit de menor pes inici un nou compte.

Dissenyeu un circuit combinacional que produïxca l'activació del senyal de rellotge del comptador de major pes quan siga adient.

Utilitzeu el visualitzador de 7 segments per verificar el funcionament correcte del circuit.