

Práctica 8: El inversor CMOS. Funcionamiento y parámetros característicos

Indice

1. Objetivos

2. Material necesario

3. Desarrollo práctico

3.1 Funcionamiento estático. Valores lógicos y consumo estático.

3.2 Curva de transferencia. Márgenes de ruido.

3.3 Consumo dinámico debido a las transiciones

3.4 Retardos de propagación

3.5 Consumo dinámico debido a la carga de las capacidades parásitas

1. Objetivos

- Estudiar la puerta básica de la familia CMOS: el inversor. Tomándola como referencia, analizar parámetros característicos importantes de la familia CMOS: consumo, curva de transferencia, retardo, etc.
- Comparar con las características eléctricas de la familia TTL.

2. Material necesario

- PC y programa PSpice para Windows, de Orcad. Existe una versión de estudiante en PoliformaT.

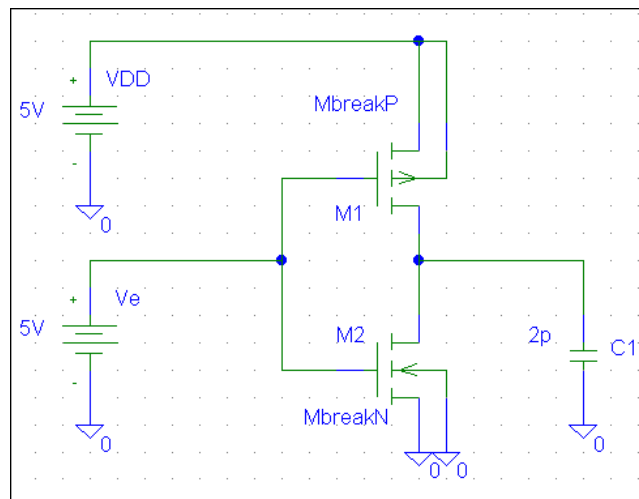
3. Desarrollo práctico

Ejecute el programa **VMware** y seleccione la máquina virtual *Virtual XP-TCOMP*. Entonces, pulse la opción “*Play Virtual Machine*” para que nos abra una ventana con la máquina virtual en Windows. En este entorno, ejecute el simulador de circuitos en **Inicio/Todos los Programas/Pspice Student/Schematics**. Se recomienda guardar los archivos creados en **Mis Documentos\prac8**, y deberán borrarse al finalizar.

MUY IMPORTANTE: al guardar un circuito, se recomienda **no utilizar** el nombre por defecto que propone Pspice (schematic1, schematic2, etc). Se sugiere usar nombres como Cmos1, Cmos2, etc.

3.1 Funcionamiento estático. Valores lógicos y consumo estático

- Edite en el *Schematics* el circuito de la figura siguiente, correspondiente a un inversor CMOS.



- Observaciones: Para importar los componentes, siga el camino *Draw→Get New Part→Part Name* en el menú *Edit*.
 - MbreakP (transistor PMOS)
 - MbreakN (transistor NMOS)
 - AGND (masa)
 - VDC (tensión continua, para la entrada y la tensión de alimentación)
 - C (capacidad parásita de salida).Para orientarlos correctamente en el esquema, tenga en cuenta que se pueden rotar (CTRL-R) y voltear (CTRL-F).
- Ajuste los nombres y valores de las fuentes de tensión Ve y VDD (+5V); así como del condensador C1 (2p). 1pF(picofaradio)= 10^{-12} F. La capacidad parásita C1 es debida a la capacidad drenador-fuente de M2, la capacidad de entrada de posibles circuitos conectados a la salida (por tanto aumenta con el fan-out), y a la capacidad del cableado metálico de interconexión.

NOTA: Tenga en cuenta que a diferencia de la familia TTL, **en CMOS la tensión de alimentación puede ser diferente de +5V (1V, 2.5V, 3.3V, 9V, 12V, ...)**. En la práctica se trabajará con +5V, para comparar el comportamiento con TTL.

- Edite el modelo de los transistores MOSFET:
 - * Con *Edit*→*Model*→*Edit Instance Model (Text)*), ajuste Kp (transconductancia o ganancia) y Vto (tensión umbral V_T)

model MbreakP PMOS vto=-1 kp=15u *\$	model MbreakN NMOS vto=1 kp=15u *\$
---	--

- * Especifique el ancho (W) y largo (L) del canal picando dos veces sobre el símbolo del transistor y cambiando los atributos: $W = 1\mu$, $L = 1\mu$. Donde $1\mu = 1 \text{ micro} = 10^{-6}$. Observe que se han asignado los mismos valores de Kp y (W/L) a los 2 transistores, para simplificar.
- Habilite el tipo de análisis como *Bias Point Analysis*. (*Analysis* -> *setup ...* -> ***Bias point detail***). Se trata de un análisis en continua.
- Ejecute la simulación (tecla F11 ó *Analysis*->*Simulate*).
- Verifique, pulsando el icono **V** en el programa de edición, que a la salida aparezca una tensión que se pueda identificar como un “0” lógico. Se trata de **V_{OL}**. **Atención:** puede que la simulación dé como resultado de V_{OL} algunos nV (nano voltios). Recuerde que $1\text{nV} = 10^{-9}\text{V}$, y por tanto es aproximadamente 0V.

* **V_{OL}** = _____



- Repita, cambiando la tensión de la entrada Ve a **0V** (“0”) y verifique que a la salida aparezca una tensión que se pueda identificar como un “1” lógico. Se trata de **V_{OH}**.

* **V_{OH}** = _____

- Mida el **consumo estático** en ambos casos. Para ello pulse el icono **I** de corrientes. Compruebe que la corriente que sale de V_{DD} **es despreciable**. Corresponde a las **corrientes de fuga (I_{leakage})** del circuito.

* **I_{estática} (H)** = _____

* **I_{estática} (L)** = _____

- Calcule la potencia estática $P_{\text{est}} = V_{DD} \times I_{\text{est}} = V_{DD} \times \frac{1}{2} (I_{\text{estH}} + I_{\text{estL}})$

* **P_{est}** = _____ mW


NOTA: Las **principales diferencias respecto a TTL** que debe haber observado son:

- Niveles de tensión V_{OH} y V_{OL} muy extremos, prácticamente iguales a V_{DD} y GND, respectivamente. En TTL la salida a nivel alto en vacío es del orden de 4.5V, y la salida a nivel bajo del orden de 0.15V.
- Consumo estático despreciable. En TTL hay corrientes estáticas I_{CC} del orden de algunos mA.

3.2 Curva de transferencia. Márgenes de ruido.

Para obtener la curva de transferencia se efectuará un **barrido de la tensión de entrada** entre 0V y 5V, y se representará la tensión de salida en función de la de entrada. Veamos cómo se puede hacer esto en el Pspice.

- Habilite el tipo de análisis como **DC Sweep**. (*Analysis -> setup ... -> DC Sweep*). Especifique el rango de variación de V_e entre 0 y 5V, con incrementos de 0.01V. Seleccione un barrido lineal (*linear*) de V_e .
- Ejecute la simulación (tecla F11 ó *Analysis->Simulate*).
- Una vez terminada, se abrirá automáticamente la ventana de *Probe*, que permite representar señales gráficamente. Para efectuar la selección de la señal, active la opción *Trace→Add Trace*. En nuestro caso, hay que escoger la tensión de salida, que corresponde al drenador del transistor M2. Por tanto, elija V(M2:d) de entre todas las que se le muestra. **¡Atención!: puede que su transistor no se llame M2, cerciórese mirando el esquemático.**

NOTA: Una alternativa para representar la tensión de salida sin tener que seleccionarla en PROBE es poner una sonda de tensión  en la salida (del esquemático).

- Al hacerlo, debe aparecer la curva de transferencia inversora CMOS, donde se pueden medir los diferentes parámetros de tensión. La figura 1 muestra el aspecto de una curva de transferencia inversora genérica.

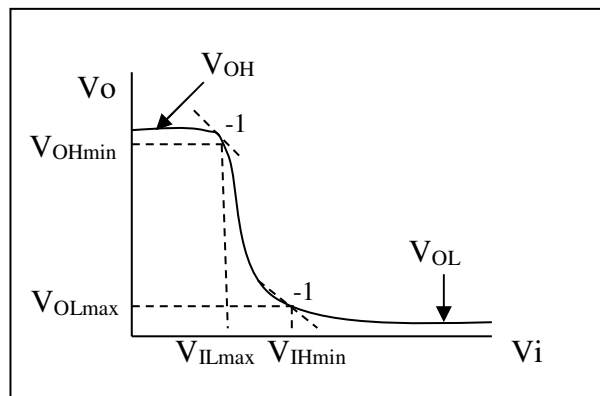


Figura 1. Curva de transferencia inversora.

- * Mida con los **cursores** las **tensiones de salida** (V_{OH} y V_{OL}).

- $V_{OH} =$ _____
- $V_{OL} =$ _____

- * Mida aproximadamente los valores de V_e correspondientes a los codos de la curva de transferencia. Sitúese aproximadamente en la mitad del codo. Nos indicarán los valores de V_{ILmax} , V_{IHmin} , V_{OLmax} , V_{OHmin} .

Atención: El codo es bastante amplio, por lo que resulta difícil precisar el punto exacto. Representando la **derivada** (Add_Plot → función $D(V(M2:d))$ en Trace), y usando los cursores, se pueden localizar los puntos exactos de derivada -1.

- $V_{IHmin} =$ _____
- $V_{ILmax} =$ _____
- $V_{OHmin} =$ _____
- $V_{OLmax} =$ _____

- * Calcule aproximadamente los **márgenes de ruido**:

- $NM_H = V_{OHmin} - V_{IHmin} =$ _____
- $NM_L = V_{ILmax} - V_{OLmax} =$ _____

- * Compruebe que se trata de una **curva de transferencia bastante ideal** y simétrica, con tensiones de salida muy extremas y **márgenes de ruido grandes**. La transición tiene lugar aproximadamente en $V_{DD}/2$ (osea, 2.5V).

NOTA: Observe que los márgenes de ruido y los niveles de tensión de salida son mejores que en la familia TTL (en TTL NM es del orden de 0.4V).

3.3 Consumo dinámico debido a las transiciones

Podemos visualizar el consumo de corriente que circula por los transistores MOSFET para comprobar que **sólo existe consumo durante la transición** de un estado al otro, mientras que en los niveles lógicos estables no hay consumo, tal como predice la teoría.

- Para visualizarlo se puede crear un nuevo gráfico sobre la curva de transferencia del apartado anterior. Utilice el menú *Plot*→*Add Plot to window* y añada como señal a visualizar la corriente de drenador del transistor NMOS ($I_D(M2)$).
- Observe que el consumo se concentra en la **zona de la transición**, donde **los 2 transistores conducen simultáneamente**. Este consumo se denomina también **consumo de cortocircuito** (*short-circuit power dissipation*), pues supone la activación de un camino de conducción entre V_{DD} y GND. Es debido a la duración finita de los flancos de la señal de entrada. La Figura 2 ilustra este consumo dinámico, para un inversor genérico.

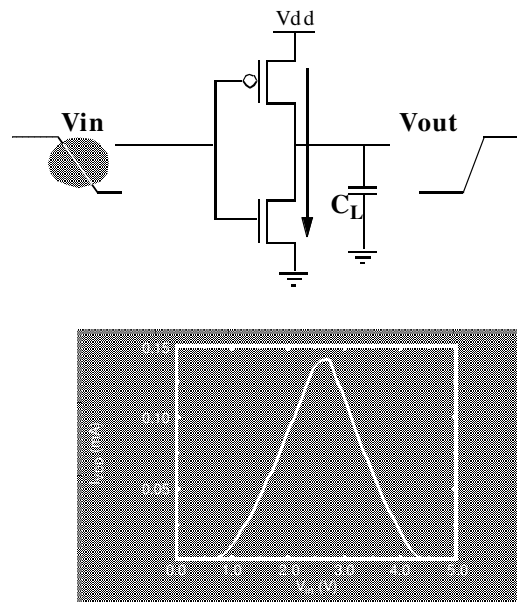


Figura 2. Consumo dinámico debido a las transiciones.

- * Mida el valor máximo de la corriente en la transición, utilizando los cursores. Calcule la potencia en mW.
 - $I_{sc} = \underline{\hspace{2cm}}$ (mA)
 - $P_{sc} = V_{DD} \times I_{sc} = \underline{\hspace{2cm}}$ (mW)

Este consumo de potencia se produce en cada transición de entrada (subida o bajada). Cuantas más transiciones por unidad de tiempo se produzcan, más consumo hay. Por tanto, es **directamente proporcional a la frecuencia** de la señal de entrada. También es **proporcional a la duración de los flancos** de la señal de entrada, pues en la zona intermedia de los flancos se produce la conducción simultánea de los 2 transistores.

3.4 Retardos de propagación

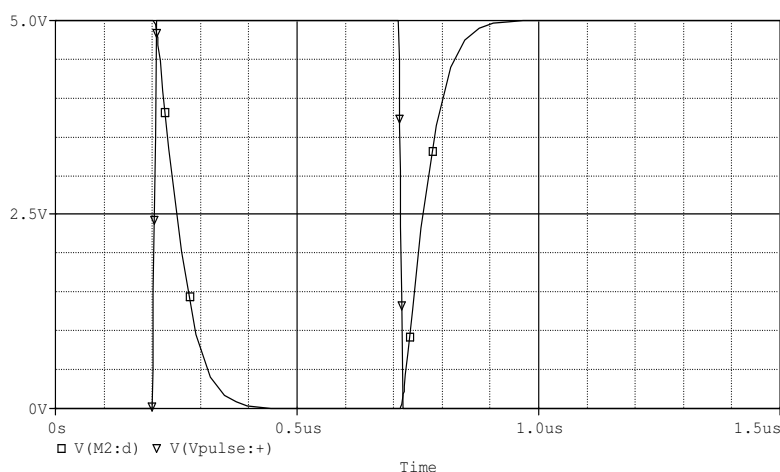
Introduciremos en la entrada un pulso positivo y mediremos el retardo del pulso invertido de la salida. El retardo es debido a la **capacidad C_L** . Recordemos que C_L está relacionada con las capacidades intrínsecas de los transistores del inversor, la capacidad de entrada de posibles circuitos conectados a la salida (por tanto aumenta con el fan-out), y a la capacidad del cableado metálico de interconexión.

- En primer lugar, sustituya la entrada constante V_e por un **generador de pulsos, V_{pulse}** . Tras introducir este componente, edite sus atributos, fijando los siguientes valores:

DC=0; AC=0; V1=0; V2=5; TD=200n; TR=10n; TF=10n; PW=700n

Con ello se fija un **pulso positivo** con un tiempo inicial (TD) de 200 ns, un tiempo de subida (TR) de 10ns, un ancho de pulso (PW) de 700ns y un tiempo de bajada (TF) de 10ns. V1 es el nivel bajo (0V) y V2 es el nivel alto (5V).

- Seguidamente, proceda a cambiar el modo de simulación (*Analysis*→*Setup...Transient Analysis*), ajustando el valor de fondo de escala de tiempos a 1500ns y el *Print step* en el valor por defecto. Tras ello, ya podemos iniciar la simulación (*Analysis*→*Simulate*).
- Lo siguiente es añadir dos trazas a visualizar en el Probe: la tensión del pulso de entrada: V(Vpulse:+) y la tensión de la salida: V(M2:d). Alternativamente, en el esquemático se pueden poner sondas de tensión en la entrada y en la salida. La gráfica resultante obtenida debe ser similar a la de la figura siguiente. Observe los frentes exponenciales debidos a la carga y descarga de C_L .



- A continuación se medirán sobre esta gráfica los **tiempos de retardo t_{PLH} y t_{PHL}** . Hay que medir entre el punto medio de los flancos de entrada y salida, tal como refleja la Figura 3. Se recomienda el uso de los **cursores**. Para medirlos mejor, puede hacer un *Zoom* de la zona de los flancos.

* t_{PHL} = _____ ns
* t_{PLH} = _____ ns

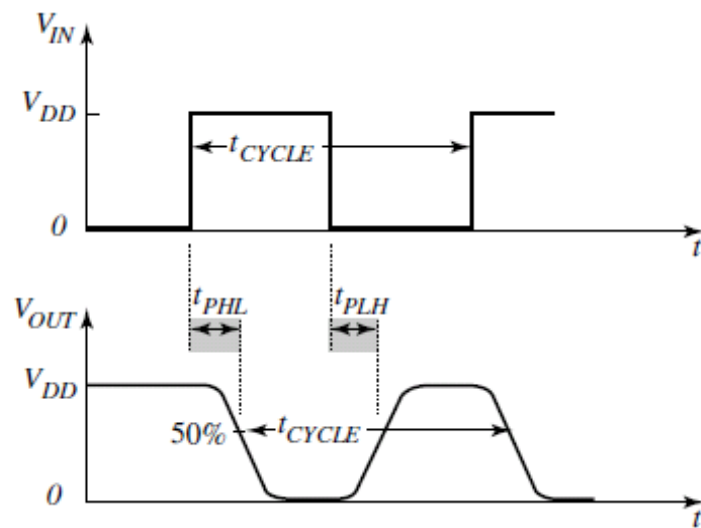


Figura 3. Retardos de propagación

Compare t_{PHL} y t_{PLH} . Como los 2 transistores se han definido con los mismos parámetros, resulta que los retardos deben ser aproximadamente iguales. Esta es una **diferencia con la familia TTL**, donde los retardos son asimétricos ($t_{PLH} > t_{PHL}$).

- Para comprobar el **efecto de C_L** , modifique sobre el esquemático el valor de la capacidad, poniendo, por ejemplo 10pF. Ejecute una nueva simulación y compruebe la modificación de los tiempos de retardo. Justifique el resultado.

* $t_{PHL} = \underline{\hspace{2cm}}$ ns

* $t_{PLH} = \underline{\hspace{2cm}}$ ns

Atención: Puede que la subida exponencial de la señal de salida no se vea completa, por ser más lenta. Se soluciona aumentando la duración de la simulación Transient a 2000 ns.

- Los retardos disminuyen al aumentar k_p (transconductancia de los transistores), (W/L) (tamaño de los transistores) y V_{DD} . Puede verificar opcionalmente esta influencia.

3.5 Consumo dinámico debido a la carga de las capacidades parásitas

- Estudie el efecto de C_L en el **consumo dinámico**. Vuelva a cambiar $C_L = 2\text{pF}$ en el esquemático. Simule y represente el valor de la corriente consumida (IS(M1)), en función del tiempo. Necesitará activar *Plot*→*Add Plot to window* para crear una nueva gráfica.

¿ Se observa el mismo consumo en las dos transiciones?

Obsérvese que el consumo relevante ocurre en la transición $L \rightarrow H$, cuando se carga C_L con corriente que suministra la fuente de alimentación. En la transición $H \rightarrow L$, C_L se descarga a través del transistor NMOS y no hay consumo de la fuente. Esto queda reflejado en la Figura 4.

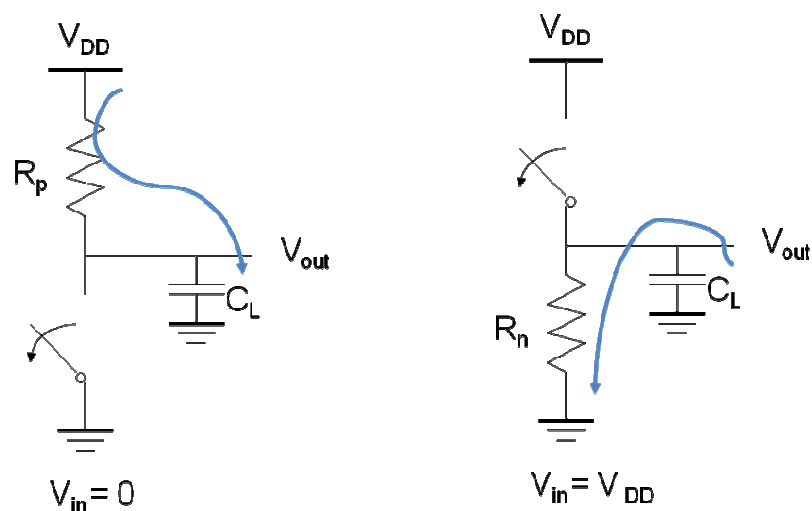


Figura 4. Consumo dinámico debido a la carga de C_L

ATENCIÓN, antes de apagar el ordenador: borre cualquier archivo que se haya guardado en carpetas locales (Mis Documentos, Escritorio, etc.)