

Implementação e Avaliação do Processador "FEMTOMIPS"

PCS 2405
Adriano Dennani
Ian Elmôr Lang
João Henrique Kersul Faria
Mateus Fonseca

Julho de 2016

Sumário

1	Introdução	1
1.1	Arquitetura conjunto de instruções	1
1.2	Visão geral do Projeto	1
1.2.1	Estrutura básica	3
1.2.2	A unidade de Forwarding	3
1.2.3	Tratamento de Hazards de Dado	3
1.2.4	Tratamento de Hazards de Dado	3
1.2.5	Lógica de interrupção	3
1.2.6	Lógica para simulação e coleta de dados	3

1 Introdução

1.1 Arquitetura conjunto de instruções

1.2 Visão geral do Projeto

Elabora-se a seguir uma visão de alto nível dos diferentes blocos que compõem o projeto e suas conexões, construída incrementalmente à medida que são levadas em consideração as funcionalidades exigidas do FEMTOMIPS (organização em pipeline, tratamento de hazards, interrupções...).

Tabela 1: My caption

31~26	25~21	20~16	15~11	10~06	05~00
Op	Rs	Rt	Rd	Shamt	Func

Tabela 2: Instruções Lógico Aritméticas

	op	funct	operação
add	0x00	0x20	$GPR[rd] \leftarrow signed(GPR[rs]) + signed(GPR[rt])$
slt	0x00	0x1A	Se $(GPR[rs] < GPR[rt])$ então $GPR[rd] = 1$ se não $GPR[rd] = 0$
jr	0x00	0x08	$PC \leftarrow GPR[rs]$
addu	0x00	0x21	$GPR[rd] \leftarrow unsigned(GPR[rs]) + unsigned(GPR[rt])$
sll	0x00	0x00	$GPR[rd] \leftarrow GPR[rt] \ll shamt$

Tabela 3: My caption

31~26	25~21	20~16	15~00
Op	Rs	Rt	Endereço/Deslocamento

Tabela 4: Instruções com campo imediato

	op	operação
lw	0x23	$GPR[rt] = Mem[GPR[rs] + Desl]$
sw	0x2B	$Mem[GPR[rt] + Desl] = GPR[rs]$
addi	0x08	$GPR[rt] = GPR[rs] + Imed$
beq	0x04	Se $GPR[rs] = GPR[rt]$ então $PC = PC + 4*Desl$
bne	0x05	Se $GPR[rs] \neq GPR[rt]$ então $PC = PC + 4*Desl$
slti	0x0A	Se $(GPR[rs] < Imed)$ então $GPR[rt] = 1$ se não $GPR[rt] = 0$

Tabela 5: Instruções de desvio Incondicional

	op	operação
j	0x02	$PC = PC(31:28) \& (4*Desl)$
jal	0x03	$GPR[7] = PC; PC = PC(31:28) \& (4*Desl)$

1.2.1 Estrutura básica

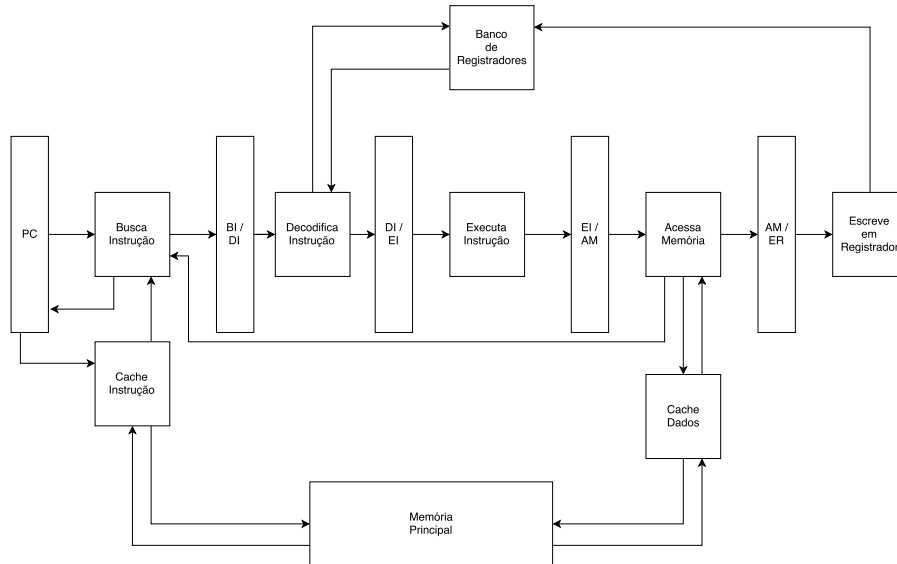


Figura 1: Os blocos básicos de uma implementação em pipeline da arquitetura do FEMTOMIPS

Uma versão idealizada dos blocos componentes da organização em pipeline do FEMTOMIPS é apresentada na **Figura 1**.

No diagrama:

- **BI/DI, DI/EI, EI/AM, AM/ER** são registradores: PC armazena o endereço de leitura de comandos, enquanto que os demais armazenam o resultado de cada estágio do pipeline e o oferecem ao estágio seguinte.
- **Busca Instrução, Decodifica Instrução, Executa Instrução, Acessa Memória, Escreve em Registrador** são blocos combinatórios que implementam
- Os caches

1.2.2 A unidade de Forwarding

1.2.3 Tratamento de Hazards de Dado

1.2.4 Tratamento de Hazards de Dado

1.2.5 Lógica de interrupção

1.2.6 Lógica para simulação e coleta de dados

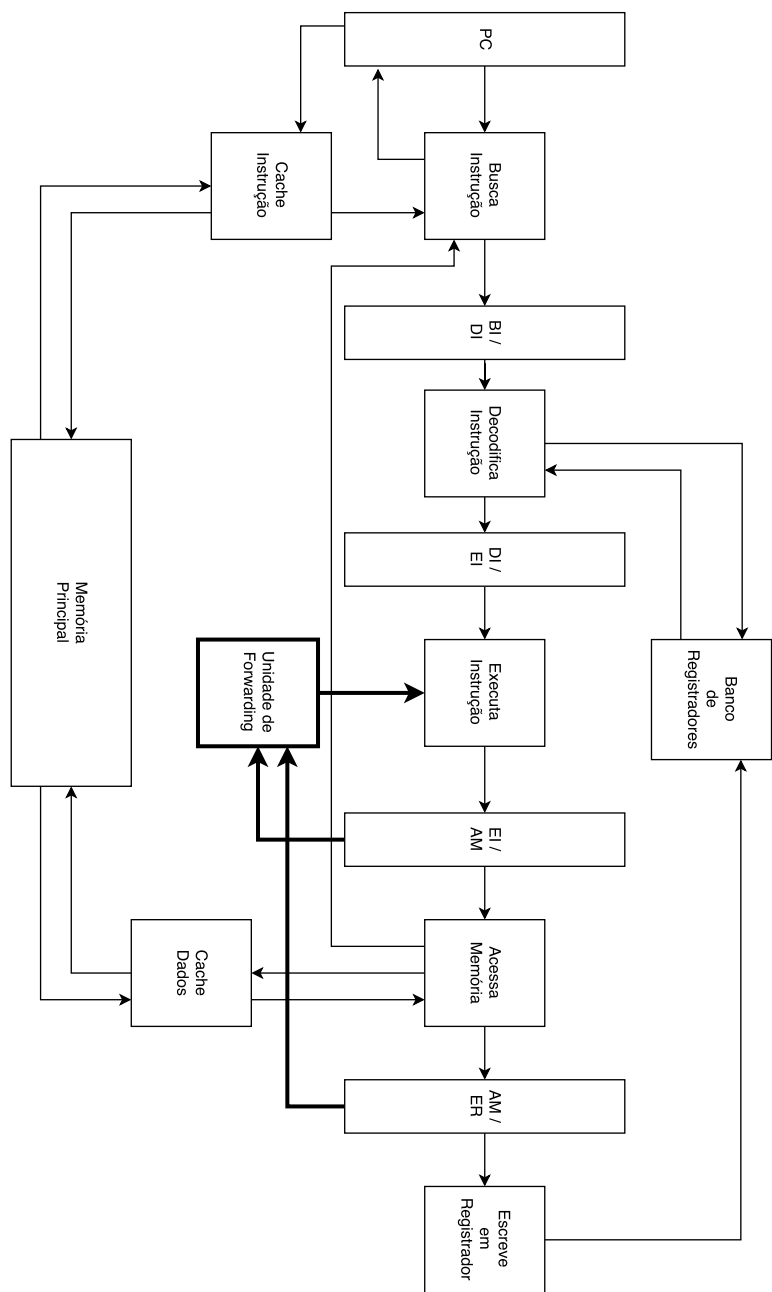


Figura 2: A unidade de Forwarding no contexto do FEMTOMIPS

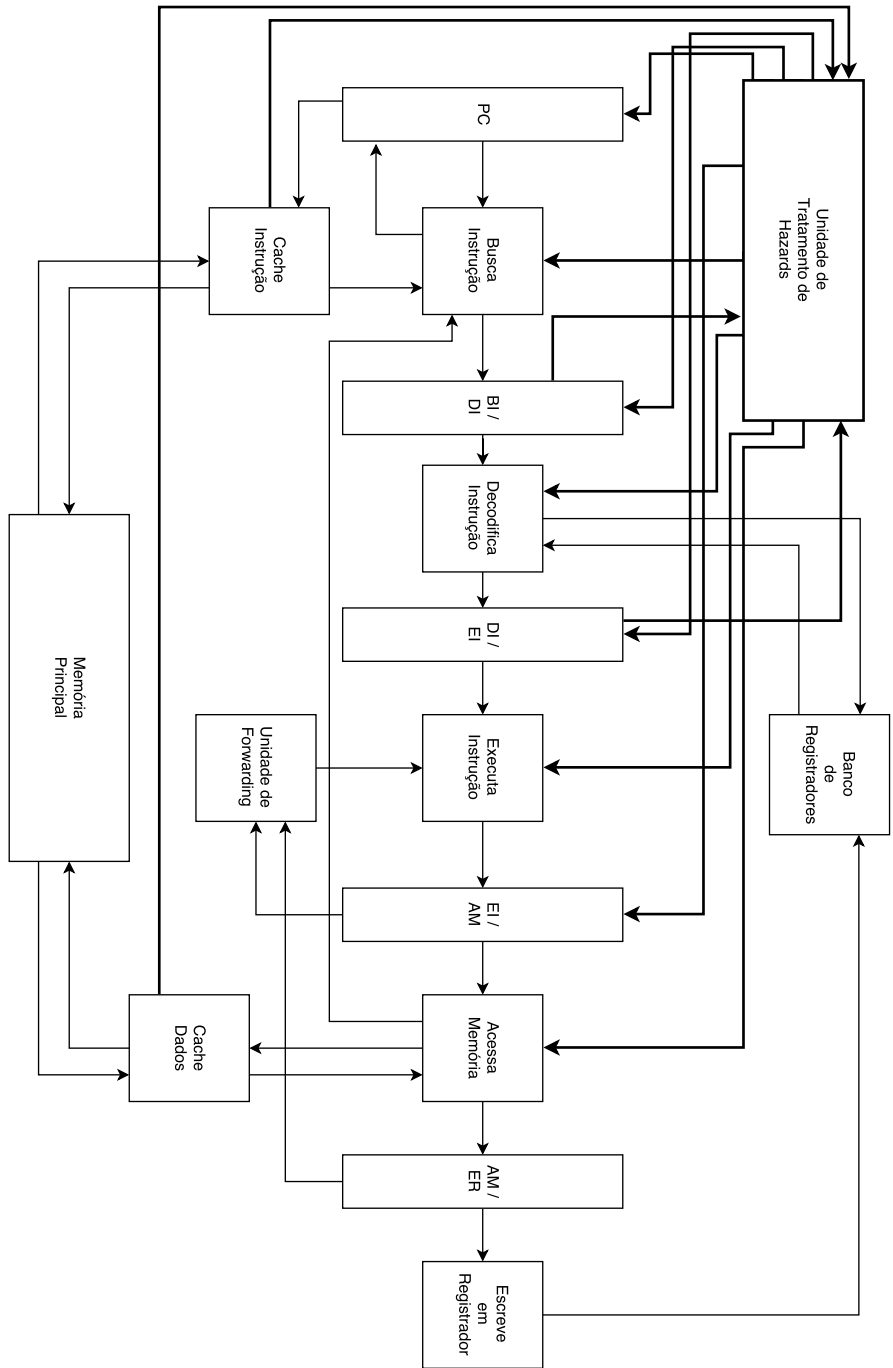


Figura 3: A unidade de Tratamento de Hazards no contexto do FEMTO-MIPS

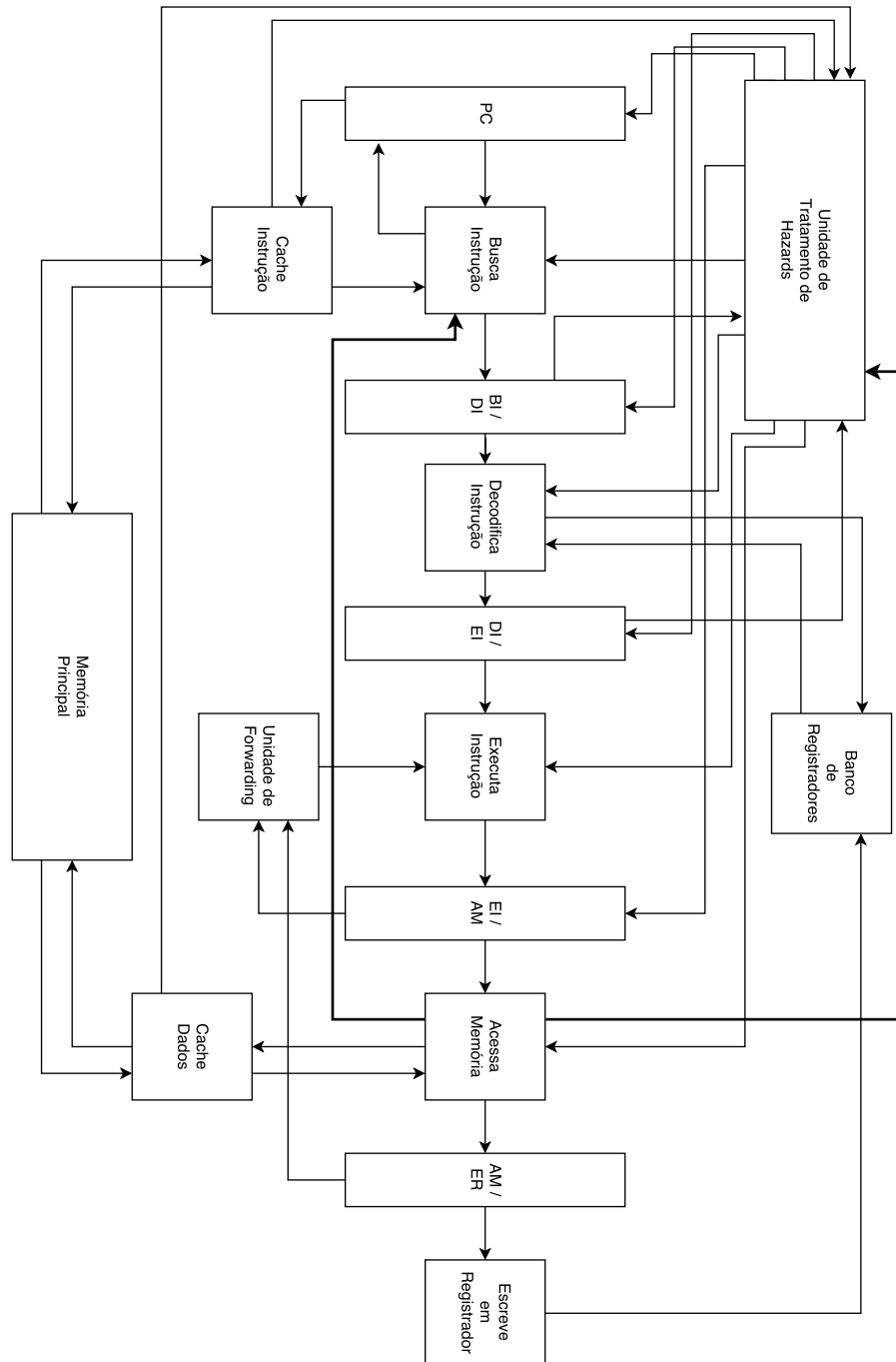


Figura 4: Ligações adicionais para tratamento dos hazards de controle FEM-TOMIPS

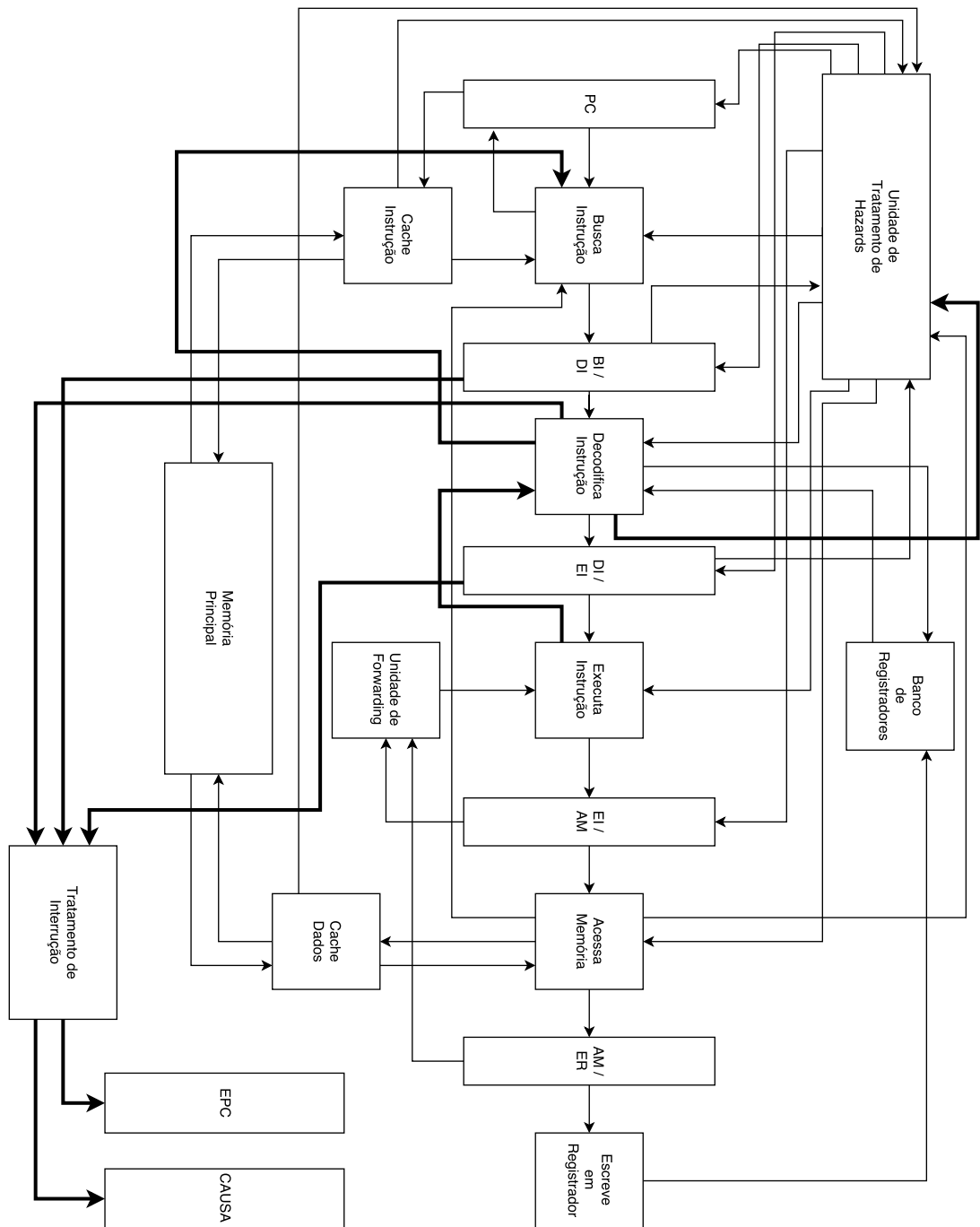


Figura 5: O Tratamento de Interrupção no contexto do FEMTOMIPS

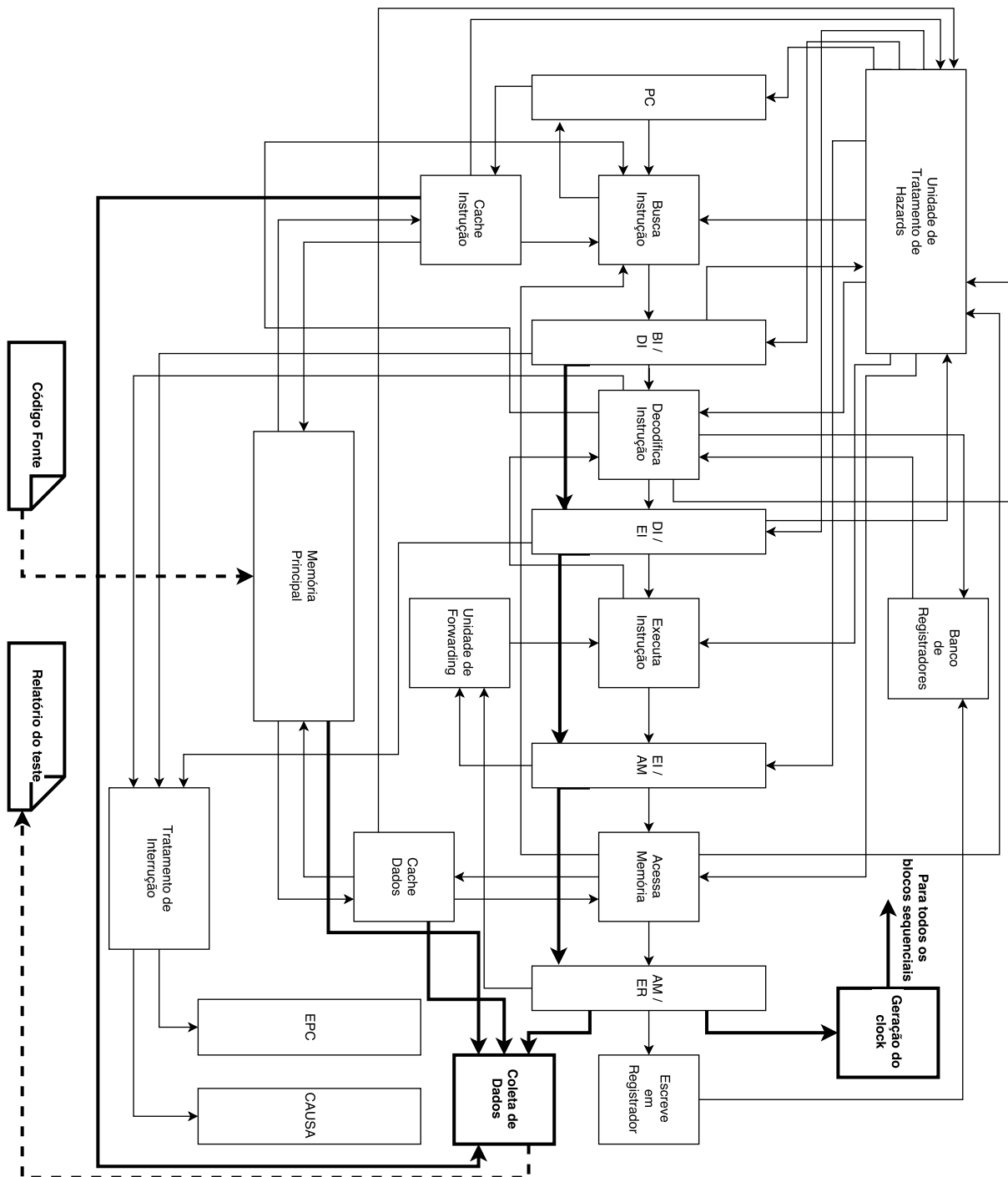


Figura 6: Estruturas adicionais para simulação e coleta de dados do FEM-TOMIPS