

Formatos instrucción ARM v4

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1	cond		0	0	I	opcode				S	Rn				Rd				modo @ 1 <shifter_op>										Aritmetico-logicas (10)				
2	cond		0	0	I	1	0	op		1	Rn				0 0 0 0				modo @ 1 <shifter_op>										Comparacion (4)				
3	cond		0	0	I	1	1	op	1	S	0 0 0 0				Rd				modo @ 1 <shifter_op>										Movimiento (2)				
4	cond		0	1	I	P	U	B	W	L	Rn				Rd				modo @ 2										L/S B/W(4)				
5	cond		0	0	0			P	U	I	W	L	Rn				Rd				modo @ 3		1	S	H	1	modo @ 3				L/S HW,SB (4)		
6	cond		1	0	0			P	U	S	W	L	Rn				modo @ 4 <Lista registros>										L/S multiple(2)						
7	cond		1	0	1	L	24 bit offset con signo																				Salto(2)						
8	cond		0	0	0	0	0	0	A	S	Rd				Rn				Rs				1	0	0	1	Rm				Mult. con sum(2)		
9	cond		0	0	0	0	1	Si	A	S	RdHi				RdLo				Rs				1	0	0	1	Rm				Mult. larga con sum(4)		
10	cond		0	0	0	1	0	R	0 0		1 1 1 1		Rd				0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0										MRS						
11	cond		0	0	1	1	0	R	1 0		field mask		1 1 1 1		rot immedi		8 bit inmediato										MSR imm						
12	cond		0	0	0	1	0	R	1 0		field mask		1 1 1 1		0 0 0 0 0 0 0 0 0 0 0 0		Rm				MSR reg												
13	cond		1	1	1	1	24 bit inmediato																				Software interrupt (1)						
14	cond		0	0	0	1	0	B	0 0		Rn				Rd				0 0 0 0		1 0 0 1		Rm				Swap (2)						
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

- Todas las instrucciones de 32 bits
- 4 bits de más peso para ejecución condicional (azul)
- bit **S** -> actualizar flags (1) o no (0) (rojo)
- bit **L** -> load (1), store (0) (rojo)
- Rd -> registro destino (naranja)
- Rn -> registro 1er operando (naranja)
- Rm -> registro 2º operando (naranja)
- Rs -> registro 3er operando o desplazador (shifter)(naranja)