

Ejercicios IV Tema 4

Arquitectura de Computadores

Dora Blanco Heras
Área de Arquitectura de Computadores
CITIUS
Universidad de Santiago de Compostela

Ejercicio 1

- Tenemos dos P1 y P2. El tamaño de línea es de 2 palabras. Partimos de cachés vacías. Asumiendo la siguiente secuencia de eventos en que w1 y w2 son dos palabras de memoria que están en el mismo bloque de memoria y que cada acceso se produce a una palabra, identificar cada acceso como fallo de compartición verdadera, fallo de falsa compartición, o acierto. Identificar la secuencia de cambio de estado en las líneas caché en cada procesador asumiendo un protocolo MSI:

Tiempo	P1	P2
1	Escribe w1	-
2	-	Lee w2
3	Escribe w1	-
4	-	Escribe w2
5	Lee w2	-

Protocolos de snooping (MSI)

(Sacado del pdf del tema 4)

➤ Problemas asociados a la invalidación que degradan rendimiento del protocolo:

❑ **Fallos de compartición verdadera (*true sharing*):**

- Un procesador escribe en bloque compartido e invalida y luego otro procesador quiere leer del bloque compartido.

❑ **Falsa compartición (*false sharing*):**

- Se produce cuando dos variables sin relación entre ellas se encuentran dentro del mismo bloque caché (línea).
- Todo el bloque se transmite entre procesadores, aunque cada procesador esté accediendo a una variable diferente.
- Se producen fallos caché llamados de falsa compartición: un procesador escribe en una línea compartida y la invalida, luego otro procesador lee una palabra diferente de la línea.

Ejercicio 1 (solución)

Recorremos los eventos en el orden temporal que indica el enunciado:

1. **Fallo obligatorio**, puesto que es la primera escritura a la línea. Tras este paso la línea queda modificada (M) en P1 y no está en P2. Se invalida en memoria (memoria principal).
2. Este evento es un **fallo obligatorio**, porque el bloque no estaba en la caché de P2. La línea pasa a estar compartida (S) en las cachés de P1 y de P2, y válida en memoria.
3. Este evento produce un **acierto** ya que tengo la línea en estado S en P1. Al modificar w1 debo pasar el bloque al estado M en P1 y se pasa a I en P2. Se invalida en memoria.
4. Es un **fallo de falsa compartición** porque he de cargar de nuevo el bloque en P2 que está en estado I porque el valor de w2 que necesito fue reemplazado debido a que se modificó w1. La línea pasa a estado I en P1 y M en P2. Se manda señal de invalidación a memoria principal.
5. Este evento es un **fallo de compartición verdadera**, puesto que se lee la línea que contiene a la variable w2, que es la variable que se quiere escribir y fue escrita por P2. Tras esta lectura la línea pasa a estado S en ambas cachés y a estado válido en memoria principal.
6. *NOTA: Los fallos de falsa compartición y compartición verdadera suelen ser mucho más numerosos que los obligatorios, de capacidad o de conflicto.*

Ejercicio 2

Sea un multiprocesador con arquitectura de memoria compartida simétrica (SMP) basado en bus con protocolo de espionaje o *snooping*. Cada procesador tiene una caché privada cuya coherencia se mantiene usando el protocolo MSI. Cada caché es de **asignación directa** y tiene un tamaño de **cuatro líneas de dos palabras**. La unidad de **acceso a memoria** es la **palabra**.

Las siguientes tablas muestran el estado de la caché de cada procesador, con la palabra menos significativa a la izquierda. Observar que la etiqueta de cada línea caché es la dirección de la primera palabra de la línea.

Partiendo de esta situación inicial indicar los cambios que se producen en las cachés cuando se ejecutan consecutivamente las dos instrucciones siguientes considerando que cada lectura o escritura es de una sola palabra, en concreto la primera de la línea y que las direcciones son a nivel de palabra:

- a. P1: write 0x00100708, 0xFFFFCCCC
- b. P0: read 0x00100708

Ejercicio 2

Procesador P0			
Línea	Estado	Etiqueta	Datos
B0	I	0x00100706	0x00000000 0x7FAABB11
B1	S	0x00100708	0x00000000 0x00001234
B2	M	0x00100710	0x00000000 0x0077AABB
B3	I	0x00100720	0x00000000 0x7FAABB11

Procesador P1			
Línea	Estado	Etiqueta	Datos
B0	S	0x00100722	0x00000000 0x1111AAAA
B1	S	0x00100708	0x00000000 0x00001234
B2	I	0x00100710	0x00000000 0x7FAABB11
B3	M	0x00100720	0x00001234 0x1111AABB

Para cada acceso rellenar la siguiente tabla con las transiciones de estado y las correspondientes modificaciones justificando la respuesta:

Resumen de los cambios					
Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos

Ejercicio 2 (solución)

a. P1: write 0x00100708, 0xFFFFCCCC

Procesador P0			
Línea	Estado	Etiqueta	Datos
B0	I	0x00100706	0x00000000 0x7FAABB11
B1	I	0x00100708	0x00000000 0x00001234
B2	M	0x00100710	0x00000000 0x0077AABB
B3	I	0x00100720	0x00000000 0x7FAABB11

Cuando una línea pasa a estado modificado se coloca una señal de invalidación en el bus que atenderán las cachés que tengan esa línea en su memoria.

Procesador P1			
Línea	Estado	Etiqueta	Datos
B0	S	0x00100722	0x00000000 0x1111AAAA
B1	M	0x00100708	0xFFFFCCCC 0x00001234
B2	I	0x00100710	0x00000000 0x7FAABB11
B3	M	0x00100720	0x00001234 0x1111AABB

La señal de invalidación también va a memoria donde el bloque se marca como no válido.

Resumen de los cambios					
Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos
P1	B1	S	M	0x00100708	0xFFFFCCCC 0x00001234
P0	B1	S	I	0x00100708	0x00000000 0x00001234

b. : P0: read 0x00100708

Fallo de lectura en caché de P0 para la línea B1 que está en estado I. La línea la tiene P1 en estado modificado y es el único procesador que tiene dicha copia actualizada.

El valor leído por P0 es 0xFFFFCCCC (la primera palabra que hay en B1 de P1)

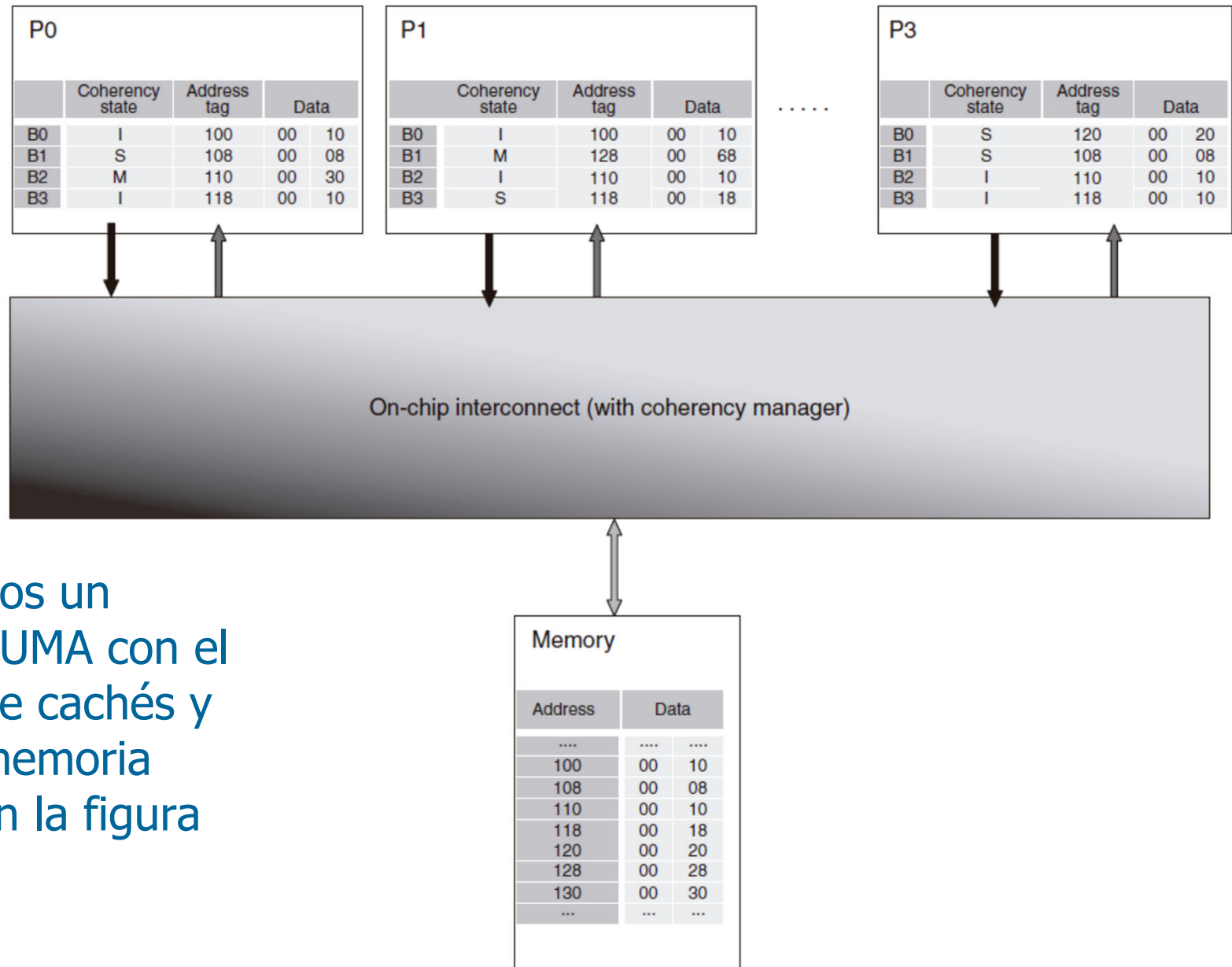
Ambos P0 y P1 pasan a tener el valor actualizado y la línea pasa, por tanto, a compartida.

Procesador P0			
Bloque	Estado	Etiqueta	Datos
B0	I	0x00100706	0x00000000 0x7FAABB11
B1	S	0x00100708	0xFFFFCCCC 0x00001234
B2	M	0x00100710	0x00000000 0x0077AABB
B3	I	0x00100720	0x00000000 0x7FAABB11
Procesador P1			
Bloque	Estado	Etiqueta	Datos
B0	S	0x00100722	0x00000000 0x1111AAAA
B1	S	0x00100708	0xFFFFCCCC 0x00001234
B2	I	0x00100710	0x00000000 0x7FAABB11
B3	M	0x00100720	0x00001234 0x1111AABB

Se actualiza también la copia de B1 en memoria principal. En estado S en el protocolo MSI todas las copias del bloque en el sistema están actualizadas.

Resumen de los cambios:					
Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos
P1	B1	M	S	0x00100708	0xFFFFCCCC 0x00001234
P0	B1	I	S	0x00100708	0xFFFFCCCC 0x00001234

Ejercicio 3



Consideramos un procesador UMA con el contenido de cachés y estado de memoria ilustrados en la figura

Ejercicio 3

Consideramos el consumo de tiempo de la implementación 1 que se muestra en la tabla y estas consideraciones:

- ✓ Las cachés siguen la política *write allocate* para las escrituras y *write back* para la actualización de líneas caché en memoria principal.
- ✓ Los aciertos de escritura y lectura no generan ciclos de parada.
- ✓ Los fallos de lectura y escritura generan N_{memory} y N_{cache} ciclos de parada si son satisfechos por la memoria o la caché respectivamente. Siempre que sea posible serán satisfechos por otra caché.
- ✓ Los aciertos de escritura que generan una *invalidación* producen $N_{invalidate}$ ciclos de parada.
- ✓ Una *post escritura* de una línea caché, debido a conflicto produce un número adicional de $N_{writeback}$ ciclos de parada.
- ✓ Las lecturas y escrituras son de un byte.

Parameter	Implementation 1
N_{memory}	100
N_{cache}	40
$N_{invalidate}$	15
$N_{writeback}$	10

Ejercicio 3

- a) ¿Cuántos ciclos de parada se producen con el protocolo de snooping **MSI** al ejecutar las siguientes acciones? Asumir que las transiciones que no requieren transacciones a través de la red de interconexión no producen ciclos de parada adicionales. Las lecturas y escrituras son de un byte.
- P0: read 100 (lectura de la dirección 100 en el core P0)
- P0: write 100 \leftarrow 40 (escritura del valor 40 en la dirección 100 en el core P0)
- b) Partiendo del mismo estado inicial del que partía el apartado anterior. ¿Cuántos ciclos de parada se producen con el protocolo de snooping **MSI** al ejecutar las siguientes acciones?
- P0: read 120 (lectura de la dirección 120 en el core P0)
- P0: write 120 \leftarrow 60 (escritura del valor 60 en la dirección 120 en P0)
- c) Partiendo del mismo estado inicial del que partía el apartado anterior. ¿Cuántos ciclos de parada se producen con el protocolo de snooping **MSI** al ejecutar las siguientes acciones?
- P0: read 100 (lectura de la dirección 100 en el core P0)
- P0: read 120 (lectura de la dirección 120 en el core P0)

Ejercicio 3

a) ¿Cuántos ciclos de parada se producen con el protocolo de snooping MSI al ejecutar las siguientes acciones? Asumir que las transiciones que no requieren transacciones a través de la red de interconexión no producen ciclos de parada adicionales. Las lecturas y escrituras son de un byte cada vez.

1. P0: read 100 (lectura de la dirección 100 por parte de P0)

2. P0: write 100 \leftarrow 40 (escritura del valor 40 en la dirección 100 por parte de P0)

Solución:

- ✓ 1. **Fallo de lectura en P0** ya que en su caché la línea está en estado I y no hay cachés que tengan ese bloque modificado o compartido. Así que la memoria proporciona el bloque a la caché de P0. Ese bloque pasa a estado **Shared** (S) en P0. En P1 se actualiza su valor y pasa también de I a Shared.
- ✓ 2. **Acierto de escritura.** Provoca envío de una señal de invalidación I a través del bus por si alguien más está compartiendo ese bloque. Como consecuencia se invalida en todas las cachés. El bloque pasa a estado **Modificado** en la caché de P0 y a Inválido en memoria principal.

$$\text{MSI} = 100 (\text{memoria}) + 15 (\text{invalidación}) = 115 \text{ ciclos de parada}$$

Ejercicio 3

- b) Partiendo del mismo estado inicial del que partía el apartado anterior. ¿Cuántos ciclos de parada se producen con el protocolo de *snooping* MSI al ejecutar las siguientes acciones?
1. P0: read 120 (lectura de la dirección 120 en el core P0)
 2. P0: write 120 \leftarrow 60 (escritura del valor 60 en la dirección 120 en el core P0)

Solución:

- ✓ 1. **Fallo de lectura en la caché de P0.** Es satisfecho por la caché de P3 que tiene ese bloque en B0 en estado S y lo mantiene en estado S. El bloque pasa a ser copiado en la línea B0 de la caché P0 en estado S. En memoria principal no hay cambios.
- ✓ 2. **Acierto de escritura en el bloque B0 de la caché de P0.** Provoca envío de una señal de invalidación a través del bus por si alguien más está compartiendo ese bloque. Se invalidará el contenido de la línea B0 en la caché de P3 y en memoria principal.

MSI= 40 (lectura de una línea en una caché) + 15 (invalidación) = 55
ciclos de parada

Ejercicio 3

- c) Partiendo del mismo estado inicial del que partía el apartado anterior. ¿Cuántos ciclos de parada se producen con el protocolo de snooping MSI al ejecutar las siguientes acciones?
1. P0: read 100 (lectura de la dirección 100 en el core P0)
 2. P0: read 120 (lectura de la dirección 120 en el core P0)

Solución:

- ✓ 1. **Fallo de lectura** ya que en su caché la línea está en estado I y no hay cachés que tengan ese bloque modificado o compartido. La memoria proporciona el bloque a la caché de P0. Pasa a estado **Shared (S)** en P0
- ✓ 2. **Fallo de lectura** en la caché de P0, que es satisfecho por la caché de P3 que tiene ese bloque en B0 en estado S y lo mantiene en estado S. El bloque pasa a ser copiado en la línea B0 de la caché P0 en estado **S**.

MSI= 100 (leer de memoria) + 40 (leer de una caché) = 140 ciclos de parada

Ejercicio 4

En las mismas condiciones del ejercicio 2 pero considerando protocolo MESI rellenar la siguiente tabla con las transiciones de estado y las correspondientes modificaciones justificando la respuesta e indicando si se realizan modificaciones en memoria principal.

Resumen de los cambios					
Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos

A partir del estado de las cachés mostrado en el enunciado del ejercicio 2 indicar qué sucede paso a paso al ejecutar la secuencia de instrucciones siguiente:

- a. P0: read 0x00100713
- P0: write 0x00100712 0xFFFFFFFF
- P1: read 0x00100712

Ejercicio 4 (solución)

a.1 P0: read 0x00100713

Procesador P0			
Línea	Estado	Etiqueta	Datos
B0	I	0x00100706	0x00000000 0x7FAABB11
B1	S	0x00100708	0x00000000 0x00001234
B2	M	0x00100710	0x00000000 0x0077AABB
B3	E	0x00100712	0x----- 0x-----

Procesador P1			
Línea	Estado	Etiqueta	Datos
B0	S	0x00100722	0x00000000 0x1111AAAA
B1	S	0x00100708	0x00000000 0x00001234
B2	I	0x00100710	0x00000000 0x7FAABB11
B3	M	0x00100720	0x00001234 0x1111AABB

Resumen de los cambios					
Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos
P0	B3	I	E	0x00100712	0x----- 0x-----

Fallo de lectura en P0. Hay que leer la línea que empieza en la dirección 0x00100712. Como no está en la caché de P0, hay que leerla de memoria y pasa a estado E en la B3 de P0. En memoria principal sigue en estado válido.

Se reemplaza la información que estaba en B3, pero como estaba en estado I, no hay que hacer write-back.

Como no sé qué valor tienen esos datos en memoria, ponemos guiones.

Las cachés quedan como se muestra a la izquierda.

Ejercicio 4 (solución)

a.2 P0: write 0x00100712 0xFFFFFFFF

Procesador P0

Línea	Estado	Etiqueta	Datos
B0	I	0x00100706	0x00000000 0x7FAABB11
B1	S	0x00100708	0x00000000 0x00001234
B2	M	0x00100710	0x00000000 0x0077AABB
B3	M	0x00100712	0xFFFFFFFF 0x-----

Acierto de escritura en P0. Como la línea está en estado E no hay que invalidarla en otras cachés antes de escribirla. Se escribe y pasa de E a M.

Procesador P1

Línea	Estado	Etiqueta	Datos
B0	S	0x00100722	0x00000000 0x1111AAAA
B1	S	0x00100708	0x00000000 0x00001234
B2	I	0x00100710	0x00000000 0x7FAABB11
B3	M	0x00100720	0x00001234 0x1111AABB

En memoria pasa a estado inválido.

No hay copias en la caché de P1 por lo que no se ve afectada.

Resumen de los cambios

Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos
P0	B3	E	M	0x00100712	0xFFFFFFFF 0x-----

Ejercicio 4 (solución)

a.3 P1: read 0x00100712

Procesador P0

Línea	Estado	Etiqueta	Datos
B0	I	0x00100706	0x00000000 0x7FAABB11
B1	S	0x00100708	0x00000000 0x00001234
B2	M	0x00100710	0x00000000 0x0077AABB
B3	S	0x00100712	0xFFFFFFFF 0x-----

Procesador P1

Línea	Estado	Etiqueta	Datos
B0	S	0x00100722	0x00000000 0x1111AAAA
B1	S	0x00100708	0x00000000 0x00001234
B2	I	0x00100710	0x00000000 0x7FAABB11
B3	S	0x00100712	0xFFFFFFFF 0x-----

Resumen de los cambios

Procesador	Línea	Estado anterior	Estado nuevo	Etiqueta	Datos
P1	B3	M	I	0x00100720	0x00001234 0x1111AABB
P0	B3	M	S	0x00100712	0xFFFFFFFF 0x-----
P1	B3	I	S	0x00100712	0xFFFFFFFF 0x-----

Fallo de lectura en línea B3 de P1.

1. P1 debe hacer reemplazo de B3 y, write-back a memoria, pasando en su caché de estado M a I.

Además, P0 debe copiar el contenido de su línea que está en B3 a la caché de P1 y a memoria. En la caché de P0 pasa de estado M a S.