

# Arquitectura de Computadores. Examen oportunidad ordinaria. 30/05/2023.

Nombre completo: \_\_\_\_\_ DNI: \_\_\_\_\_

## NÚMERO DE PÁGINAS QUE ENTREGAS INCLUIDA LA DEL EXAMEN:

1. (1.25 pts) Consideremos dos procesadores P1 y P2. P1 tiene una frecuencia de reloj de 4GHz, y para la ejecución de un determinado programa de usuario presenta un CPI medio de 0.9 y requiere la ejecución de 5.0E9 instrucciones. P2 tiene un ciclo de reloj de 3GHz y para el mismo programa presenta un CPI medio de 0,75 y requiere la ejecución de 1.0E9 instrucciones.

- (0.50 pts) Calcular el rendimiento en términos de tiempo de ejecución de ambos procesadores al ejecutar el programa. ¿Presenta mayor rendimiento el procesador con mayor frecuencia de reloj? Razonar la respuesta.
- (0.75 pts) ¿Calcular el valor de MIPS para ambos procesadores al ejecutar el código del enunciado? De acuerdo a lo calculado en el primer apartado, ¿presenta mayor MIPS el que presenta mayor rendimiento al ejecutar el programa? ¿Es MIPS una buena medida de rendimiento para comparar dos procesadores y porqué?

2. (2 pts) Consideremos la versión del procesador MIPS con 5 etapas de ejecución y emisión dual (es planificación estática realizada por el compilador) que vimos en clase de teoría. Consideremos que se puede producir adelantamiento, que para las instrucciones de salto se deciden en la etapa ID la dirección de salto y si se salta y que el salto retardado con una ranura de salto es la única técnica de tratamiento de los saltos. En cada ciclo se pueden emitir una instrucción tipo ALU o salto y una de acceso a memoria. Dado el siguiente código:

bucle:

```
lw $t0, 0($s1)
add $t0, $t0, $s2
sw $t0, 0($s1)
addi $s1, $s1, -4
bne $s1,$zero, bucle
```

- (0.5 pts) Para la ejecución de una iteración del lazo indicar en la tabla siguiente qué instrucciones se emitirían en cada ciclo de reloj tras hacer una planificación estática para el MIPS en las condiciones del enunciado indicando si se producirán paradas:

	ALU/salto	Acceso a mem.	ciclo
Bucle:			1
			2
			3
			4
			5
			6

- (0.5 pts) Calcular el IPC resultante razonando la respuesta.
- (0.75 pts) Desenrollar cuatro iteraciones del lazo anterior e indicar en la tabla siguiente qué planificación dual realizaría el compilador en cada ciclo de reloj para la ejecución de una iteración del lazo resultante usando solo las filas de la tabla que sean necesarias:

	ALU/salto	Acceso a mem.	ciclo
Bucle:			1
			2
			3
			4
			5
			6
			7
			8
			9
			10
			11

- (0.25 pts) Calcular el IPC resultante razonando la respuesta y compararlo con el calculado anteriormente para el código inicial.

3. (2 pts) Consideremos el siguiente fragmento de código:

bucle:

```
lw $f0, 0($r1)
sub.f $f4, $f0, $f2
add.d $f6, $f6, $f4
addi $r1, $r1, 4
sub $r3, $r3, 1
bnez $r3, bucle
```

Supongamos que el código se ejecuta en una unidad segmentada como la del MIPS de 5 etapas, que hay hardware de adelantamiento y que para las instrucciones de salto se decide la dirección de salto en la etapa ID y si se salta en la etapa EX y no hay especulación de saltos, es decir, la dirección de salto no se puede conocer hasta la etapa ID. Responder a las siguientes cuestiones de manera razonada y utilizando diagramas si es necesario:

- (0.5 pts) Indicar qué dependencia de datos tipos RAW, WAR y WAW hay entre las instrucciones del código y cuales producirán paradas si se ejecuta el código sobre la arquitectura MIPS del enunciado.
  - (0.75 pts) Justificar cuantos ciclos se perderán cada vez que se haga predicción de salto tomado y el salto no se tome y cuántos ciclos se perderán si se realiza predicción de salto no tomado y el salto se toma.
  - (0.75 pts) Supongamos que el salto de este código sigue el siguiente patrón de comportamiento T, T, NT, T indicando T que el salto se toma y NT que el salto no se toma. Considerando que se usa un predictor de un bit que parte de la predicción de salto no tomado, calcular el porcentaje de acierto en la predicción para la secuencia de 4 saltos descrita y cuántos ciclos se pierden por predicciones erróneas.
4. (2.5 pts) Consideremos un sistema multiprocesador tipo UMA de 3 procesadores con arquitectura de memoria compartida simétrica basado en bus. Cada procesador tiene una caché privada. Se usa un protocolo de coherencia de espionaje (*snooping*) tipo MESI. Las cachés son de asignación directa y su tamaño es de cuatro bloques de dos palabras cada uno. Estas cachés utilizan como campo de etiqueta la dirección de memoria completa. Las direcciones de memoria emitidas por el procesador hacen referencia a una palabra. Las siguientes tablas muestran el estado de cada memoria caché al comienzo de la ejecución, siendo la palabra de la izquierda la que está en la posición más baja de memoria.

Procesador P0			
Bloque	Estado	Etiqueta	Datos
B0	I	0x00100700	0x00000000 0x7FAABB11
B1	M	0x00100710	0x00000000 0x00001234
B2	I	0x00100720	0x00000000 0x0077AABB
B3	I	0x00100714	0x00000000 0x7FAABB11
Procesador P1			
Bloque	Estado	Etiqueta	Datos
B0	I	0x00100700	0x00000000 0x7FAABB11
B1	M	0x00100718	0x00000002 0xEEEE7777
B2	I	0x00100720	0x00000000 0xEEEE7777
B3	E	0x00100714	0x00000002 0x7FAABB11
Procesador P2			
Bloque	Estado	Etiqueta	Datos
B0	S	0x00100724	0x00000000 0x1111AAAA
B1	I	0x00100718	0x00000000 0x00001234
B2			
B3	I	0x00100714	0x00001234 0x1111AABB

Para los apartados que a continuación se presentan, partir de la situación inicial sin tener en cuenta los cambios que produzcan los apartados anteriores, indicar para cada uno de los cuatro apartados, qué operaciones se producen en el bus, qué actualizaciones en memoria principal y qué cambios en las diferentes cachés. En el caso de las lecturas, indicar además cuál es el valor leído. Cada operación de lectura o escritura mostradas a continuación hace referencia a leer o escribir una palabra completa, la primera de la línea. Para las escrituras el primer argumento es la dirección en la que se quiere escribir y el segundo qué se quiere escribir en ella.

- a) (0.5 pts) P2: write 0x00100710, 0xFFFFFFFF
- b) (0.75 pts) P1: read 0x00100710. Indicar para este apartado en particular en qué cambiaría la situación si todas las cachés fuesen completamente asociativas.
- c) (0.75 pts) P2: read 0x00100720
- d) (0.5 pts) P1: write 0x00100714, 0xABCD6789

Para cada apartado se debe además rellenar una tabla como el siguiente formato indicando los cambios producidos en las cachés justificando la respuesta y añadiendo una fila por cada bloque caché que se quiera indicar:

Procesador	Bloque	Estado anterior	Estado actual	Etiqueta	Datos

5. (2.25 pts) Responde **brevemente** a las siguientes cuestiones, razonando las respuestas e indicando qué cálculos realizas en los casos en que sea necesario:
- a) (0.5 pts) En un procesador segmentado, ¿qué efecto tiene el número de etapas del pipeline sobre el consumo de potencias estática y dinámica?
  - b) (0.5 pts) ¿Para qué utilizar la planificación dinámica en un procesador superescalar y en qué consiste? ¿Qué hardware se requiere para realizar planificación dinámica mediante la técnica de Tomasulo y para qué se utiliza?
  - c) (0.75 pts) ¿Qué es un microprocesador con arquitectura basada en streaming? ¿Qué tipo de arquitectura es dentro de la taxonomía de Flynn?
  - d) (0.5 pts) ¿En qué consiste el *false sharing* y cómo afecta al tráfico de red asociado a protocolos de coherencia basados en snooping?