

小野寺研インターン

澤 孝晃

2018 年 6 月 14 日

1 序論

今回のインターンでは、微細デバイスに発生するランダムテレグラフノイズ (RTN) をリング発振回路を用いて測定し、RTN が回路性能の最悪分布に与える影響を評価する。測定対象である RTN は統計的な性質を持っており、各種統計的な性質をモデル化することが目的である。統計的な評価を行うために、同じ寸法の大量のデバイスの電流特性の時間変化を測定し、デバイス毎に観測される電流値変動の振幅および捕獲・放出するまでの平均時間などを測定する。

2 方法

今回の測定環境では、FPGA ボードと PC を使って、スロット 0 からスロット 71 のリングオシレータ (RO) を、セクション 0 からセクション 383 まで 384 個のセクションの発信周波数を測定する。各セクションそれぞれ 10 秒ずつ 1ms の間隔で測定するため、1 つのリングオシレータに対して 1 時間程度かかる。

3 正規化後の結果

3.1 ヒストグラム

まず、発振周波数のヒストグラムを描く。横軸は各分周器にかけられた発振周波数の各セクションでの最大値と最小値の差を最大値で割った値である。縦軸はその周波数を示した回数である。図 3.1 は $p = 655, n = 140$ の時のヒストグラムである。

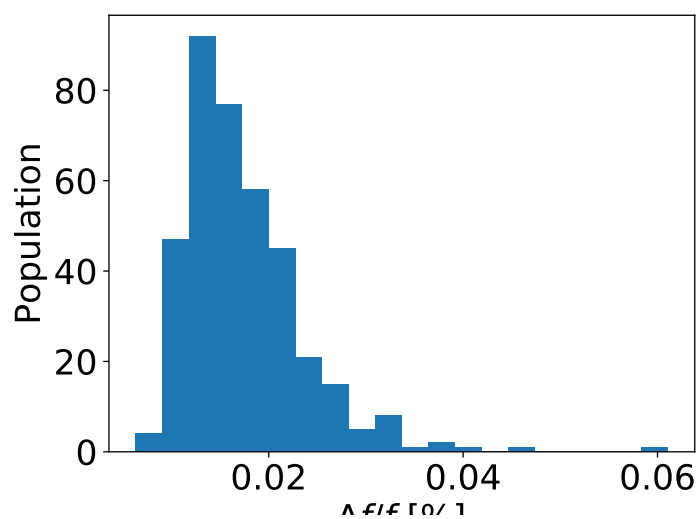
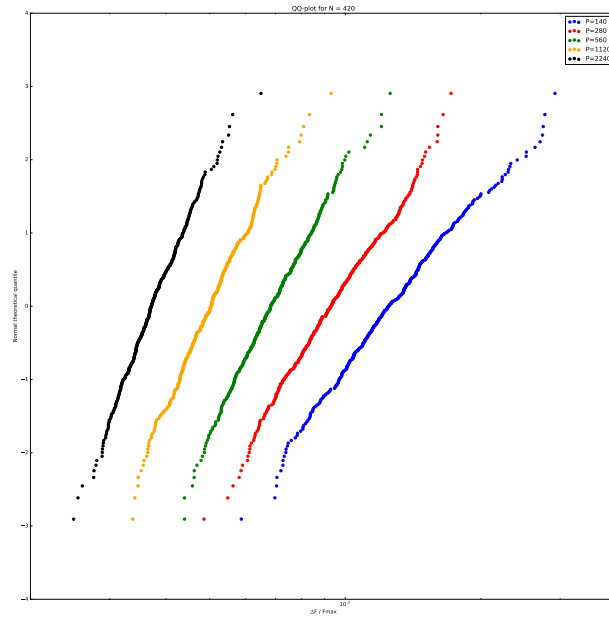


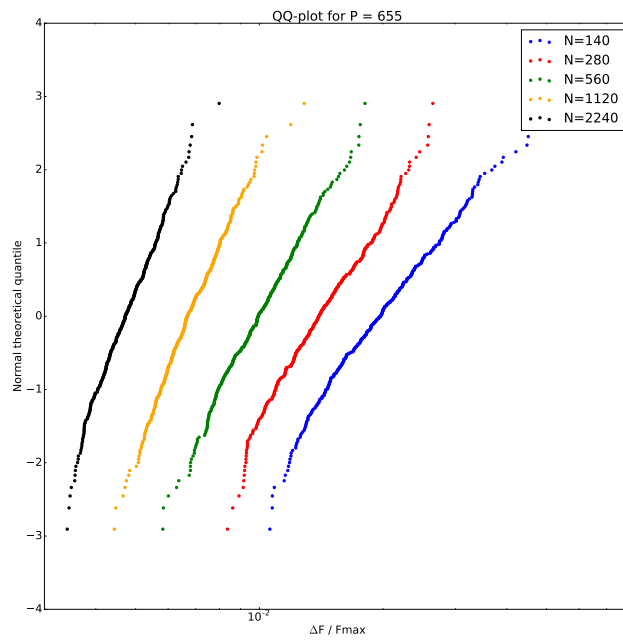
図 1 Histogram of frequency after normalized

3.2 qq-plot

次に、発振周波数の qqplot を描く。qqplot とは得られたデータと理論分布を比較し、その類似度を調べるためのグラフである。横軸は各分周器にかけられた発振周波数の各セクションでの最大値と最小値の差を最大値で割った値である。縦軸は理論分位数となっている。



(a) $p=655$



(b) $n=420$

图 2 the effect of the edge length of FET

図 2 は FET の 1 辺の長さを変化させた時の結果である。どのスロットの値も正規分布に従っていて、FET の面積が大きくなればなるほど $\Delta F/F_{max}$ の値は小さくなることがわかる。

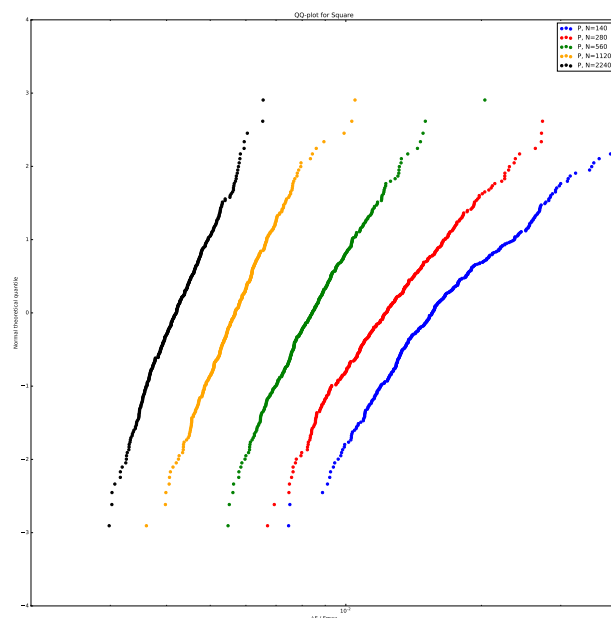


図 3 the effect of the area of FET

図 3.2 は FET の両辺の長さを変化させた時の結果である。1 辺を変化させた時の結果と似ているが、FET の面積が小さい時に理論分布との類似度が下がっていると考察する。

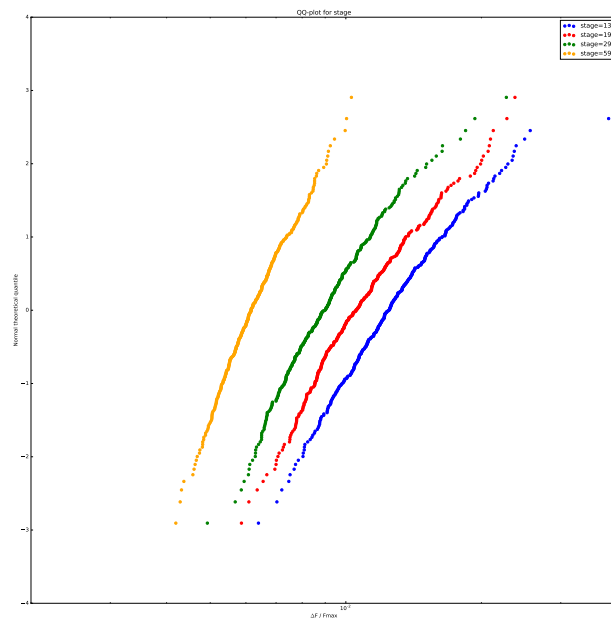


図 4 the effect of the number of stages

図 3.2 はリングオシレーターの段数を変化させた時の結果である。段数が大きくなればなるほど $\Delta F / F_{max}$ の値は小さくなることがわかる。また、それぞれのセクションにて $\Delta F / F_{max}$ が大きいところで理論分布との類似度が下がっていると考察する。