

ランダムテレグラフノイズ：発生メカニズム、回路性能への影 響及び評価方法

Mahfuzul Islam

2018 年 5 月 18 日

目次

第1章	序論	2
第2章	ランダムテリグラフノイズ	4
2.1	MOSトランジスタ	4
2.2	RTNによる電流値変動のモデル化	6
第3章	遅延分布	10
3.1	遅延モデル	10
3.2	電流モデル	11
第4章	評価回路	13
4.1	回路構成	13
第5章	測定環境	16
5.1	はじめに	16
5.2	測定環境	16
5.3	測定フロー	17
参考文献		22

第1章

序論

集積回路はトランジスタの微細化の恩恵を受けて驚くほどの成長を持たしてきた。トランジスタの微細化が進み、現在ゲート長が7 nmのデバイスの製造が可能となっている。 μm 以下の寸法になってからは、電子や分子の量子的な揺らぎが顕著になり、大量トランジスタからなる集積回路のチップにおいて、同じ寸法のトランジスタ特性間にミスマッチが起きるようになった。素子と素子の間の特性のミスマッチは集積回路の分野だけではなく、電子システムにおける一般的な話であり、重要なのはそのミスマッチが回路の性能と信頼性にどう影響を与えるかである。トランジスタの特性が同じ寸法でありながらトランジスタによって異なる現象が製造時に決まり、その後の動作時の経年劣化を無視した場合は基本的に時間変動しない。従って、このような製造時に発生する特性のミスマッチあるいはばらつきを静的ばらつきと認識されている。一方、動作時にトランジスタの特性が時間によって変動することがある。このような動作時に変動する現象としてノイズと経年劣化がある。ノイズの主要成分は熱雑音 (Thermal Noise) であり、チャンネル内の電子の熱エネルギーによる散乱が原因である。熱雑音の周波数成分は周波数によらずに一定であることから白色雑音とも呼ばれる。

一方、結晶と結晶の界面において、分子間結合の切断などによる欠陥が存在する。また、結晶内にも欠陥が存在することがある。界面に存在する欠陥に自由キャリアの捕獲と放出が繰り返されると電流の時間変動が発生する。このような変動のことをフリッカーノイズ (Flicker Noise) と呼ばれる。フリッカーノイズの特徴は、低い周波数領域においてパワー密度が大きいことである。すなわち、高速な電流変動ではなく、一旦電流が変動した場合、次の変動が起きるまで時間がかかる。MOSトランジスタの場合は、シリコンと酸化膜の間の界面に存在する欠陥あるいは酸化膜内の欠陥などがフリッカーノイズの原因となる。トランジスタの寸歩が μm 以下になってから、各種欠陥へのキャリアのトラップによる影響が顕著に現れ始めた。その理由の1つは、欠陥1つへのキャリアのトラップの相対的な影響が大きくなったからである。もう1つの理由は、製造技術の進歩により各種欠陥の数が減少してきており、さらにトランジスタ寸歩がnmオーダーであることから、あるトランジスタの存在する合計の欠陥の数が数えられるほど減少してきた。従って、1つの欠陥がチャンネルに流れる電流にどう影響されるか正確に見積もる手法が求められるようになった。相対的に大きな電流変動は、1つの欠陥へのキャリアの捕獲と放出の現象により発生するため、離散的な変動として観測される。また、その変動が起きる時間間隔は固定ではなく、大きくばらつく。

RTNは界面に存在するトラップにキャリアの捕獲・放出によりデバイスのしきい値電圧が変動する現象である。しきい値電圧だけでなく、移動度が変化する説もある。RTNの特徴づけるパラメータは次のとおりである。

1. トラップ当たりのオン電流の変化量 \Rightarrow 等価的に ΔV_T 変動量

2. トラップ当たりの時定数
3. トラップの数

トラップ当たりのRTNパラメータを評価するのではなく、RTNによる合計の変動量を評価し、その変動量の分布をモデル化することにより回路設計に活かすことを目標にする。次に、RTNの振幅（変動量）が製造後にチューニングによって補償できるかについて調べる。例えば、ある電源電圧で大きな変動量が発生するトランジスタの場合、異なる電圧動作でも大きなRTNが発生するのかを調べる。電源電圧が変わっても高い相関（大きいRTNは大きいRTNのまま）を持って入れば、製造後の対策が可能になる。しかし、低い相関を持っていれば、ランダム現象として扱うしかなく、設計時の統計解析しか対策ができなくなる。

RTNの発生メカニズムとチャネル電流に与える影響のメカニズムは複雑であり、いくつかの理論が提案されている。我々の回路設計者は、物理現象をシンプルなモデルで表現し、回路設計に活かすことに興味を持つ。回路の動作観点から、次のような抽象化が可能である。

1. 1つの欠陥において、どの時刻でキャリアが捕獲され、どの時刻でほうしゅつされるかはランダム現象。しかし、回路の誤動作を絶対に防ぐ立場から考えると、回路の動作中にキャリアの捕獲によってオン電流が変化した場合、その対策を取らなければならない。従って、どのタイミングで電流変化が起きるのではなく、電流変化量がどの程度かが重要である。
2. あるトランジスタにおいて、シリコンと酸化膜の界面に存在する欠陥は複数存在する。それぞれのトラップによって発生する電流変化量が異なる。また、複数のキャリアがトラップされる可能性があり、合計の最大電流変化量が回路の誤動作に繋がる可能性がある。従って、トラップ1個あたりの変動量ではなく、合計の変動量が重要である。



Key Points

1. 結晶を成長する上で、環境条件によって欠陥が形成される可能性がある。
2. 結晶の上に新しい結晶を成長させるときに、界面が非均質になり、固定電荷や欠陥などが形成される。
3. シリコンのバルクに欠陥、Si-SiO₂界面に固定電荷と欠陥、酸化膜に欠陥が存在する。

第2章

ランダムテリグラフノイズ

2.1 MOSトランジスタ

2.1.1 MOSシステムの電荷分布

MOSFETは、Metal-Oxide-Silicon-Field-Effect-Transistorの略であり、性質の異なる3種類の材料からなりなっていることを意味している。n型のMOSトランジスタの場合、しきい値電圧より大きいゲート-ソース間電圧を与えたときに、各種の電荷密度の空間的な分布を図 2.1 に示す。シリコンと酸化膜の界面下に反転層

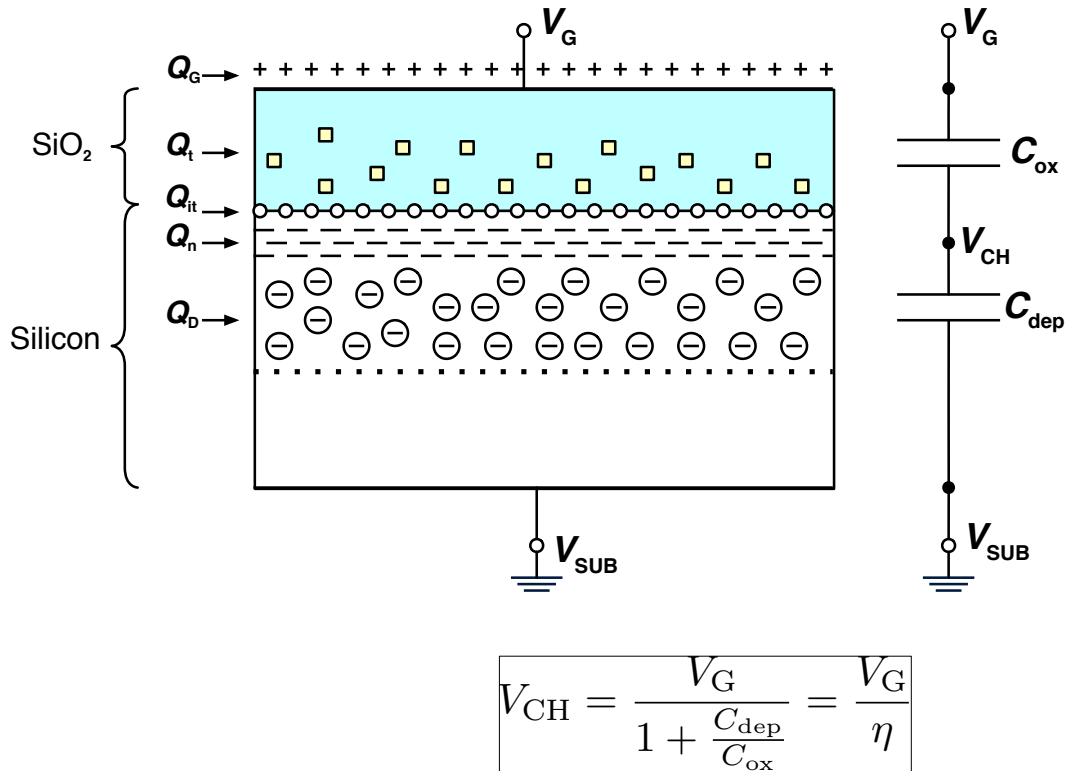


図2.1: MOSFETにおける電荷構造。 $Q_G, Q_t, Q_{it}, Q_n, Q_D$ はそれぞれゲート、酸化膜内の欠陥、界面、チャネルの反転領域及び空乏層領域における単位面積あたりの電荷密度を表す。

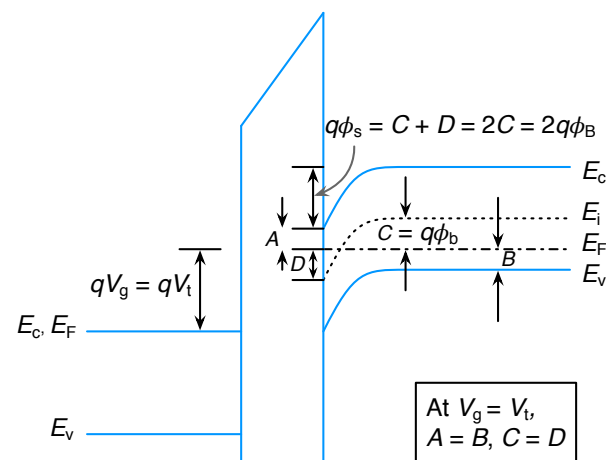


図2.2: MOSシステムのフラットバンド条件におけるバンド構造。

2.1.2 しきい値電圧

$$V_T = V_{fb} + 2\phi_b + \frac{\sqrt{4qN_a\epsilon_{Si}\phi_b}}{C_{ox}}. \quad (2.1)$$
$$V_{\text{fb}} = V_{\text{fb}0} + \Delta V_{\text{ox}}, \quad (2.2)$$

$$= V_{\text{fb0}} + \frac{q}{C_{\text{total}}} = V_{\text{fb0}} + \frac{q}{C_{\text{ox}}WL}. \quad (2.3)$$

5

💡 Key Points

1. 教科書にあるMOSFETの電流を導出する方法は、理想的なトランジスタに限って有効である。
2. 理想的なトランジスタは界面下のシリコンのポテンシャルは均質である。このようなトランジスタは存在しない。
3. 実際のトランジスタは、チャネルのポテンシャルは凸凹しており、チャネルのある領域において電荷密度が高く、ある領域において電荷密度が低い。
4. チャネル内の総電荷量を N とすると、電流、 I_D は N に比例するかどうかはわからない。

2.2 RTNによる電流値変動のモデル化

RTNの発生機構とデバイスの特性に与える影響のメカニズムは複雑な現象であるが、本研究では、近似的にしきい値電圧の変動としてオン電流の変化をモデル化する。図 2.4にその概念を示す。

しかし、実際のデバイスにはトラップの数は固定でなく、ポアソン分布に従ってばらつくため [2]、次のように合計のしきい値電圧変動量のPDF関数を求める。

$$a_N = \frac{e^{-\lambda} \lambda^N}{N!}, \quad (2.4)$$

$$P_1(x) = \frac{1}{x\sigma\sqrt{2\pi}} e^{-\frac{(\ln x - \mu)^2}{2\sigma^2}}, \quad (2.5)$$

$$P_N(x) = \int_{-\infty}^{\infty} P_{N-1}(x-t)P_1(t)dt, \quad (2.6)$$

$$P(x) = a_0\delta(x) + \sum_{i=1}^N a_i P_i(x), \quad (2.7)$$

$$\mu = \log \left(\frac{q}{C_{ox}WL} \right), \quad (2.8)$$

$$\sigma = \frac{q}{kT} \times \sigma_{\phi_s}. \quad (2.9)$$

ここで、 $P_1(x)$ は1個のトラップによるしきい値電圧変動量分布のPDF関数であり、 $P_N(x)$ は N 個のトラップによる合計しきい値分布のPDF関数である。 $P(x)$ はトラップの数を考慮したトランジスタ間のRTNに

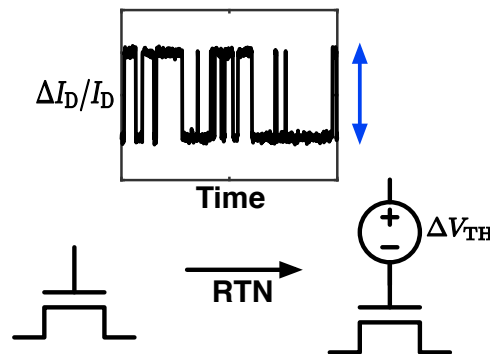


図2.4: RTNによるオン電流の変化をしきい値電圧変動としてモデル化する。

よる合計しきい値変動量分布のPDF関数である。 μ_1 と σ_1 は1個のトラップによるしきい値電圧変動量のLognormal分布($P_1(x)$)、 $\mathcal{LN}(\mu, \sigma^2)$ のパラメータである。 合計しきい値電圧変動量分布のPDF($P(x)$)はどのような分布で表現できるかが検討課題である。

2.2.1 均質(Homogeneous)なチャネルポテンシャルの場合

式 (2.1)と(2.3)より、1個のキャリアのトラップによりしきい値電圧変動量、 ΔV_T 、は次式でモデル化できる。

$$\Delta V_T = \Delta V_{fb} = \frac{q}{C_{ox}WL}. \quad (2.10)$$

N_T 個の欠陥にキャリアがトラップされることにより、合計のしきい値電圧変動は、各キャリアによるポテンシャル変更を独立として仮定すると、近似的に次式でモデル化できる。

$$\Delta V_{T, total} = \frac{qN_T}{C_{ox}WL}. \quad (2.11)$$

2.2.2 非均質(Inhomogeneous)なチャネルポテンシャルの場合

第2.2.1節のキャリアのトラップによるしきい値電圧変動は均質なチャネルポテンシャルの場合のみ有効である。現実なMOSトランジスタは、チャネルに注入されるドーパント量は有限であり、チャネルにランダム的に配置される。チャネルのポテンシャルは、ドーパントが存在する場所を中心に変調されるため、チャネル全面は凸凹なポテンシャル分布となる。このようなチャネルポテンシャルは非均質なポテンシャルと呼ぶことにする。この場合、チャネルのキャリア密度は一定でなく、場所によって異なる。従って、チャネルの場所ごとにローカルなしきい値電圧が変動し、デバイスによって電流値がばらつく。チャネルの場所ごとにローカルなしきい値電圧が変動する場合、チャネル全体のしきい値電圧を定義することは困難である。単純なモデルでMOSトランジスタのメカニズムを説明するために、非均質なチャネルポテンシャルの場合でも、等価的な均質なチャネルポテンシャルを持ったMOSトランジスタで電流特性を近似するとし、等価的なグローバルなしきい値電圧、 V_T 、を定義する。場所ごとに変動するしきい値電圧はローカルなしきい値電圧、 V_{Tj} 、と定義する。

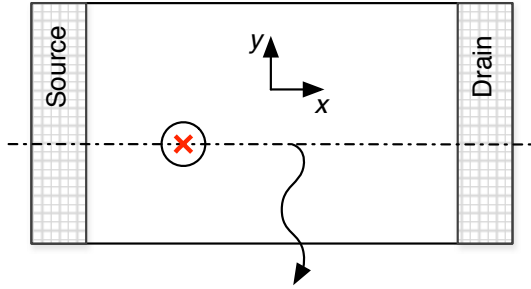
■欠陥が1個の場合 チャネルのある場所からキャリアが垂直方向に酸化膜中に存在する欠陥にトラップされることによりその場所のローカルなしきい値電圧変動量、 ΔV_{Tj} 、次式で近似できる [3]。

$$\Delta V_T = \frac{q}{C_{ox}WL} e^{\frac{q(V_T - V_{Tj})}{\eta kT}}, \quad (2.12)$$

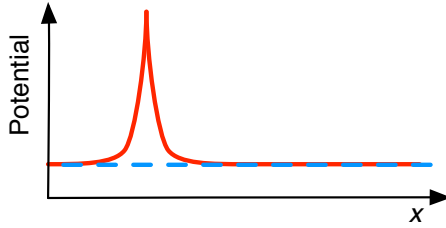
$$= \frac{q}{C_{ox}WL} e^{\frac{q\Delta V_{Tj}}{\eta kT}}. \quad (2.13)$$

ここで、 V_{Tj} はRDF (Random Dopant Fluctuation)によってばらつくと仮定する。 V_{Tj} は V_T を中心にガウス分布に従ってばらつき、 ΔV_{Tj} は0を中心にばらつく。 ΔV_{Tj} のばらつき量はしきい値電圧のチップ内ランダムばらつき量に比例する。しきい値電圧は 5σ までガウス分布に従うと報告されているため [4]、 V_{Tj} もガウス分布に従ってばらつくと仮定できる。よって、単一トラップによるしきい値電圧変動量はLognormal分布に従うことになり、トラップ当たりのRTNによるしきい値電圧変動のLognormal分布の

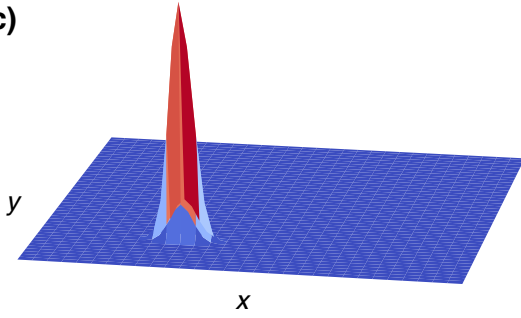
(a) 均質なチャネルポテンシャルを想定



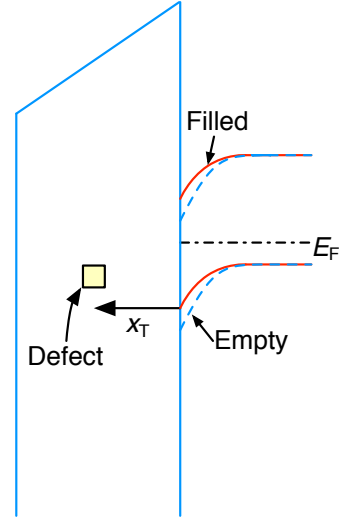
(b)



(c)



(d)



(e)

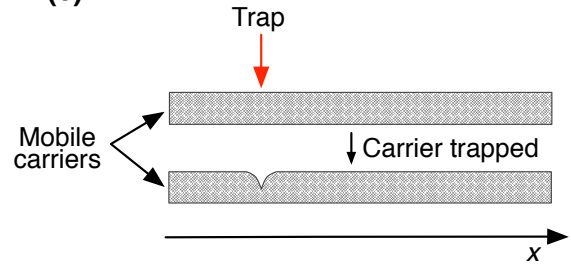


図2.5: 欠陥にキャリアのトラップによるMOSシステムの各種変化。(a) MOSFETの上面、(b) 表面ポテンシャルの変化、(c) 表面ポテンシャルの3次元プロット、(d) バンド構造の変化、(e) チャネル電荷密度の変化。

パラメータ ($\mu_{\log(\Delta V_T)}$, $\sigma_{\log(\Delta V_T)}$) は次式で近似できる。

$$\mu_{\log(\Delta V_T)} = \log \left(\frac{q}{C_{ox}WL} \right), \quad (2.14)$$

$$\sigma_{\log(\Delta V_T)} = \frac{q}{\eta kT} \times \sigma_{V_{Tj}}, \quad (2.15)$$

$$\sigma_{V_{Tj}} = \eta \sigma_{\phi_s}, \quad (2.16)$$

$$\sigma_{\phi_s} \propto \sigma_{V_T}, \quad (2.17)$$

$$\sigma_{V_t} = \frac{qT_{ox}}{\varepsilon_{ox}} \sqrt{\frac{N_a W_{dep}}{4LW}}. \quad (2.18)$$

ここで、 σ_{V_T} はRDFによるしきい値電圧ばらつきの標準偏差であり、酸化膜の厚さ、 T_{ox} 、とチャネルの不純物濃度、 N_a 、の関数である。 W_{dep} はチャネル下の空乏層領域の幅であり、強反転領域においてその最大値は

次のように定式化されている。

$$W_{\text{dep}} \approx W_{\text{depmax}} = \sqrt{\frac{2\varepsilon_{\text{si}}2\phi_{\text{b}}}{qNa}}, \quad (2.19)$$

$$= \sqrt{\frac{4\varepsilon_{\text{si}}kT \log(N_{\text{a}}/n_{\text{i}})}{q^2 N_{\text{a}}}}. \quad (2.20)$$

$\sigma_{\phi_{\text{s}}}$ はチャネルの表面ポテンシャルばらつきの標準偏差である。 $\sigma_{\phi_{\text{s}}}$ のばらつきは弱反転領域では70 mVである場合、強反転領域において40 mVに減少するというデバイスシミュレーションの結果が報告されている[5]。チップ内ランダムなしきい値電圧ばらつきと表面ポテンシャルの間に直接的な関係があり、デバイスのサイズと動作により $\sigma_{\phi_{\text{s}}}$ そのものが $\sigma_{V_{\text{T}}}$ となる場合もあれば、 $\sigma_{V_{\text{T}}}$ が $\sigma_{\phi_{\text{s}}}$ より小さくなる場合もある。トランジスタの動作領域を強反転領域に限定すると、単純なモデルとして $\sigma_{V_{\text{T}}}$ と $\sigma_{\phi_{\text{s}}}$ を同じだと仮定できる。従って、上記モデルを仮定すれば、あるプロセスにおけるランダムなしきい値電圧ばらつきが分かれば、酸化膜欠陥にキャリアのトラップによるしきい値電圧上昇量のばらつきも推定可能となる。



Key Points

ドレイン電流、 I_{D} は N に比例すると仮定すると、RTNによるしきい値電圧変動量の分布が Lognormal 分布になることを導出できる。

第3章

遅延分布

3.1 遅延モデル

3.1.1 遅延パス

ある遅延パスにおける論理ゲートの遅延は式 (3.3) でモデル化できる。

$$\tau = \frac{C_L V_{DD}}{I_D}. \quad (3.1)$$

ここで, τ は論理ゲートの遅延, C_L は負荷容量, V_{DD} は電源電圧と I_D トランジスタのオン電流である。次に, 次の条件の元で遅延パスの遅延 d を求める。

■条件

1. 遅延パスのゲート数を L_d とする。
2. ゲート遅延間の相関係数を ρ とする。

$$d = \sum_{i=1}^{L_d} \tau_i = \sum_{i=1}^{L_d} \frac{C_{L,i} \cdot V_{DD}}{I_{D,i}}. \quad (3.2)$$

ここで, τ_i は i 番目のゲートにおける遅延を表す。

3.1.2 リング発振回路

遅延, d , は式 (3.3) で近似される。

$$d = \frac{C_L V_{DD}}{I_D}. \quad (3.3)$$

ROの発振周期, T_{OSC} , は式 (3.4)

$$T_{OSC} = \sum_i^N C_L V_{DD} \left(\frac{1}{I_{DN,i}} + \frac{1}{I_{DP,i}} \right). \quad (3.4)$$

ここで, 負荷容量 C_L はすべての段において等しいと仮定している。実際は, NAND2を駆動するインバータの負荷容量は他の段と比べて異なり, また配線のレイアウトによっても負荷容量が異なる。 I_{DN} と I_{DP} は,

MOSトランジスタの動作領域によって近似式が異なる。チャネルが強反転している場合、 I_D は式 (3.5)で表すことができる。

$$I_D = \beta \cdot (V_{GS} - V_T)^\alpha. \quad (3.5)$$

微細デバイスにおいて α は1.3 ~ 1.5である。 $\beta = \mu C_{OX} W/L$ である。

チャネルが弱反転している場合、 I_D は式 (3.6)で表現する。

$$I_D = I_S \cdot e^{\frac{V_{GS} - V_T}{n\phi_T}}. \quad (3.6)$$

ここで、 n はサブスレッショルド係数で、その値は大体1.6である。 ϕ_T は熱電圧で、25°の時の値は26 mVである。

3.2 電流モデル

3.2.1 強反転領域

スイッチング動作をするデジタル回路の論理ゲート遅延を計算するのに、式 (3.7)の α 乗則モデルがよく用いられる[6].

$$I_D = b_1 \cdot \frac{W}{L} \cdot (V_{DD} - V_T)^\alpha. \quad (3.7)$$

ここで、 b_1 プロセスに依存する定数であり、 W はトランジスタのゲート幅と L はトランジスタのゲート長である。 α の値は微細プロセスにおいて大体1.3とされる。

3.2.2 弱反転領域

$$I_D = b_2 \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{DD} - V_T}{n U_T}\right). \quad (3.8)$$

ここで、 b_2 はプロセスに依存する係数であり、 n はサブスレッショルド係数、 U_T は熱電圧を表している。

3.2.3 ユニバーサルなモデル

上記の強反転領域と弱反転領域動作において別々モデルが必要だが、両者をつなぐような式 (3.9)のモデル式が提案されている[7].

$$I_D = b_3 \cdot \frac{W}{L} \cdot \ln \left[1 + \exp \left(\frac{V_{DD} - V_T}{\alpha n U_T} \right) \right]^\alpha. \quad (3.9)$$

b_3 プロセスに依存する係数である。このモデルは“EKV Model”と呼ばれている。式 (3.9)は速度飽和を考慮して次数の値は2ではなく、 α として任意の値を取るようにになっている。モデル式 (3.9)の妥当性を図 3.1に示す。図 3.1に電源電圧に対してトランジスタのオン電流をプロットしている。トランジスタのオン電流の値は、式 (3.7) to (3.9)の3つのモデル式を用いて計算したものを採用している。 α 乗則モデルは低い電圧で対応できなくなり、指数関数のモデル式は高い電圧において対応できなくなる。“EKV Model”はすべての動作領域において有効である。

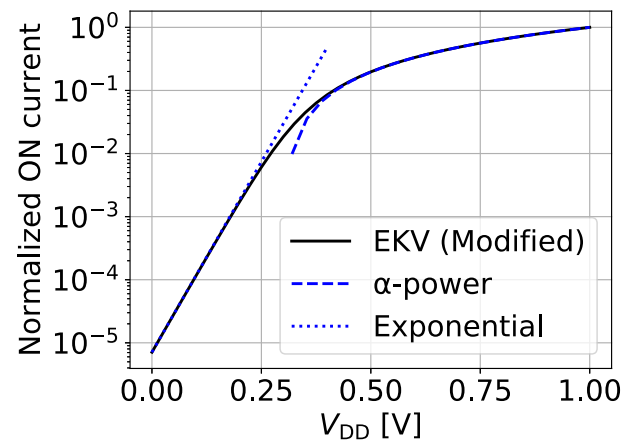


図3.1: Comparison between different current models.

第4章

評価回路

4.1 回路構成

今回は、7段のインバータからなるリング発振回路を用いてするトランジスタのRTNを評価する。図 4.1にROの構造を示し、表 4.1に2015年に試作した回路の一覧を示す。表 4.2に2015年に試作した回路の一覧を示す。ゲート幅及び負荷容量の異なるいくつかの種類ROである。ROの段数は、特に記入されて場合を除き、すべて7段である。今回の評価対象のROは、表 4.2のROを評価する。

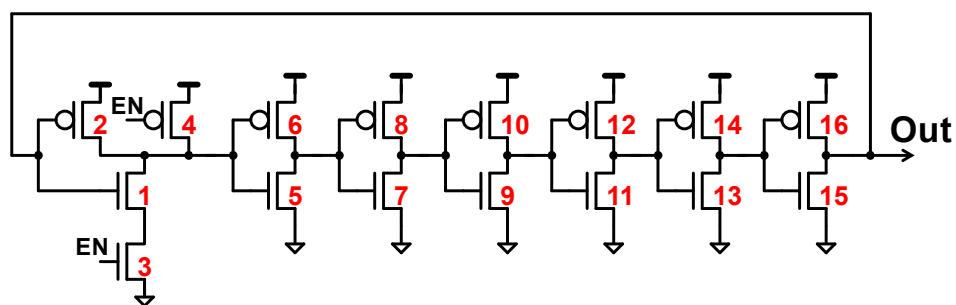


図4.1: 評価対象のリング発振回路。各トランジスタにインデックスをつけている。

表4.1: RENESAS65nm_1507チップに搭載した各種ROの構造。

RO index	Section	RO name	RO slot	Stage no.	Inverter W [nm]		NAND W [nm]	
					nFET	pFET	nFET	pFET
nMOSFET sensitive								
1	LEFT	LE50_N140_NAKAI	28	7	140	10480	140	6000
2	LEFT	LE50_N280_NAKAI	30	7	280	10480	280	6000
3	LEFT	LE50_N560_NAKAI	32	7	560	10480	560	6000
4	LEFT	LE50_N1120_NAKAI	34	7	1120	10480	1120	6000
pMOSFET sensitive								
5	LEFT	LE50_P140_NAKAI	36	7	6720	140	6560	140
6	LEFT	LE50_P280_NAKAI	38	7	6720	280	6560	280
7	LEFT	LE50_P560_NAKAI	40	7	6720	560	6560	560
8	LEFT	LE50_P1120_NAKAI	82	7	6720	1120	6560	1120
Large transistors								
9	LEFT	LE50_MK61INVXT1_NAKAI	10	7	6720	10480	6560	6000
nMOSFET and pMOSFET sensitive								
10	RIGHT	LE50_N140P140_NAKAI	92	7	140	140	140	140
11	RIGHT	LE50_N280P280_NAKAI	93	7	280	280	280	280
12	RIGHT	LE50_N560P560_NAKAI	94	7	560	560	560	560
13	RIGHT	LE50_N1120P1120	95	7	1120	1120	1120	1120
Standard size inverter								
14	RIGHT	REL65_1507_INV_1X_SHIOMI	57	7				
15	RIGHT	REL65_1507_INV_1X_SHIOMI	58	19				
16	RIGHT	REL65_1507_INV_1X_SHIOMI	59	29				
17	RIGHT	REL65_1507_INV_1X_SHIOMI	60	59				

Cell name = DFFRO_FM_ + Section + _RING7_ + RO name

表4.2: RENESAS65nm_1707チップに搭載した各種ROの構造。

Index	Cell name	Slot number	Description
Section Left			
1	FM_RIGHT_RING7_P140_N140_MAHFUZ	0-1,28-35	Balanced, no extra load
2	FM_LEFT_RING7_P655X16_N140_MAHFUZ	2	N skewed
3	FM_LEFT_RING7_P655X16_N280_MAHFUZ	4	N skewed
4	FM_LEFT_RING7_P655X16_N560_MAHFUZ	6	N skewed
5	FM_LEFT_RING7_P655X16_N1120_MAHFUZ	8	N skewed
6	FM_LEFT_RING7_P655X16_N2240_MAHFUZ	10	N skewed
7	FM_LEFT_RING7_P140_N420X16_MAHFUZ	12	P skewed
8	FM_LEFT_RING7_P280_N420X16_MAHFUZ	14	P skewed
9	FM_LEFT_RING7_P560_N420X16_MAHFUZ	16	P skewed
10	FM_LEFT_RING7_P1120_N420X16_MAHFUZ	18	P skewed
11	FM_LEFT_RING7_P2240_N420X16_MAHFUZ	20	P skewed
12	DFFRO_FM_LEFT_RING7_LE50_MK61INVXL1_NAKAI	25	Medium size
13	DFFRO_FM_LEFT_RING7_LE50_MK61INVXT1_NAKAI	26	Large size
Section Right			
14	FM_RIGHT_RING7_P140_N140_MAHFUZ	36,41-44,49-71	Balanced, no extra load
15	FM_RIGHT_RING7_P280_N280_MAHFUZ	37	Balanced, no extra load
16	FM_RIGHT_RING7_P560_N560_MAHFUZ	38	Balanced, no extra load
17	FM_RIGHT_RING7_P1120_N1120_MAHFUZ	39	Balanced, no extra load
18	FM_RIGHT_RING7_P2240_N2240_MAHFUZ	40	Balanced, no extra load
19	FM_RIGHT_RING7_P140_N140_LOADXC1_MAHFUZ	46	Extra load (small)
20	FM_RIGHT_RING7_P140_N140_LOADXE1_MAHFUZ	47	Extra load (medium)
21	FM_RIGHT_RING7_P140_N140_LOADXL1_MAHFUZ	48	Extra load (large)n

第5章

測定環境

5.1 はじめに

今回測定対象としているRTNは、統計的な性質を持っており、各種統計的な性質をモデル化することが目的である。統計的な評価を行うために、同じ寸歩の大量デバイスの電流特性の時間変化を測定し、デバイス毎に観測される電流値変動の振幅及び捕獲・放出するまでの平均時間などを評価する。大量デバイスの測定を自動的に行い、効率のよいデータの取得及び解析方法求められる。今回の測定環境では、FPGAボードとPCを使って、測定対象のデバイス(あるいは回路)の選択からデータをファイルに保存するまでのフローを自動化した自動測定フローを構築している。ROの発振波形の手動観測及び自動測定フローの使い方を本資料にて説明する。

5.2 測定環境

FPGAを利用して、FPGA-Chip間の通信とFPGA-PC間に通信を行うことにより測定の自動化を図っている。FPGA-Chip間の通信はFPGAからChipにデータを送信するだけであり、Chipから出てくるROの出力波形をFPGA内でカウントする。FPGAからChipにデータを送信は、シリアル通信を利用する。FPGA-PC間の通信にはUARTを利用する。UARTは非同期のシリアル通信であるため、異なるシステム間へのデータ通信に便利である。今回は双方にFPGA-PC間にデータのやり取りを行う。PCからFPGAに測定対象のROの選択情報及び測定条件の情報を送信する。次に、FPGAが測定時間の間測定し続け、一定間隔に測定結果をPCに送る。PC側は受け取った結果のデータをメモリに貯めていき、測定が終わるとファイルにデータをまとめて保存する。

図5.1にシステム全体のブロック図を示す。FPGA側のユーザ回路はlsitestである。PC側は、デフォルトで8ビット単位でデータを送受信を行うため、32ビット単位でデータのやりとりを行えるようにインタフェース層を追加する。PC側で、ラッパー関数を作って見かけ上32ビット単位でデータ通信を行うインタフェースを用意する。FPGA側で32ビット単位でデータ通信を行うためにモジュールは“uart_controller”である。今回の実装では、データ単位を32ビットにして8ビットごとに4回に分けて送信あるいは受信するようにする。データ単位はもちろん任意変更ができるが、回路側は今32ビットに固定しており、このデータ幅はパラメータ化していない。

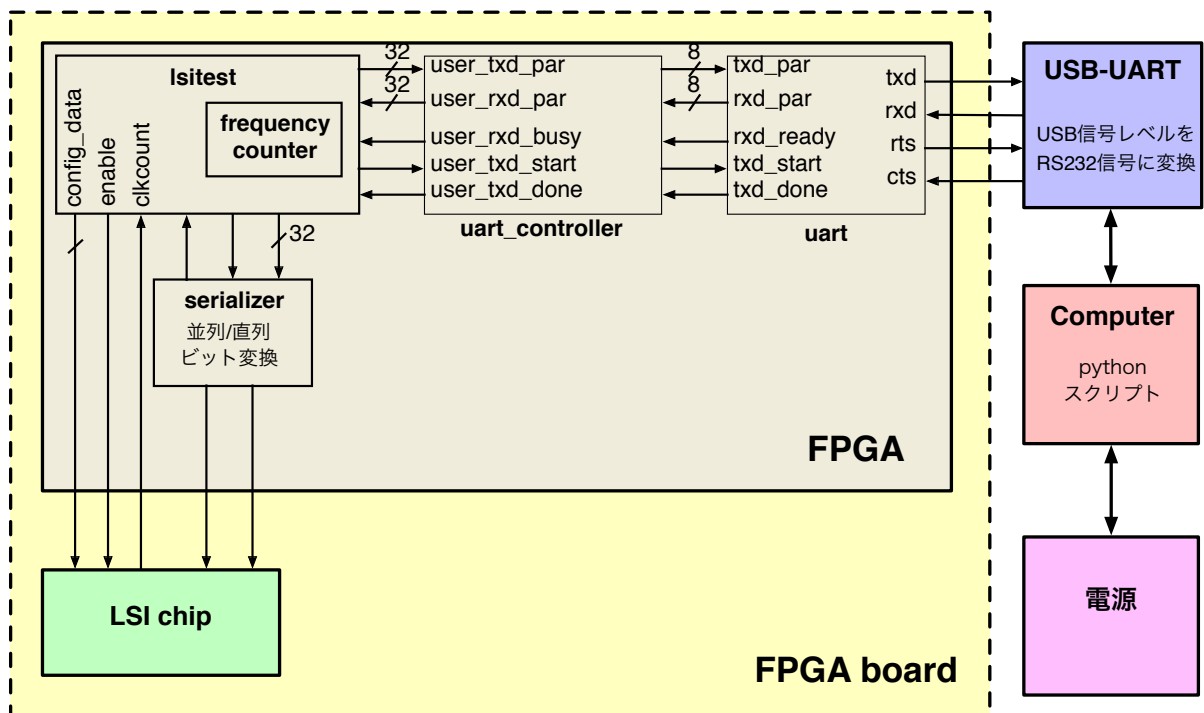


図5.1: FPGAによる測定環境のブロック図。

5.3 測定フロー

5.3.1 FPGAボードの電源投入

作業

FPGAの主電源をコンセントと繋ぎ、電源スイッチをONにする。

5.3.2 FPGAにコンフィグレーションデータの書き込み

作業

Altera社のQuartus IIソフトウェアのProgrammer機能を使ってFPGAにコンフィグレーションデータを書き込む。

5.3.3 チップのI/O及びレベルシフタの電源を投入

作業

PCのターミナル上で次のコマンドを実行し、チップのI/Oとレベルシフタの電源を供給する。

```
% sh set_io_voltage.sh 3.3 1.2 0.6
```

FPGAボードに搭載されている4つのDC/DCコンバータの内、3つのコンバータの出力をチップに供給する。各引数が指定する電源は次の通りである。

```
% sh set_io_voltage.sh VDDIO VDDH VDDL
```

VDDIOはI/Oの電源である。VDDHとVDDLはレベルシフタの高い方の電圧と低い方の電圧を供給する。VDDLの値は重要であり、測定回路の電源に合わせる必要がある。とりあえず、章 5.3.4に説明する測定回路の電源と同じ値にする。例えば、測定回路の電源が0.4 Vの場合、VDDLの値も0.4 Vにする。

5.3.4 チップの測定回路の電源を投入

作業

PCのターミナル上で次のコマンドを実行し、外付け電源から電源を投入する。

```
% ruby power-supply.rb -p power4ch -c 3,4 -v 0.6,0.6 -a 0.03,0.03
```

説明

2つの電源を指定しているが、1つ目はROの電源であり、2つ目はスロット内のFFからなる分周器の電源である。基本的に、これらの2つの電源は同じ値にするが、場合によって少し異なった値にすることがある。異なった値への設定は、教員と確認してから行う。

```
% ruby power-supply.rb -h
```

Usage: power-supply [options]

-p	Power Name	Power Source
-c	Channel1,Channel2,Channel3,Channel4	Channel list
-v	Voltage1,Voltage2,Voltage3,Voltage4	Voltage list
-a	Current1,Current2,Current3,Current4	Current list
-s		Stop channels
-h		Print help

5.3.5 手動測定

測定したいROの発振周波数をオシロスコープで確認したい場合、FPGAボードのスイッチを操作することにより、特定Sectionの特定SlotのROを選択して発振させることができる。オシロスコープに発振波形が表示されるため、正しく動作しているかどうかを確認できる。オシロスコープの周波数カウンター機能を用いて、周波数を表示させることができる。手動で特定のROの選択と波形の出力には次の4種類のデータを入力する。

1. 分周器の数 (DIV)
2. スロット番号 (SLOT)

3. SECTIONの上位2ビット (SECTIONを選択するビット数は9)

4. SECTIONの下位7ビット

入力したいデータをDIPスイッチの1番目から7番目に設定し、該当するプッシュボタンによりLOADする。プッシュボタンの割当を次の通りである。

1. PSW3: DIV

2. PSW4: SLOT

3. PSW5: SECTIONの上位2ビット

4. PSW6: SECTIONの下位7ビット

例えば、分周器の数3、スロット番号20、SECTION番号300のROの選択を次の手順で入力する。

1. {~DIP1,~DIP2,~DIP3,~DIP4,~DIP5,~DIP6,~DIP7}={0,0,0,0,0,1,1}となるようにスイッチを設定

2. PSW3をプッシュ

3. {~DIP1,~DIP2,~DIP3,~DIP4,~DIP5,~DIP6,~DIP7}={0,0,1,0,1,0,0}となるようにスイッチを設定

4. PSW4をプッシュ

5. {~DIP1,~DIP2,~DIP3,~DIP4,~DIP5,~DIP6,~DIP7}={0,0,0,0,0,1,0}となるようにスイッチを設定

6. PSW5をプッシュ

7. {~DIP1,~DIP2,~DIP3,~DIP4,~DIP5,~DIP6,~DIP7}={0,1,0,1,1,0,0}となるようにスイッチを設定

8. PSW6をプッシュ

9. ~DIP0=1にする (Enable信号)

参考までに該当するverilogコードを次に提示する。

```
1  assign m_enable_o = ~DIP0;
2  assign enable_o = (DIP0 == 0) ? m_enable_o : a_enable_o;
3
4  always @(posedge clk)
5      manual_input <= {~DIP1, ~DIP2, ~DIP3, ~DIP4, ~DIP5, ~DIP6, ~DIP7};
6
7  manual_config_ctrl u_manual(
8      // INPUT
9      .USBCLK(clk),
10     .RESETn(RESETn),
11     .LOAD_DIV_I(~PSW3),
12     .LOAD_SLOT_I(~PSW4),
13     .LOAD_SECTION_MSB_I(~PSW5),
14     .LOAD_SECTION_LSB_I(~PSW6),
15     .CONFIG_I(manual_input),
16     // OUTPUT
17     .CONFIG_O(manual_config_data)
18 );
```

5.3.6 自動測定

作業

PCのターミナル上で次のコマンドを実行し、自動測定を開始する。

```
% python serial_meas_auto_vtegv3.py -c 01 -r 4 -s 0 -i 1 -t 10 -v 060 -d 3
```

これで、スロット番号が4のROをセクション0からセクション383まで384個セクションの発振周波数をそれぞれ10秒ずつ測定していく。合計の測定時間を1時間ちょっとかかる。しかし、測定フローをテストする段階において、毎回1時間を待つことができないため、例えば10個のセクションのみをそくていしたいとする。コマンドの-sの引数の数字を373に指定すると、373のセクションから383のセクションまでを測定できる。

```
% python serial_meas_auto_vtegv3.py -c 01 -r 4 -s 373 -i 1 -t 10 -v 060 -d 3
```

説明

上記スクリプトの各引数の説明について次のコマンドにより確認できる。

```
% python serial_meas_auto_vtegv3.py -h
```

```
usage: serial_meas_auto_vtegv3.py [-h] [-c CHIP] -r RING [-s SECTION]
                                   [-m N times] -i N milli second -t N second
                                   [-v supply voltage] [-d {0,1,2,3}]
```

Auto measure script for RTN

optional arguments:

```
-h, --help                show this help message and exit
-c CHIP, --chip CHIP      chip number
-r RING, --ring RING      slot number
-s SECTION, --section SECTION
                           section number
-m N times, --manual N times
                           manual integral time set
-i N milli second, --integral N milli second
                           integral time
-t N second, --measuretime N second
                           measure time
-v supply voltage, --voltage supply voltage
                           supply voltage for identification
-d {0,1,2,3}, --divider {0,1,2,3}
                           divider number
```

5.3.7 測定環境のシャットダウン

シャットダウンは次の手順で行う。

1. 測定回路の電源を次のコマンドによりOFFにする。

```
% ruby power-supply.rb -p power4ch -c 3,4 -v 0.6,0.6 -a 0.03,0.03 -s
```

2. I/O及びレベルシフタの電源をFPGAボードのリセットボタンを押し、OFFにする
3. FPGAボードの電源をOFFにする

参考文献

- [1] C. C. Hu, “Chapter 5: MOS Capacitor,” in *Mod. Semicond. Devices Integr. Circuits*, 2010, pp. 157–194.
- [2] T. Nagumo, K. Takeuchi, T. Hase, and Y. Hayashi, “Statistical Characterization of Trap Position, Energy, Amplitude and Time Constants by RTN Measurement of Multiple Individual Traps,” in *Int. Electron Devices Meet.*, dec 2010, pp. 28.3.1–28.3.4.
- [3] K. Sonoda, K. Ishikawa, T. Eimori, and O. Tsuchiya, “Discrete dopant effects on statistical variation of random telegraph signal magnitude,” *IEEE Transactions on Electron Devices*, vol. 54, no. 8, pp. 1918–1925, 2007.
- [4] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs using Takeuchi Plot,” in *Symp. VLSI Technol.*, 2008, pp. 156–157.
- [5] G. Slavcheva, J. H. Davies, A. R. Brown, and A. Asenov, “Potential fluctuations in metal-oxide-semiconductor field-effect transistors generated by random impurities in the depletion layer,” *J. Appl. Phys.*, vol. 91, no. 7, pp. 4326–4334, 2002.
- [6] T. Sakurai and A. Newton, “Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas,” *IEEE Journal of Solid-State Circuits*, vol. 25, no. 2, pp. 584–594, 1990.
- [7] C. C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” *Analog integrated circuits and Signal Processing*, vol. 8, no. 1, pp. 83–114, 1995.