



UNIVERSITA' DEGLI STUDI DEL SANNIO

Dipartimento di Ingegneria

Corso di Laurea Triennale in Ingegneria Elettronica per l'Automazione e le
Telecomunicazioni

TESI DI LAUREA

MEMORIE NON VOLATILI DI NUOVA GENERAZIONE

RELATORE:

PROF. Giovanni Vito Persiano

LAUREANDO:

Antonio Di Vito

Mat. 862000193

Anno accademico
2017-2018

OBIETTIVO DELLO STUDIO

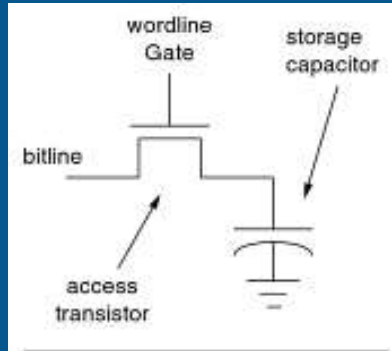
NECESSITÀ DI NUOVE TECNOLOGIE DI MEMORIZZAZIONE
A SEMICONDUTTORE PER I NUOVI SISTEMI DIGITALI



DISPOSITIVI CHE SFRUTTANO LA
CAPACITÀ DI **NON VOLATILITÀ**
DELL'INFORMAZIONE

- **MINIATURIZZABILI**
- **VELOCI**
- **DURATURI**
- **BASSO CONSUMO**
- **BASSO COSTO**

MEMORIE MAGGIORMENTE USATE OGGI



DYNAMIC RAM



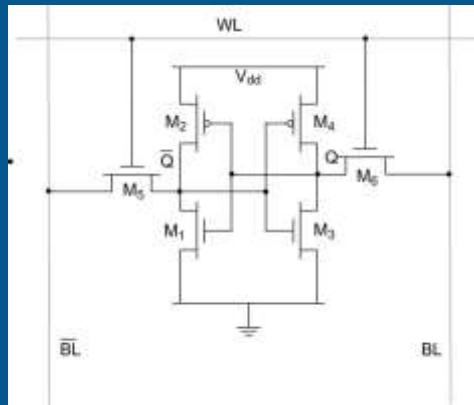
VOLATILI



STATIC RAM



MEMORIA CENTRALE



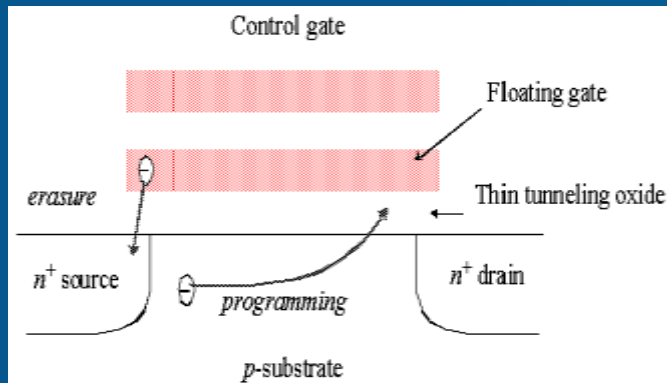
**FLOATING
GATE
MEMORY**



NON VOLATILE



MEMORIA DI MASSA



DRAM

► C FABBRICATO APPOSITAMENTE

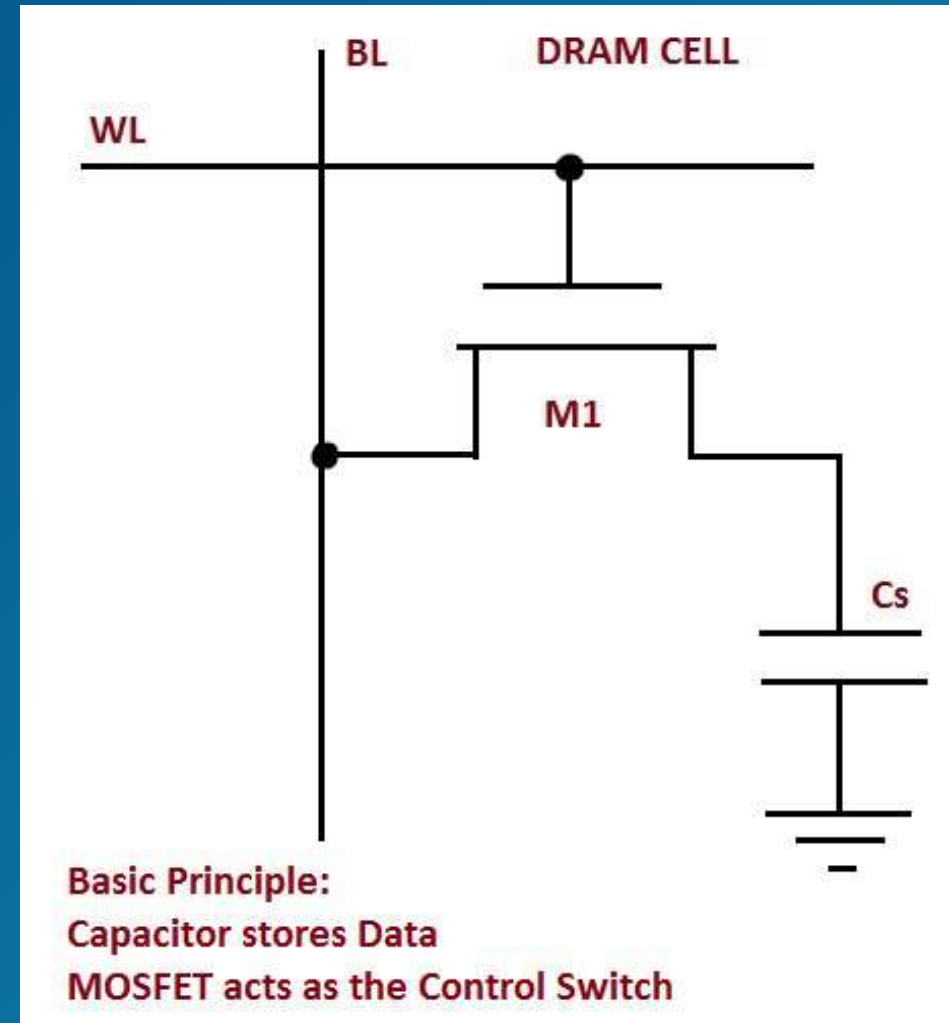
► SCRITTURA

1. Abilitazione WL \rightarrow 1
2. Invio bit 1 (V_{DD}) o 0 (0V) tramite BL

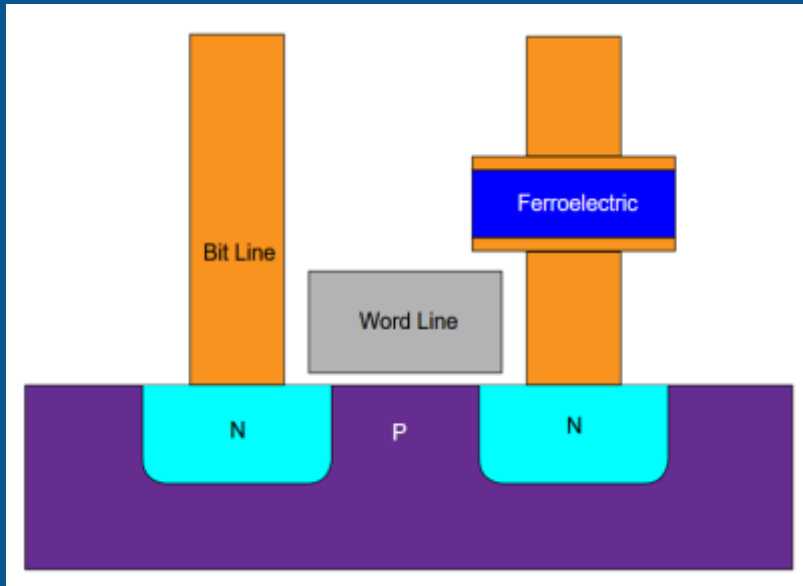
► LETTURA

1. Precarica BL a $(V_{DD})/2$
2. Abilitazione WL gate
3. Sense amplifier compara il valore contenuto scaricato sulla BL

► REFRESH PERIODICO



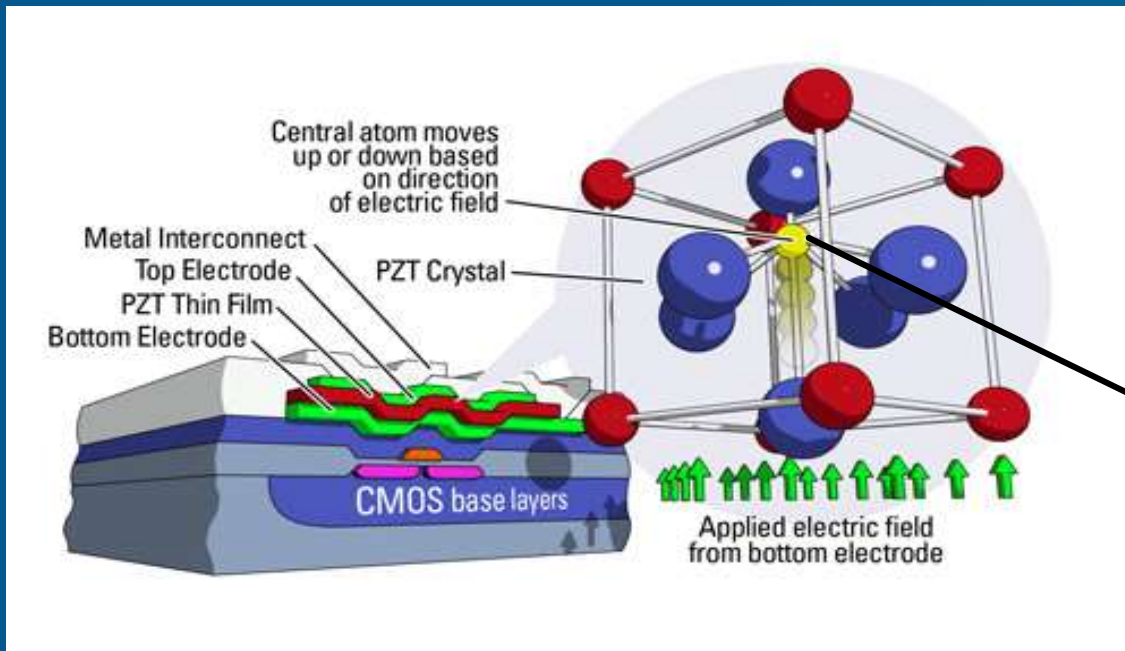
FERROELECTRIC RAM



→ Capacità con
materiale
ferroelettrico

→ In grado di
mantenere il verso
della polarizzazione
(0 o 1) indotta dalle
piste

↓
NON VOLATILITA'



Molecola di
 $Pb(Ti,Zi)O_3$

→ Atomo centrale
di Ti o Zi

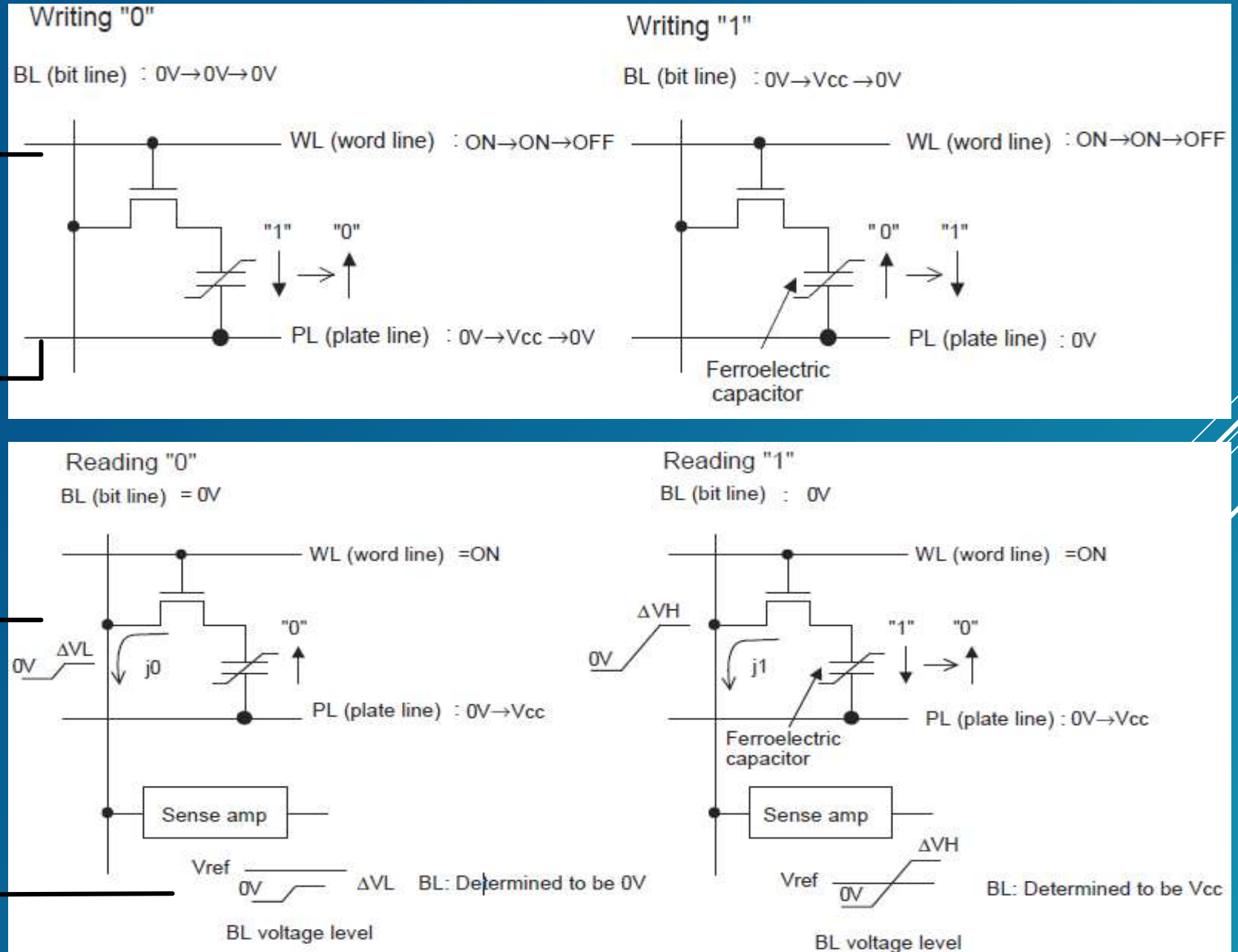
SCRITTURA E LETTURA FRAM

Orientare il verso di polarizzazione inviando impulsi opposti alle piste connesse ai layers

Pista aggiuntiva PL

Simile a DRAM: comparatore a valle per la decisione del bit

Ampiezza spike di corrente proporzionale allo stato della cella



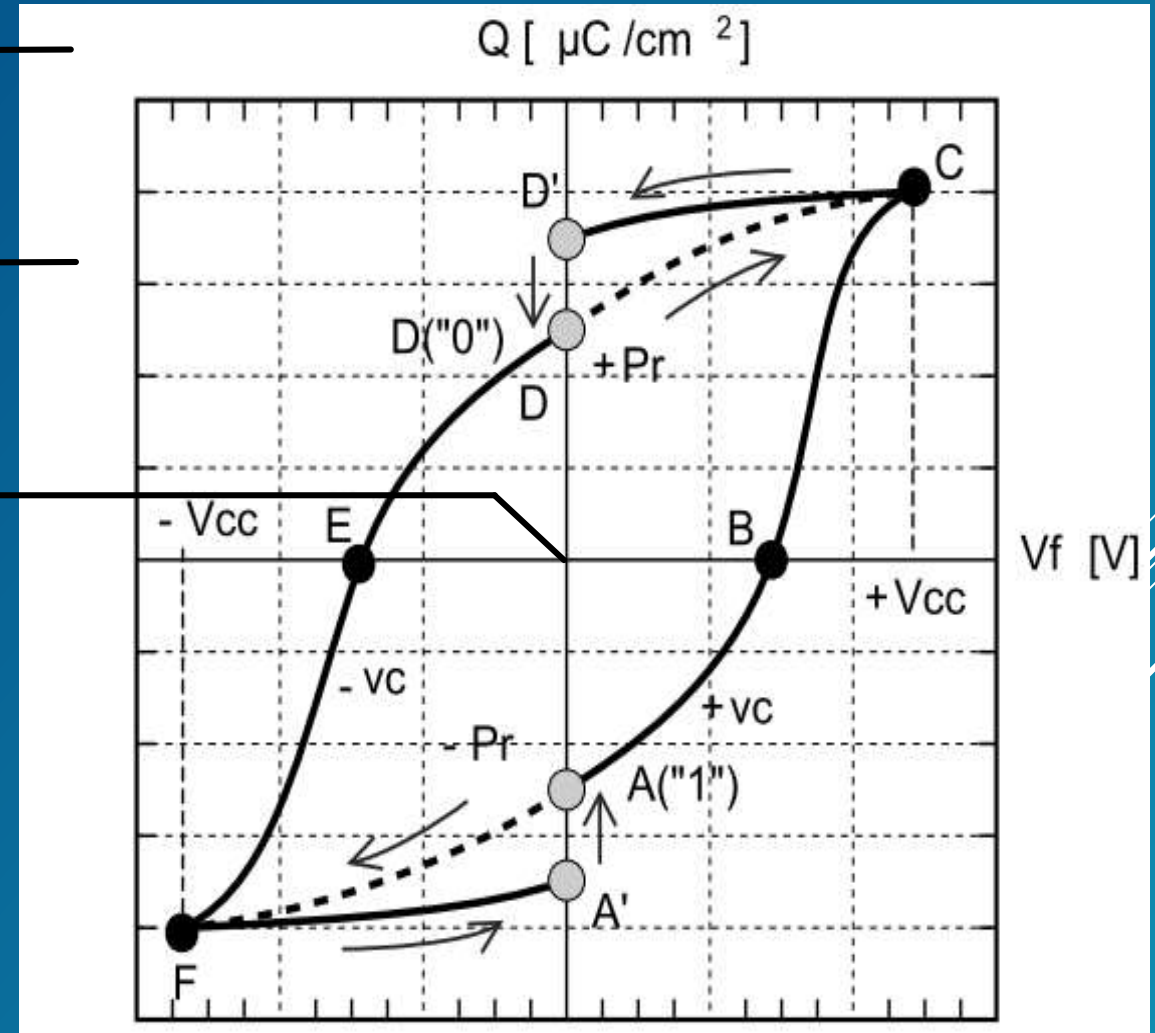
ISTERESI FERROELETTRICA

Q di carica in funzione della V di scrittura

C ed F punti di **saturazione**

In $V_f = 0$ decadenza nei punti A e D

Maggiore è la distanza tra le **soglie**, maggiore è la **robustezza**



SMART COUNTER

	FRAM	EEPROM	Flash Memory	DRAM	SRAM
Memory Type	Non-volatile	Non-volatile	Non-volatile	Volatile	Volatile
Read Cycle	100ns	200ns	120ns	70ns	85 ns
Write Cycle	100ns	10ns	100ns	70ns	85ns
Power Consumption	1nJ	1nJ	2nJ	4nJ	3nJ.
Current to retain Data	Unnecessary	Unnecessary	Unnecessary	Necessary	Necessary
Internal Write Voltage	2V-5V	14V	9V	3.3V	3.3V
Cell Structure	1T-1C	• 2T	1T	1T-1C	6T,4T+R
Area/Cell	4	3	1	2	4 - 6

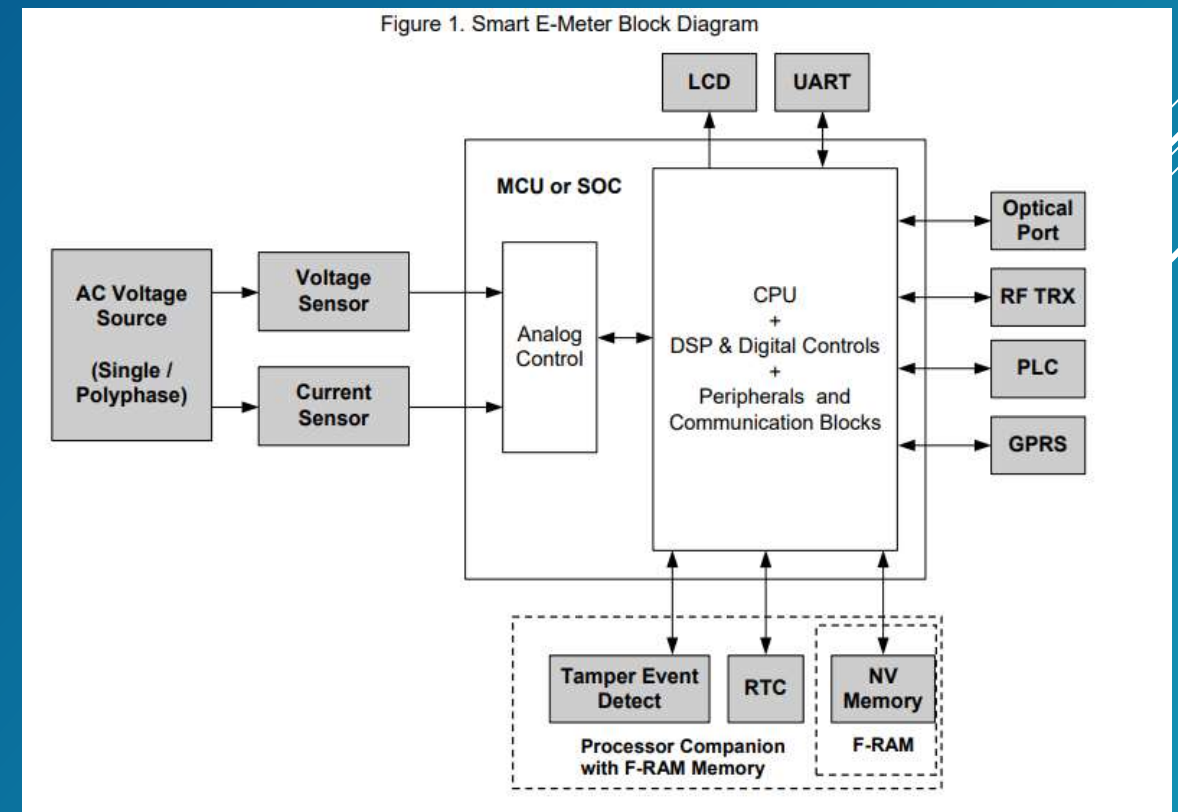
FRAM unisce:

- Non volatilità
- Velocità
- Consumi contenuti soprattutto in scrittura

Il limite alla scalabilità la rende (attualmente) adatta solo ad applicazioni specifiche

- Zero Clock Cycle Write Latency
 - Veloce campionamento

Contatore Elettronico intelligente con FRAM (Cypress SemiC)



4MB FRAM SPI 3V

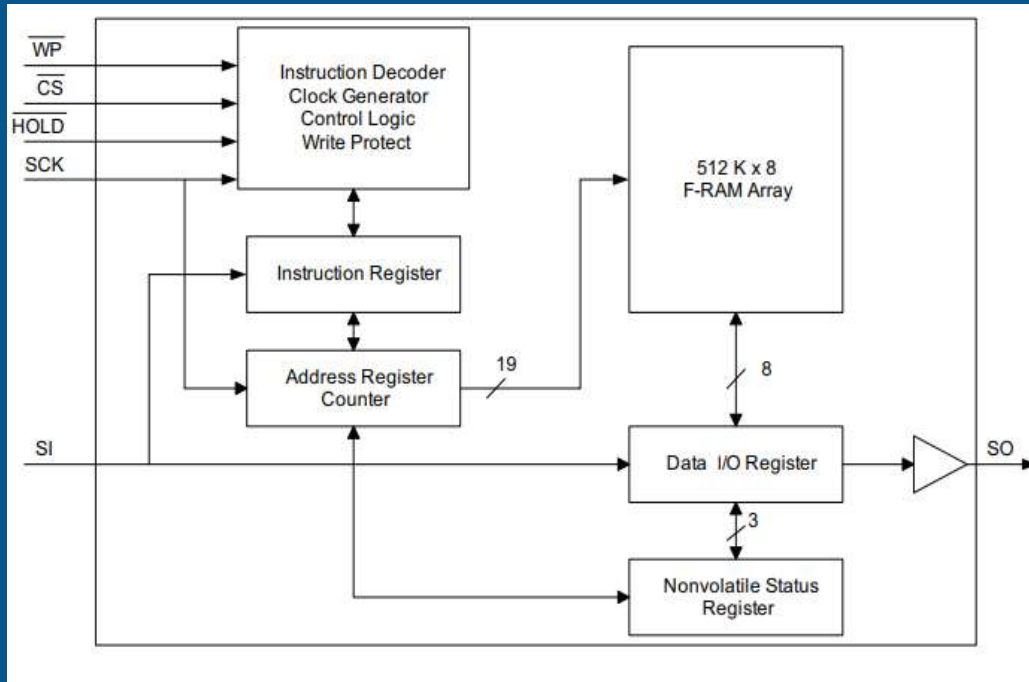


Figure 2. Process to Write to EEPROM and F-RAM

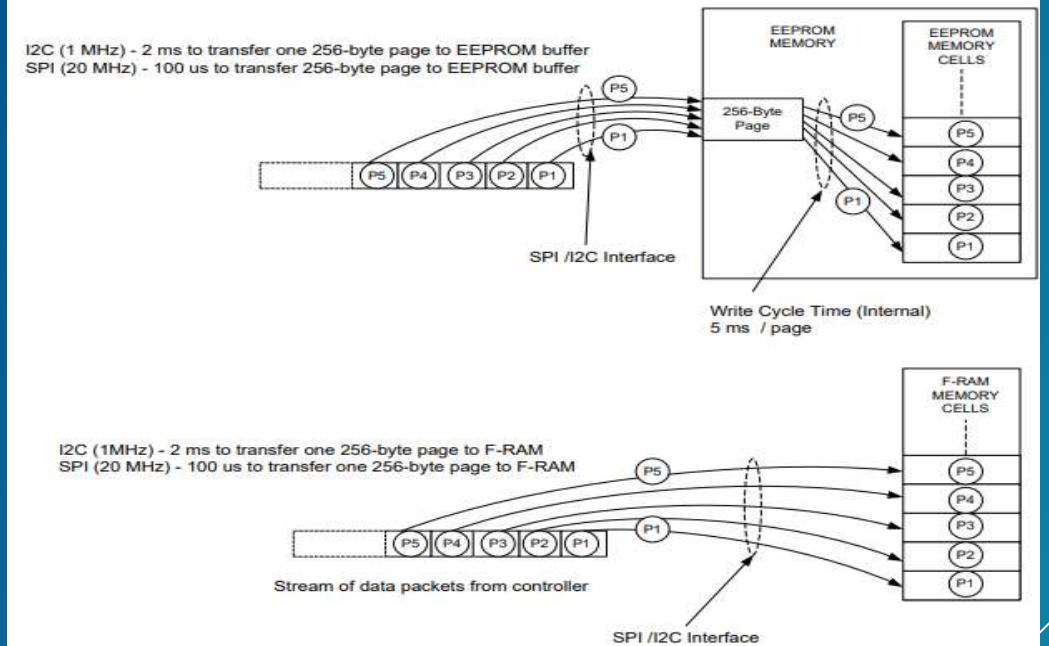
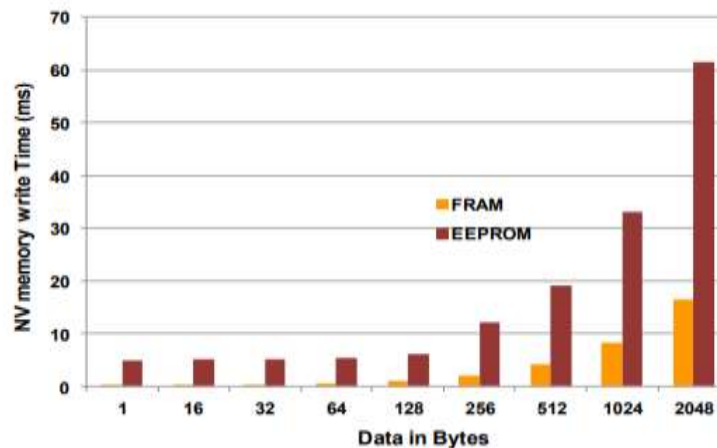


Figure 3. Write Performance in EEPROM versus F-RAM



Assenza del buffer
aggiuntivo

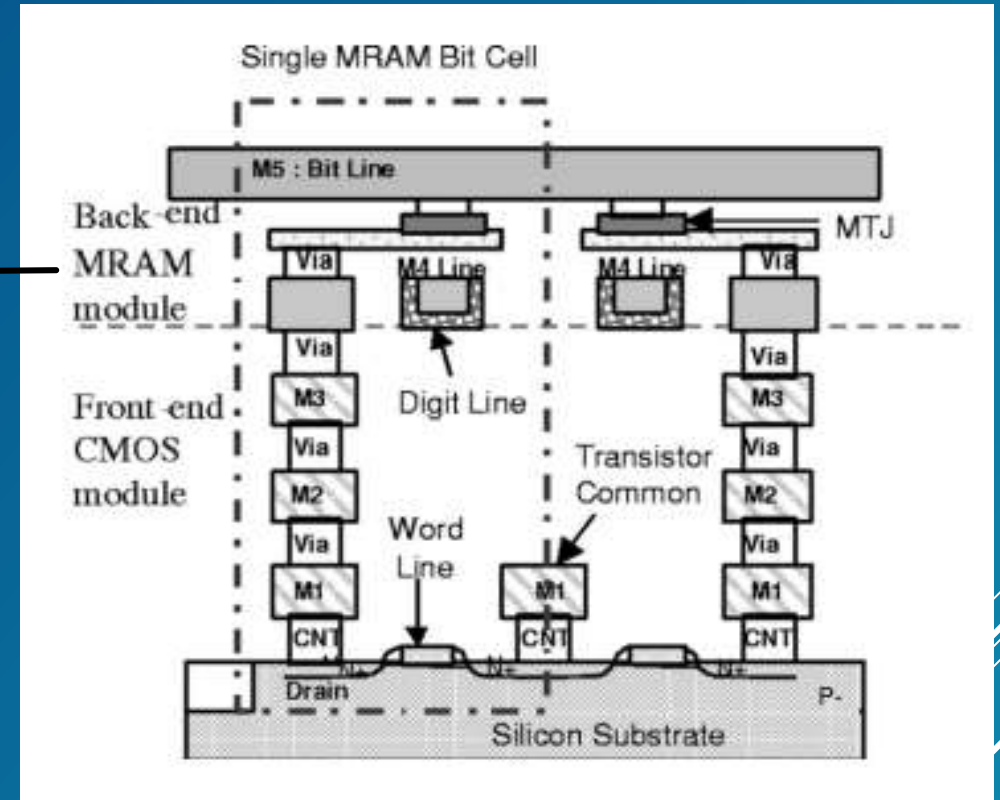
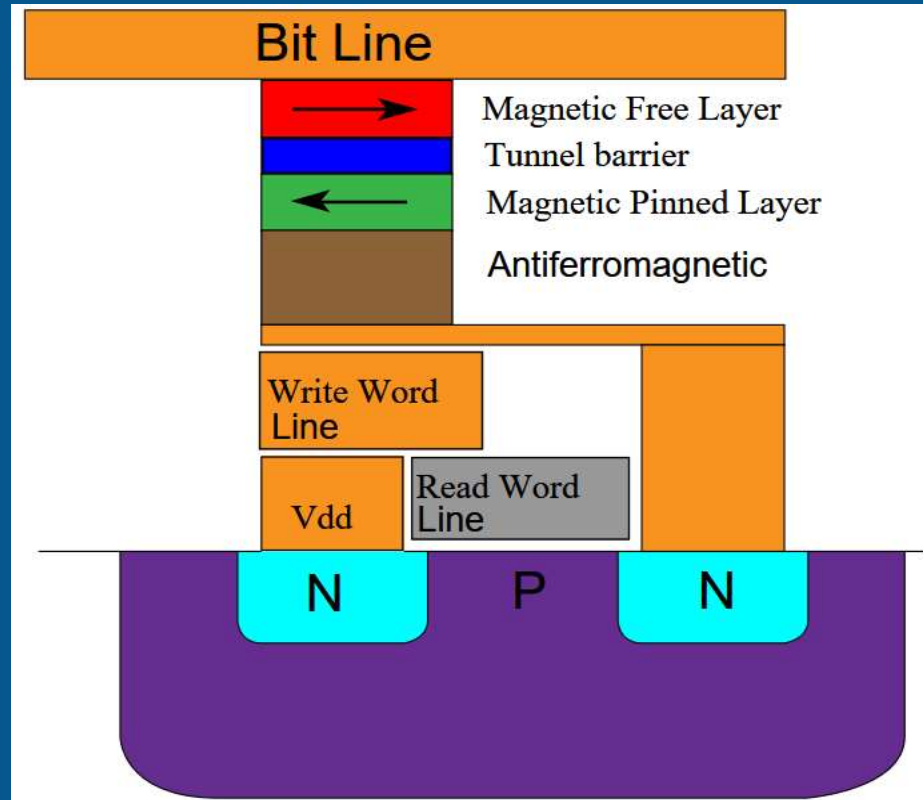
No pipelining

+ endurance

- consumi

non volatilità intrinseca

MAGNETORESISTIVE RAM



Due layers magnetoresistivi
polarizzati secondo il campo magnetico creato dagli impulsi di corrente delle piste

→ **L'informazione** varia a seconda dell'orientazione degli **spin** dei portatori di carica dei due layer (**parallelo** o **antiparallelo**)

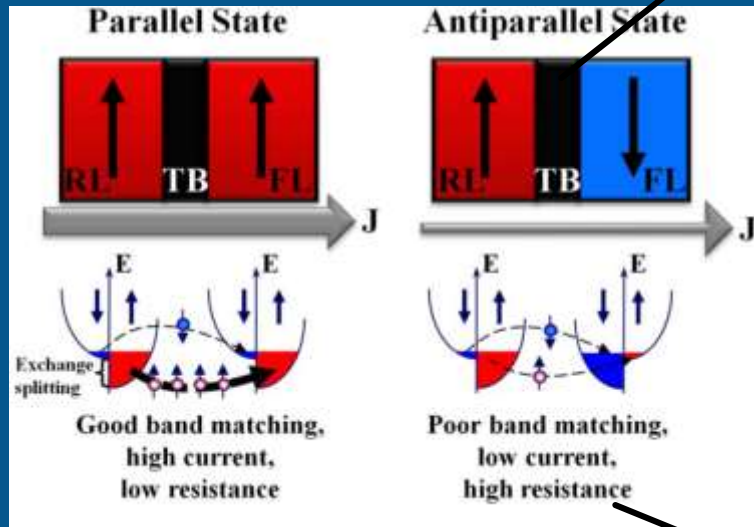
→ **Spin** rappresenta il **momento angolare** quantistico cui è sottoposto un elettrone

LETTURA E SCRITTURA MRAM

Il **bit** di informazione dipende dalla **resistenza** creata tra i layer grazie all'**effetto tunnel magnetoresistivo**

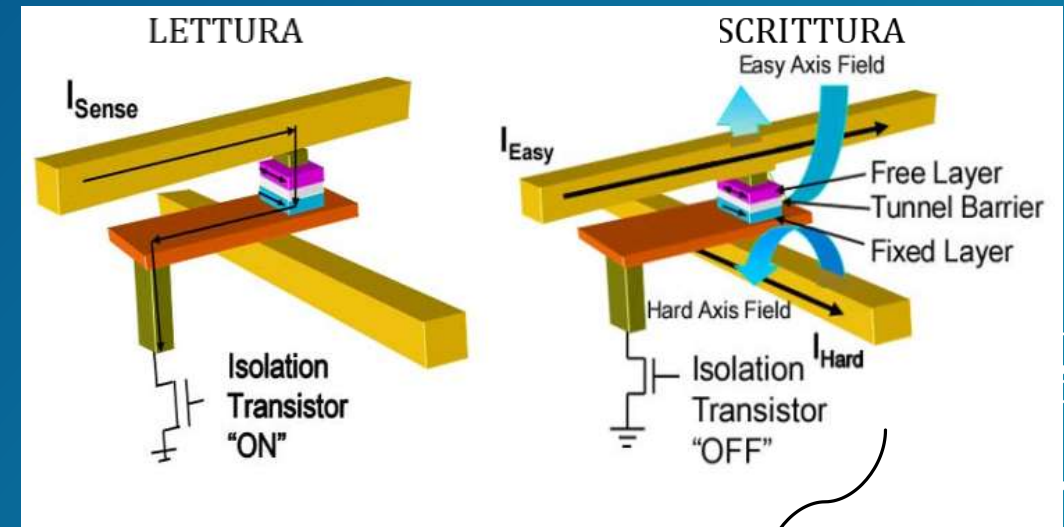


Transistor abilitato per far **fluire corrente** verso il sense amplifier che valuta il **bit contenuto a seconda dell'ampiezza di I_{Sense}**



La corrente fatta scorrere per leggere il bit contenuto è proporzionale all'inverso dello stato resistivo (**parallelo bassa R, antiparalelo alta R**)

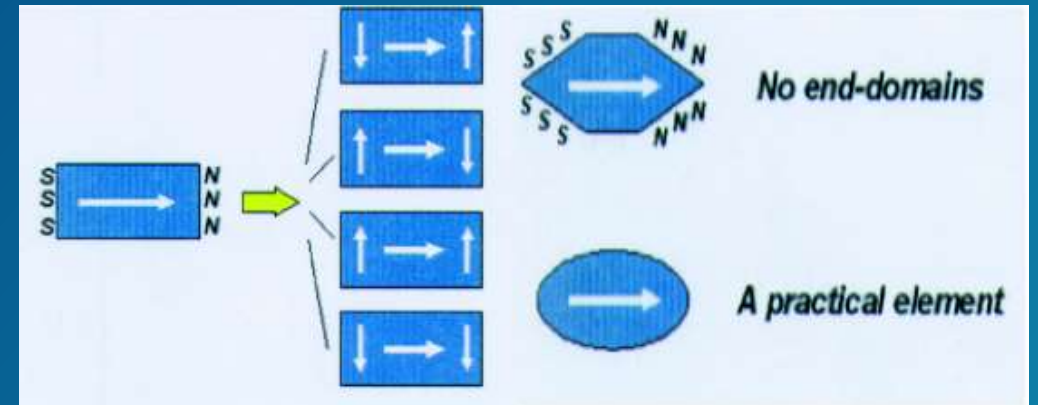
$$TMR = \frac{R_{ap} - R_p}{R_p}$$



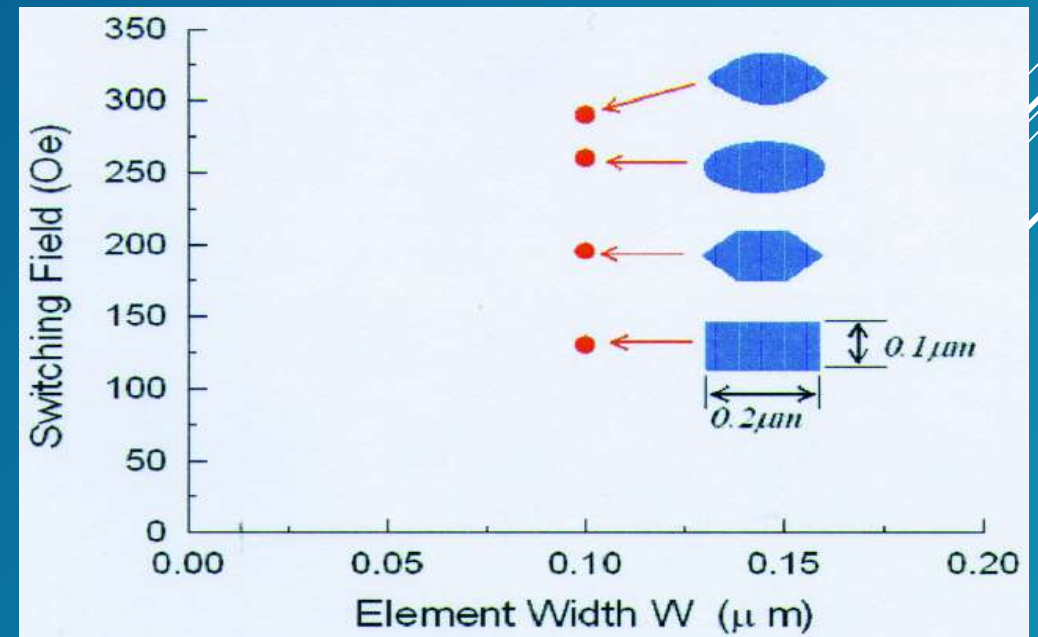
Cella selezionata prima con **attivazione** della **WL**, poi della **BL**: il campo magnetico polarizza i layer.

FORMA CELLA DI MEMORIA

Una forma **allungata** permette una **migliore polarizzazione**, quindi migliore capacità di memoria.

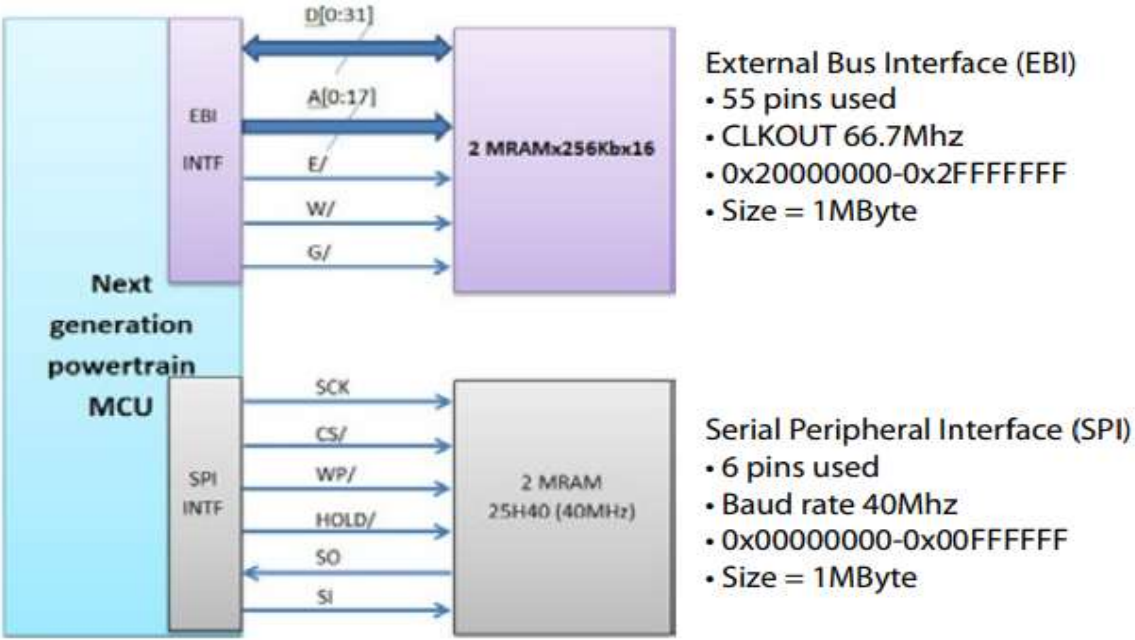
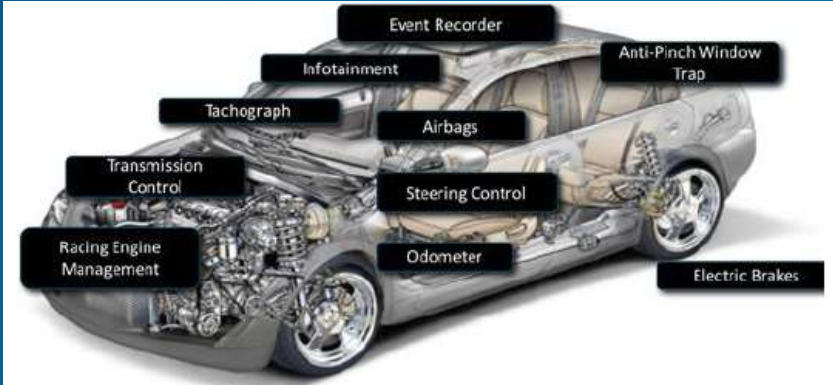


La **soglia di inversione del campo magnetico** (quindi la robustezza del sistema) è **proporzionale all'allungamento** della forma della cella.



CENTRALINA AUTO (ECU)

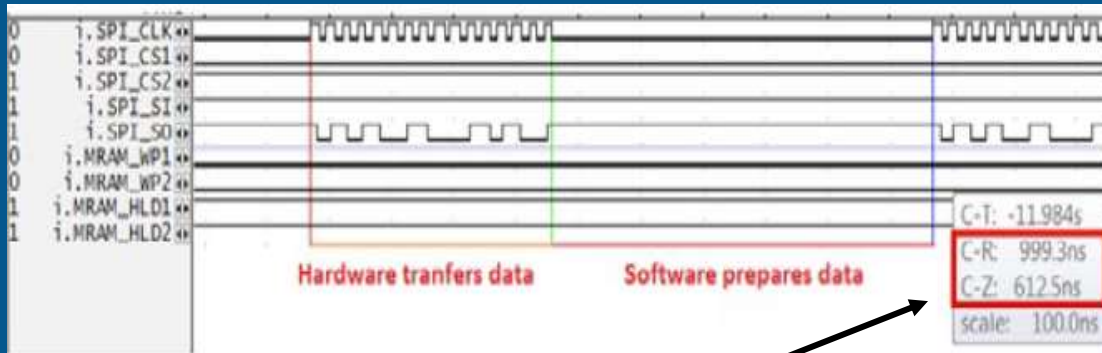
Need	eFLASH	eSRAM	eDRAM	MRAM
Low Cost	More steps	Large 6T cell	More steps	Yes
Byte Addressable	No	Yes	Yes	Yes
Low Latency	No	Yes	Yes	Yes
Persistent	Yes	No	No	Yes
CMOS Compatible	High Voltage	Yes	No	Yes
Scalable	No	High Leakage	Yes	Yes
Low Energy	No	No	No	Yes



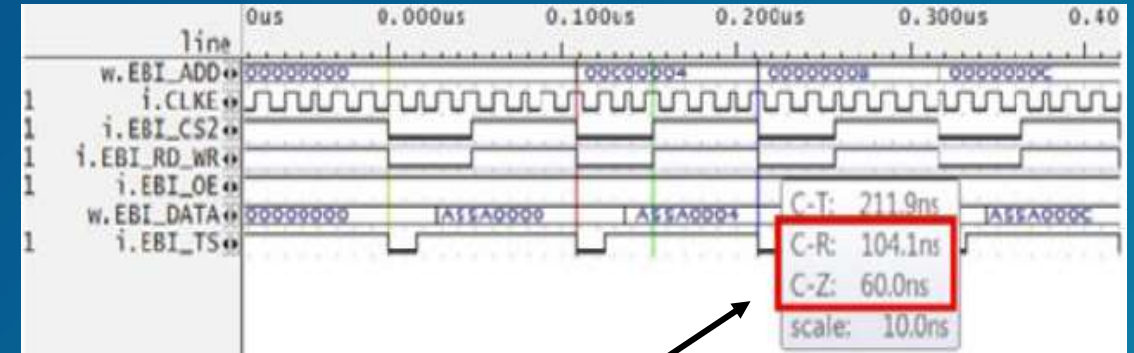
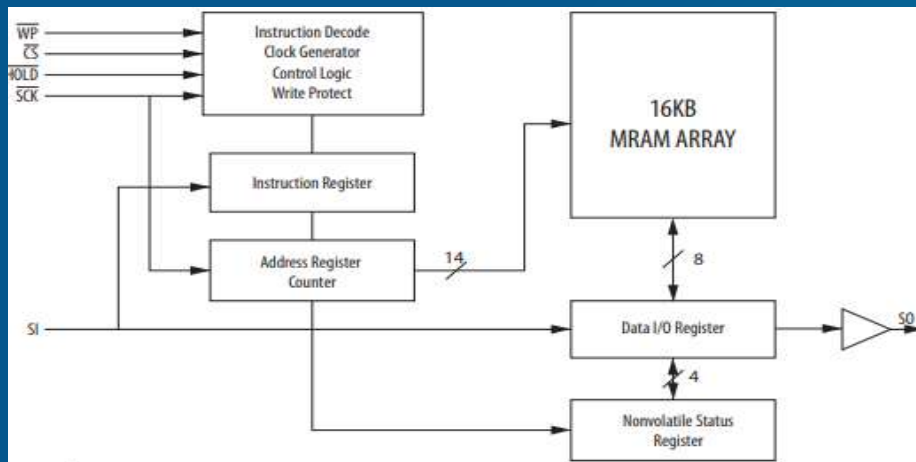
Nessuna
necessità di
bank swap

← **ECU con
memoria MRAM
SPI (MRA16A) ed
EBI (MR2xH50)
(Everspin)** →

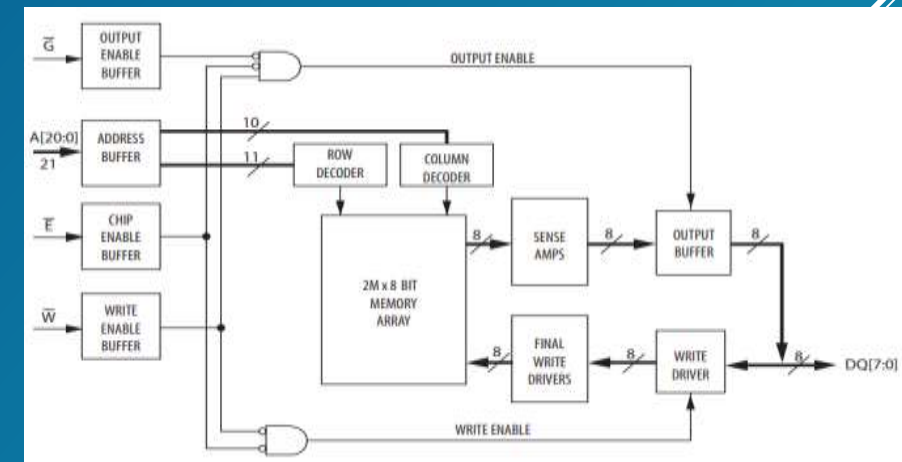
CENTRALINA AUTO (ECU)



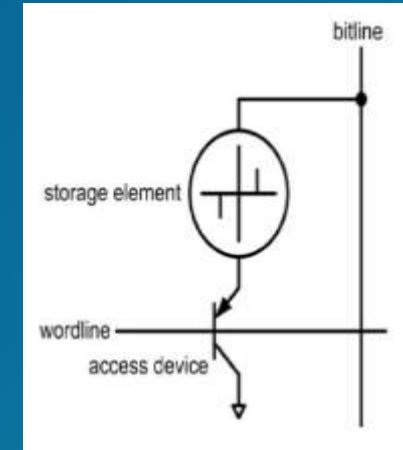
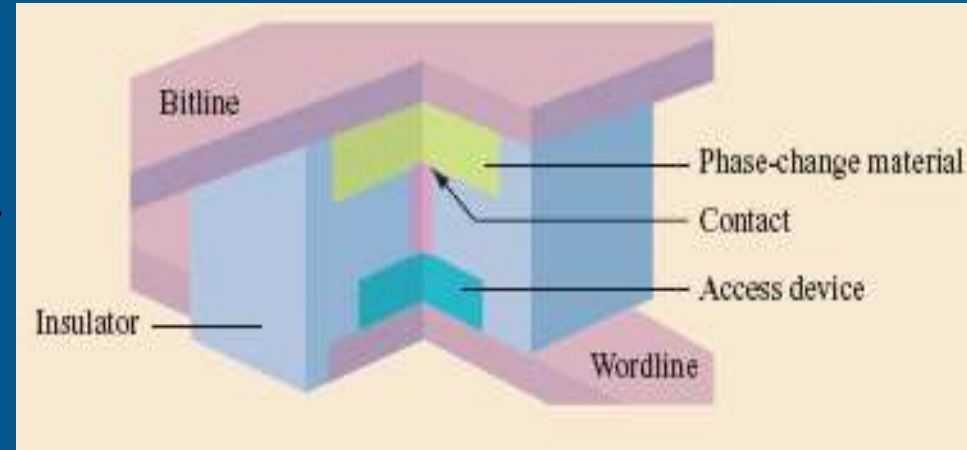
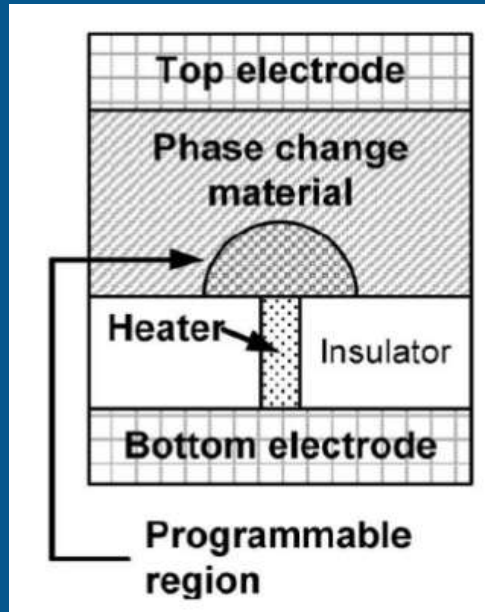
- 16 bit di dati con interfaccia SPI seriale
- Clock: 40 MHz
- Durata ciclo lettura totale (C-R): 1ms circa
- HW delay (tempo dell'SPI per trasferire 16bit di dati da un nuovo buffer): **387ns**
- SW delay (tempo del programma per inizializzare nuovi dati): **612ns**



- 32 bit di dati con interfaccia EBI parallela
- Clock: 66 MHz
- Durata ciclo lettura totale (C-R): 104ns
- HW delay: 44ns
- SW delay: 60ns



PHASECHANGE RAM



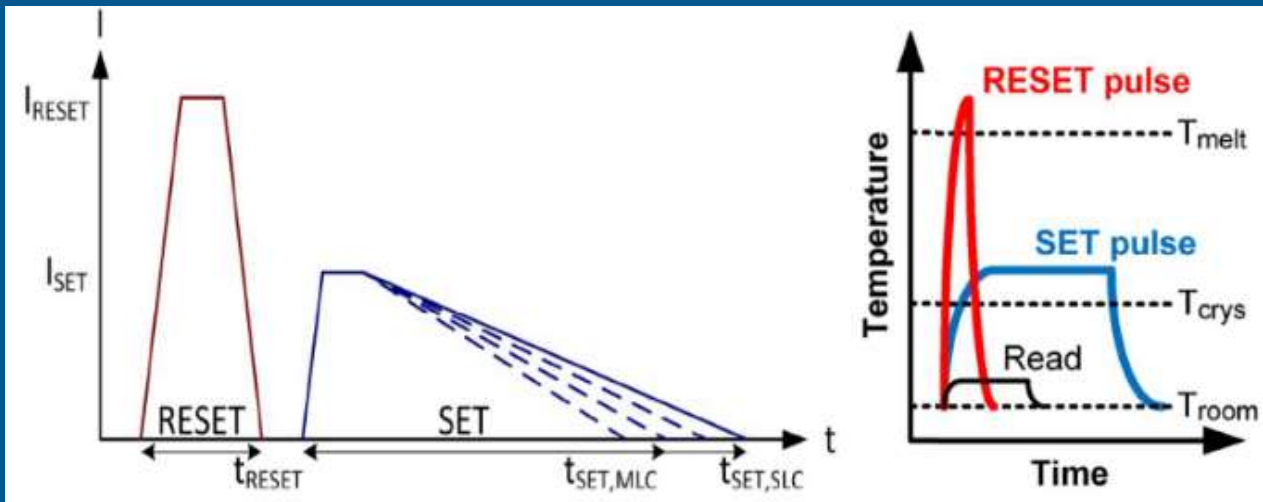
Cella di memoria con materiale a **cambiamento di fase**, cambiando **RI** attraverso una puntina (**heater**) comandata dalla **WL** (bottom electrode)

R del materiale PC **variabile**:

- **alta R** se **amorfo**;
- **Bassa R** se **cristallino**

BJT dispositivo di accesso: maggiore corrente per la modifica dello stato, tempi accesso ridotti

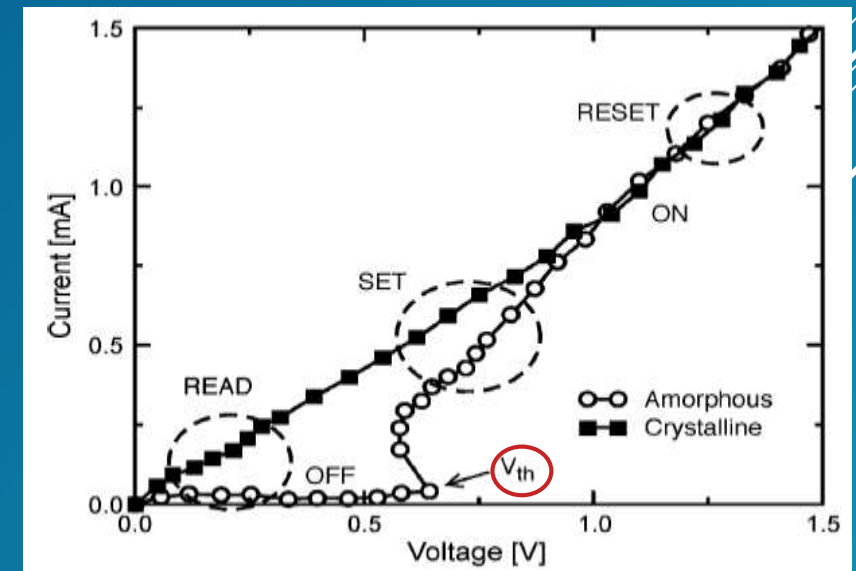
LETTURA E SCRITTURA PCRAM



Caratteristica I-V
 V_{th} rappresenta **tensione limite**
per lo switch tra gli stati:
lontano da tale valore la cella
è **robusta** nel mantenimento
dello stato

LETTURA
WL posta a 0V,
BL posta a V_{DD} ,
passaggio di corrente
attraverso la **R**:
ampiezza corrente
variabile

- SCRITTURA**
BL inattiva,
WL a due tensioni:
- **SET: da amorfo a cristallino**, impulso di ampiezza intermedia per un periodo maggiore;
 - **RESET: viceversa**, impulso con ampiezza maggiore ma per breve tempo

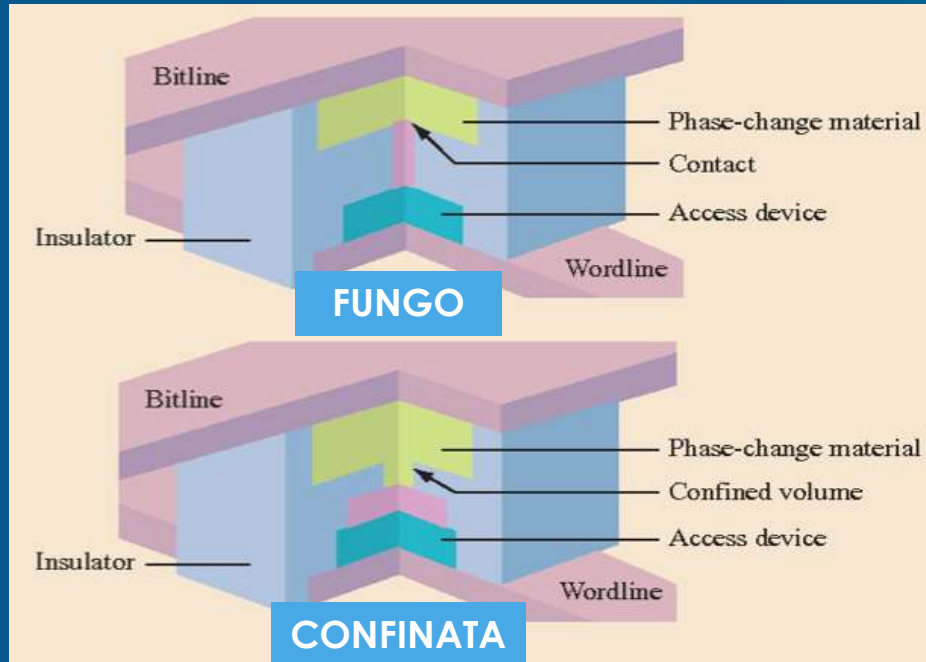


PROPRIETA' MATERIALE PC

Un materiale phase-change deve avere:

- **R** differente di vari ordini di grandezza per memoria **robusta**
- **Temperature** di scrittura diverse da quella di funzionamento
- **Cambio fase** quantificabile in **ns**

Derivati calcogenici
GST: $Ge_2Sb_2Te_5$



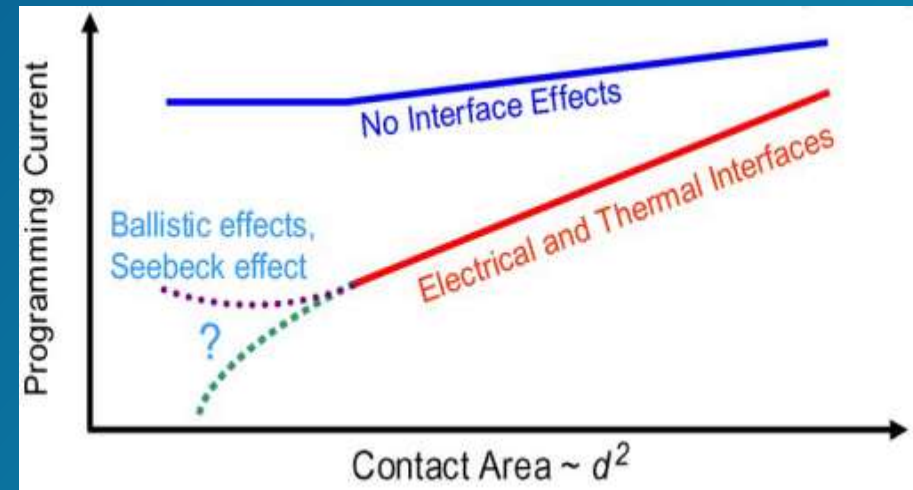
Thermal design della cella

I di scrittura

Scaling

Affidabilità

- Thermal boundary Resistance (TBR)
- Effetto Seebeck
- Conduzione balistica



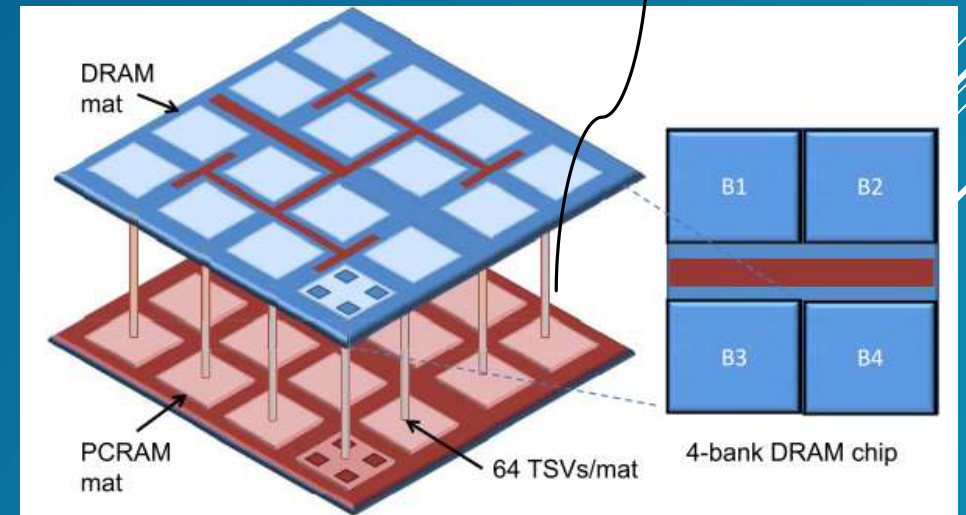
CHECKPOINTING HPS

	SRAM	DRAM	NAND flash	PCRAM	HDD
Cell size	$> 100F^2$	$6 - 8F^2$	$4 - 6F^2$	$4 - 40F^2$	-
Read time	$\sim 10ns$	$\sim 10ns$	$5\mu s - 50\mu s$	$10ns - 100ns$	$\sim 4ms$
Write time	$\sim 10ns$	$\sim 10ns$	$2 - 3ms$	$100 - 1000ns$	$\sim 4ms$
Standby power	Cell leakage	Refresh power	Zero	Zero	$\sim 1W$
Endurance	10^{18}	10^{15}	10^5	$10^8 - 10^{12}$	10^{15}
Non-volatility	No	No	Yes	Yes	Yes

Checkpoint degli stati per
aggirare i crash negli High
Performance Systems

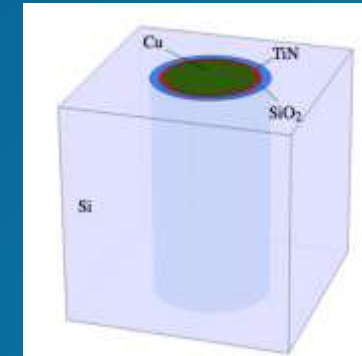


Riduzione tempi latenza degli
HD usando Hybrid PCRAM per
checkpoint di ogni nodo

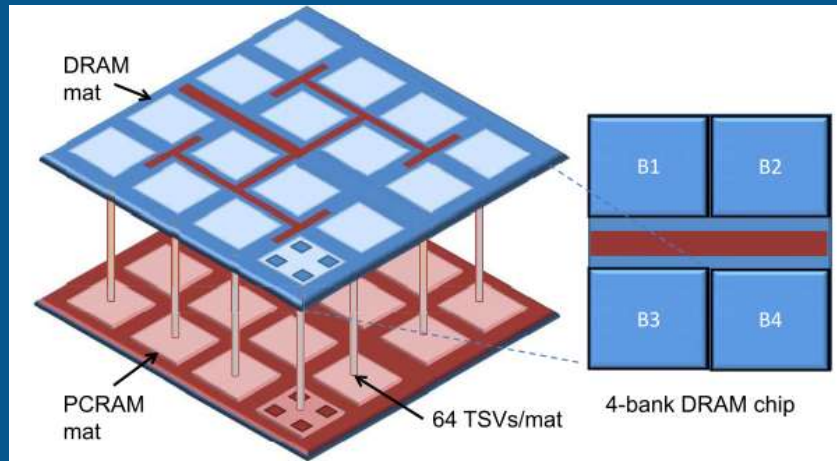


Dong et al., HP Labs, Pennsylvania

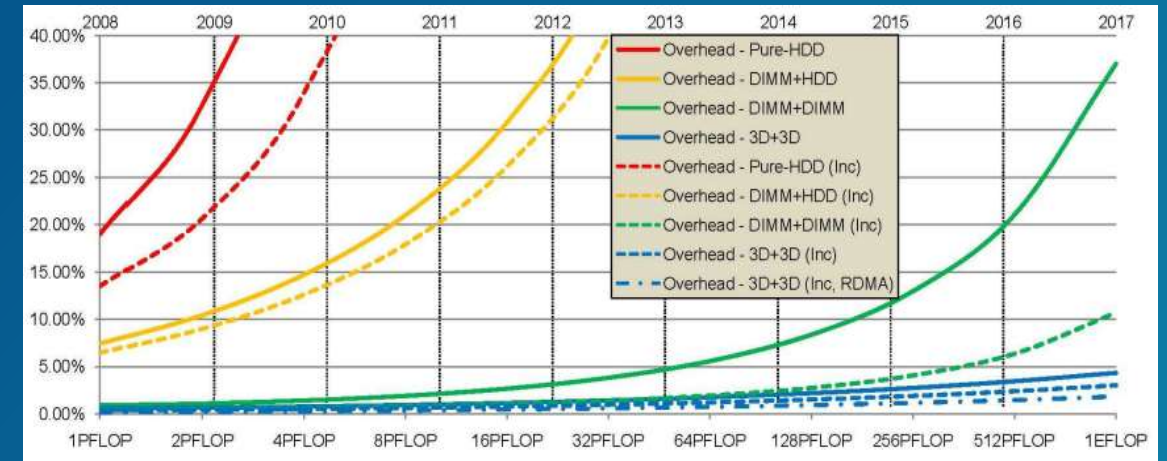
Through Silicon Via



CHECKPOINTING HPS



Ogni banco ha 4 mat (cella + logica) **collegati** tramite **address generator** e **multiplexer** che **permettono** **riduzione di carico sul bus di sistema**, quindi per **diminuire la latenza nell'accesso alla PCRAM**



Design 3D proposto permette
riduzione di checkpoint
overheading nettamente
inferiore rispetto alle soluzioni
attuali

Stime promettenti per questa
tecnologia col passare degli
anni

		DRAM		SRAM [2]	Floating-Gate [3]		FeRAM	MRAM	PCM
		Stand-Alone [1]	Embedded [2]		NOR	NAND			
Architettura di cella		1T1C	1T1C	6T	1T	1T	1T	1(2)T1C	1T1R
Feature size F (nm)	2007	68	90	65	90	90	180	90	65
	2022	12	25	13	18	18	65	22	18
Area di Cella (F ²)	2007	6	12	140	10	5	22	20	4,8
	2022	6	12	140	10	5	12	16	4,7
Tempo Accesso in Lettura	2007	< 10 ns	1 ns	0,3 ns	10 ns	50 ns	45 ns [4]	20 ns [7]	60 ns [9]
	2022	< 10 ns	0,2 ns	70 ps	2 ns	10 ns	< 20 ns [5]	< 0,5 ns	< 60 ns
Tempo Accesso in Scrittura	2007	< 10 ns	0,7 ns	0,3 ns	1 s	1 ms	10 ns [6]	20 ns [7]	50-120 ns [9]
	2022	< 10 ns	0,2 ns	70 ps	1 s	1 ms	1 ns [J]	< 0,5 ns [8]	< 50 ns
Tempo Fase Cancellazione	2007	[F]	[F]	[F]	10 ms	0,1 ms	[F]	[F]	[F]
	2022	[F]	[F]	[F]	10 ms	0,1 ms	[F]	[F]	[F]
Tempo Ritenzione Dati	2007	64 ms	64 ms	[B]	> 10 anni	> 10 anni	> 10 anni	> 10 anni	> 10 anni
	2022	64 ms	64 ms	[B]	> 10 anni	> 10 anni	> 10 anni	> 10 anni	> 10 anni
Endurance	2007	> 3X10 ¹⁶	> 3X10 ¹⁶	> 3X10 ¹⁶	> 10 ⁵	> 10 ⁵	10 ¹⁴	> 3X10 ¹⁶	10 ⁸
	2022	> 3X10 ¹⁶	> 3X10 ¹⁶	> 3X10 ¹⁶	> 10 ⁵	> 10 ⁵	> 10 ¹⁶	> 10 ¹⁶	10 ¹⁵
Energia Fase di Scrittura (J/bit)	2007	5 X 10 ⁻¹⁵ [A]	5 X 10 ⁻¹⁵	7 X 10 ⁻¹⁶	> 10 ⁻¹⁴ [C]	> 10 ⁻¹⁴ [C]	3 X 10 ⁻¹⁴ [D]	7 X 10 ⁻¹¹ [1]	5 X 10 ⁻¹² [E]
	2022	2 X 10 ⁻¹⁵ [A]	2 X 10 ⁻¹⁵	2 X 10 ⁻¹⁷	> 10 ⁻¹⁵ [C]	> 10 ⁻¹⁵ [C]	5 X 10 ⁻¹⁵ [D]	2 X 10 ⁻¹¹ [1]	< 10 ⁻¹³ [E]

Più
miniaturizzabile

Tempi Scrittura-
Lettura
simmetrici ed
elevata
endurance

Minore energia

Note: [A] Energia stimata come $0,5 \cdot C \cdot V^2$, con $C = 25\text{fF}$ e $V = 0,65\text{V}; 0,35\text{V}$ per il 2007 ed il 2022;

[B] Le SRAM conservano i dati sino a che sono alimentate, nonché non hanno bisogno di operazioni di refreshing come nel caso delle DRAM;

[C] E' proprio il limite inferiore che caratterizza l'"Effetto Fowler-Nordheim" utilizzato per le fasi di scrittura/cancellazione;

[D] Energia stimata come $0,5 \cdot p \cdot A \cdot V$, con $p = 10,9\mu\text{C}/\text{cm}^2; 30\mu\text{C}/\text{cm}^2$ e $V = 1,5\text{V}; 0,7\text{V}$ e $A = 0,33\mu\text{m}^2; 0,069\mu\text{m}^2$ rispettivamente per il 2007 ed il 2022;

[E] Energia stimata come $0,5 \cdot I^2 \cdot R \cdot t_w$, con $I = 235\mu\text{A}; 13\mu\text{A}$ e $R = 3,54\text{k}\Omega; 35,4\text{k}\Omega$ e $t_w = 50\text{ns}; < 50\text{ns}$ rispettivamente per il 2007 ed il 2022;

[F] Non sono necessarie operazioni di cancellazione per le DRAM, SRAM, FeRAM, MRAM e PCM;

GRAZIE PER L'ATTENZIONE

Several thin, parallel white lines of varying lengths and slopes are positioned in the bottom right corner of the slide, creating a modern, abstract graphic element.