



UNIVERSITÀ DI PISA

PROGETTAZIONE SISTEMI MICROELETTRONICI

AMPLIFICATORE DIFFERENZIALE CON USCITA A SOURCE FOLLOWER
AUTOPOLARIZZATO CON SPICE E GLADE

STUDENTE:

ANTONIO DI VITO

PROFESSORE:

PAOLO BRUSCHI

ANNO ACCADEMICO:

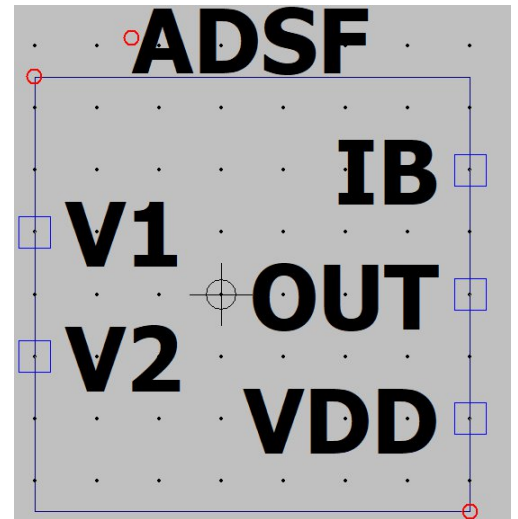
2018/2019

INTRODUZIONE

Questo progetto ha come obiettivo quello di ideare un amplificatore differenziale con tecnologia CMOS con stadio di uscita un transistor in configurazione di inseguitore di source dotato di autopolarizzazione.

Il dispositivo disporrà delle seguenti porte in ingresso e di uscita:

1. V1,V2: tensioni di ingresso
2. Ib: corrente di polarizzazione dei transistori
3. OUT: tensione di uscita
4. VDD: tensione di alimentazione



I dati a disposizione per il corretto progetto dei transistori sono i seguenti:

- Lunghezza del canale= 1 μm ;
- Correnti di polarizzazione;
- Topologia del circuito;
- Tensione di overdrive ($V_{gs}-V_t$) =200mV.

La prima specifica da ricavare è la larghezza di canale per ogni transistor necessaria per mantenerli in transistore in forte inversione in funzione della corrente di polarizzazione data.

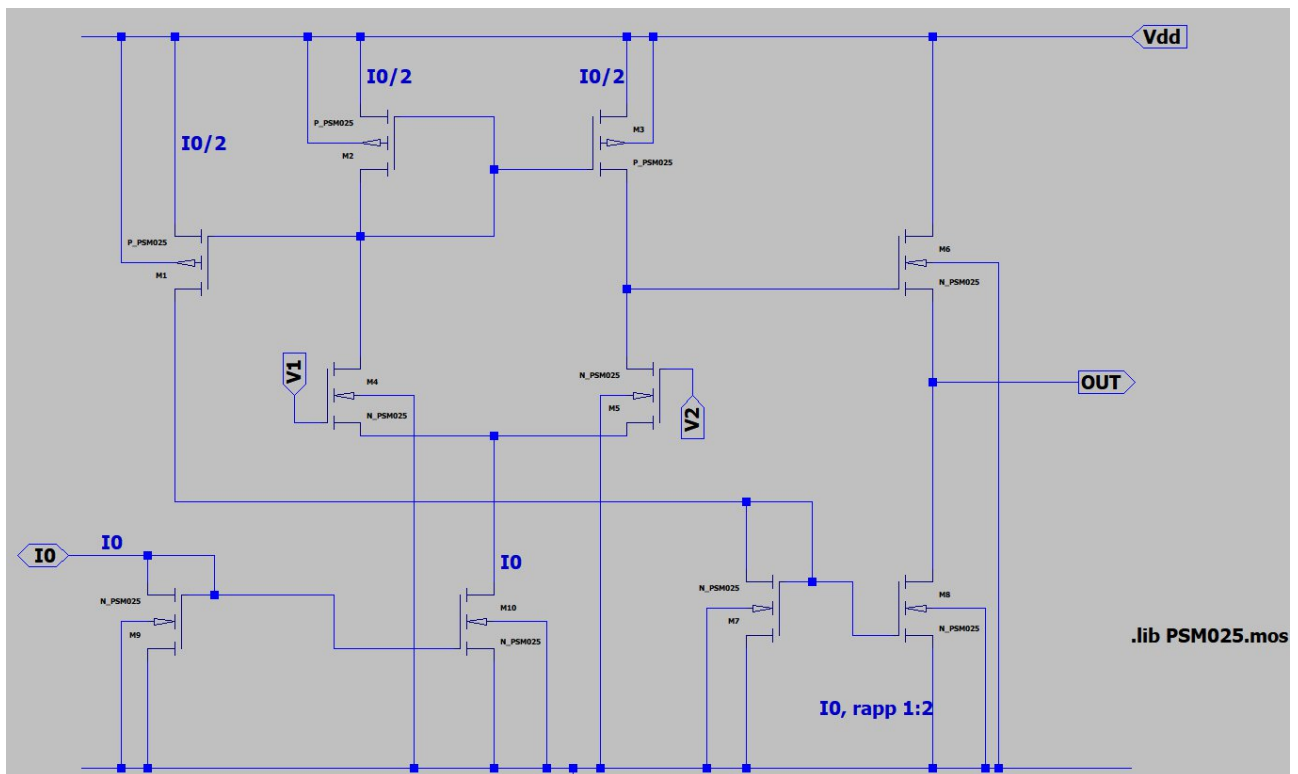
Successivamente verrà tracciato lo schematico mediante il software LTSPICE utilizzato poi per valutare il corretto funzionamento del dispositivo in tre diverse simulazioni:

1. Valutazione punto di riposo e verifica dei valori di corrente e di tensione di ogni MOSFET;
2. Configurazione differenziale: Ingressi costituiti da tensione di modo comune e tensione differenziale;

Ottenuti i risultati richiesti è stato poi tracciato il layout del circuito con l'utilizzo del software per IC layout GLADE e infine è stato effettuato un LVS per confrontare il circuito ottenuto con lo schematico.

REALIZZAZIONE DELLO SCHEMATICO

La topologia del circuito richiesta è la seguente con LTSpice:



Le correnti richieste dal progetto sono:

$I_b = 20 \mu A$ imposta in ingresso (etichettato come I0 a sx);

$I_0 = 20 \mu A$;

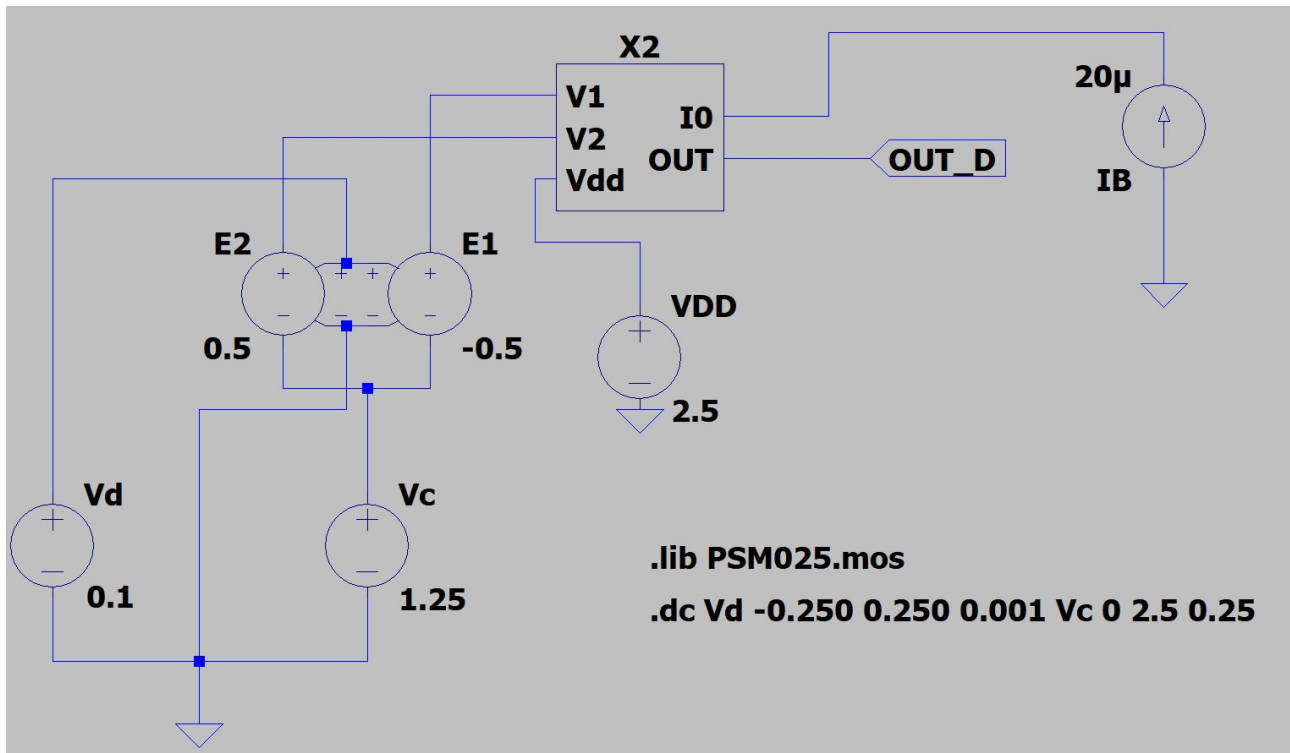
Per ottenere queste correnti e la tensione di overdrive di ciascun transistor pari a 200 mV sono state calcolate le W di ogni transistor :

n-MOS: $W_M = 2 \mu m$ M4, M5 ed M7; $4 \mu m$ gli altri

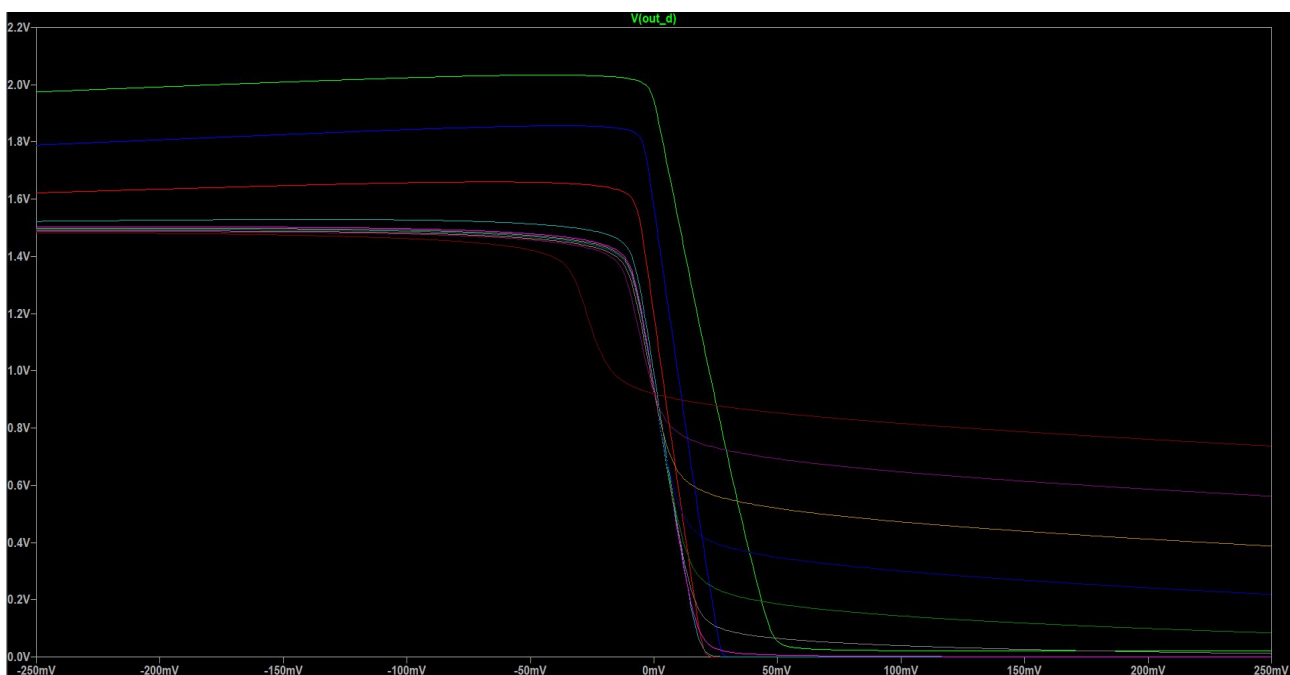
p-MOS: $W_M = 10 \mu m$.

In tal modo si ottiene un punto di riposo dei transistori adeguato al nostro scopo a meno di una tolleranza del 10%.

CONFIGURAZIONE CON INGRESSO DIFFERENZIALE

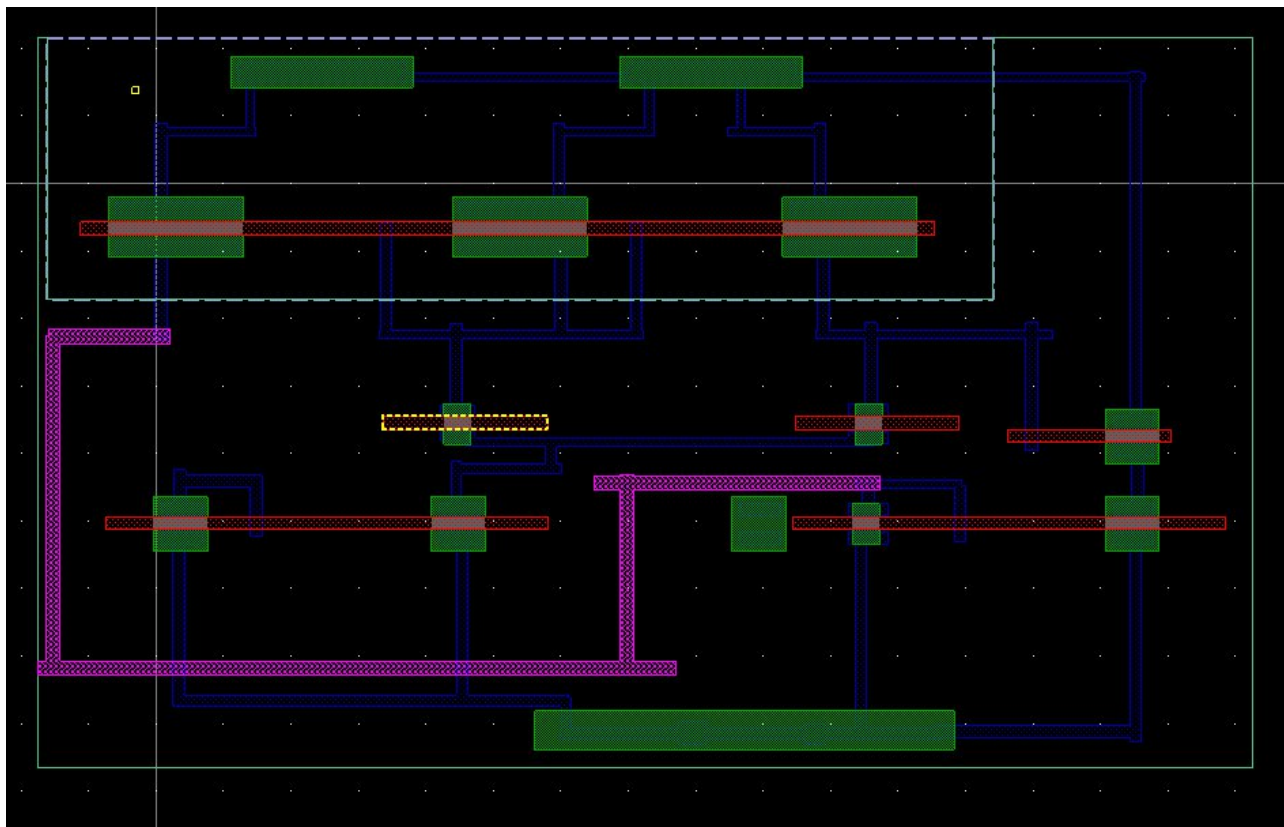
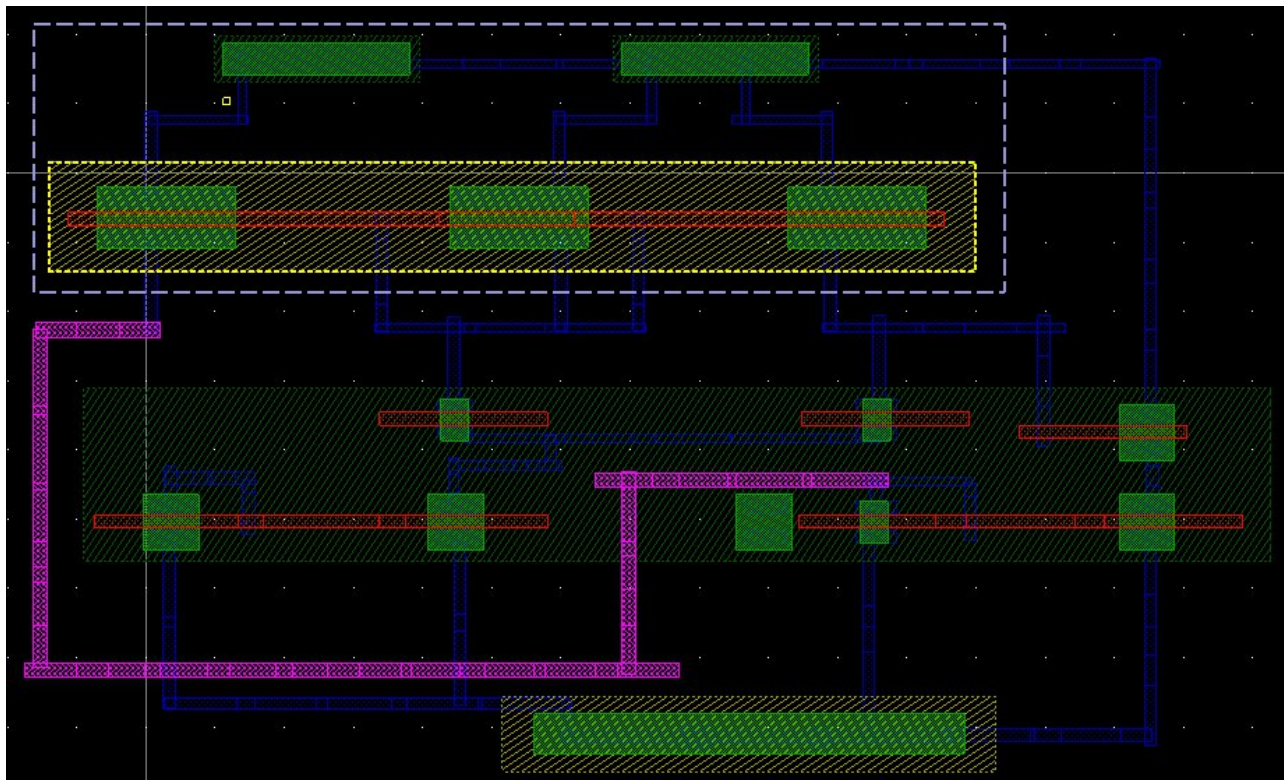


Che dà in sweep le seguenti curve (dalla verde 0 man mano fino a 2.5 ogni 0.25V):



LAYOUT

Utilizzando il software GLADE è stato implementato il seguente layout (descritto ed estratto) del circuito studiato.



Una volta eseguiti i protocolli di DRC e LPE con successo, è stato eseguito il LVS ottenendo il seguente:

Netlist summary before reduction : circuito_extracted.cdl

Number of devices : 10

Number of nets : 10

Number of ports : 0

Netlist summary before reduction : DiffAmp.cir

Number of devices : 10

Number of nets : 10

Number of ports : 0

Netlist summary after reduction :

	circuito_extracted.cdl	DiffAmp.cir
Number of devices :	9	9
Number of nets :	9	9
Number of ports :	0	0

The following transistors have property mismatches:

	circuito_extracted.cdl	DiffAmp.cir
(1) Device type:	N	N
Inst name :	MM6	M8
Model :	N_PSM025	N_PSM025
S:	n0	Vdd
D:	n2	0
G:	n8	N002
W/L: (um)	4.000/0.965	0.000/0.000
G:	n3	N004
W/L: (um)	4.000/0.965	0.000/0.000
(2) Device type:	P	P
Inst name :	MM8	M2
Model :	P_PSM025	P_PSM025
S:	n0	Vdd
D:	n6	N001
G:	n6	N001

W/L: (um)	9.990/0.965	0.000/0.000
-----------	-------------	-------------

(3) Device type: N N

Inst name :	MM2	M4
Model :	N_PSM025	N_PSM025
S:	n6	N001
D:	n7	N003
G:	n9	V1

W/L: (um)	2.005/0.965	0.000/0.000
-----------	-------------	-------------

(4) Device type: N N

Inst name :	MM0	M9
Model :	N_PSM025	N_PSM025
S:	n5	I0
D:	n2	0
G:	n5	I0

W/L: (um)	4.000/0.965	0.000/0.000
-----------	-------------	-------------

(5) Device type: N N

Inst name :	MM1	M10
Model :	N_PSM025	N_PSM025
S:	n7	N003
D:	n2	0
G:	n5	I0

W/L: (um)	4.000/0.965	0.000/0.000
-----------	-------------	-------------

(6) Device type: N N

Inst name :	MM3	M7
Model :	N_PSM025	N_PSM025
S:	n3	N004
D:	n2	0
G:	n3	N004

W/L: (um)	2.005/0.965	0.000/0.000
-----------	-------------	-------------

(7) Device type: N N

Inst name :	MM4	M5
Model :	N_PSM025	N_PSM025
S:	n8	N002
D:	n7	N003
G:	n10	V2

W/L: (um)	2.005/0.965	0.000/0.000
-----------	-------------	-------------

(8) Device type: P P

Inst name :	MM9	M3
Model :	P_	

PSM025	P_PSM025	
S:	n0	Vdd

D:	n8	N002
G:	n6	N001
W/L: (um)	9.990/0.965	0.000/0.000
(9) Device type:	P	P
Inst name :	MM7	M1
Model :	P_PSM025	P_PSM025
S:	n0	Vdd
D:	n3	N004
G:	n6	N001
W/L: (um)	9.990/0.965	0.000/0.000

9 device property errors.

11 (61%) matches were found by local matching.

All nodes were matched in 3 passes.

The netlists match.