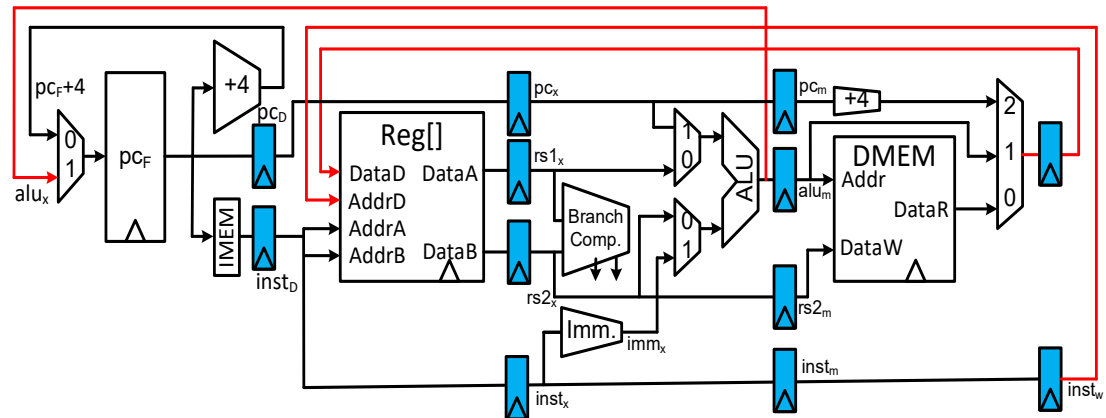


设计思路 1:

使用多核 RISC-V 来计算矩阵乘法运算



图表 1 单个核的流水线

每个核有一个流水线，将 ALU 换成 8b\*8b 乘法器，并且需要添加 bitshifter，rounding 等外围电路来对数据进行量化和更高效的表示。

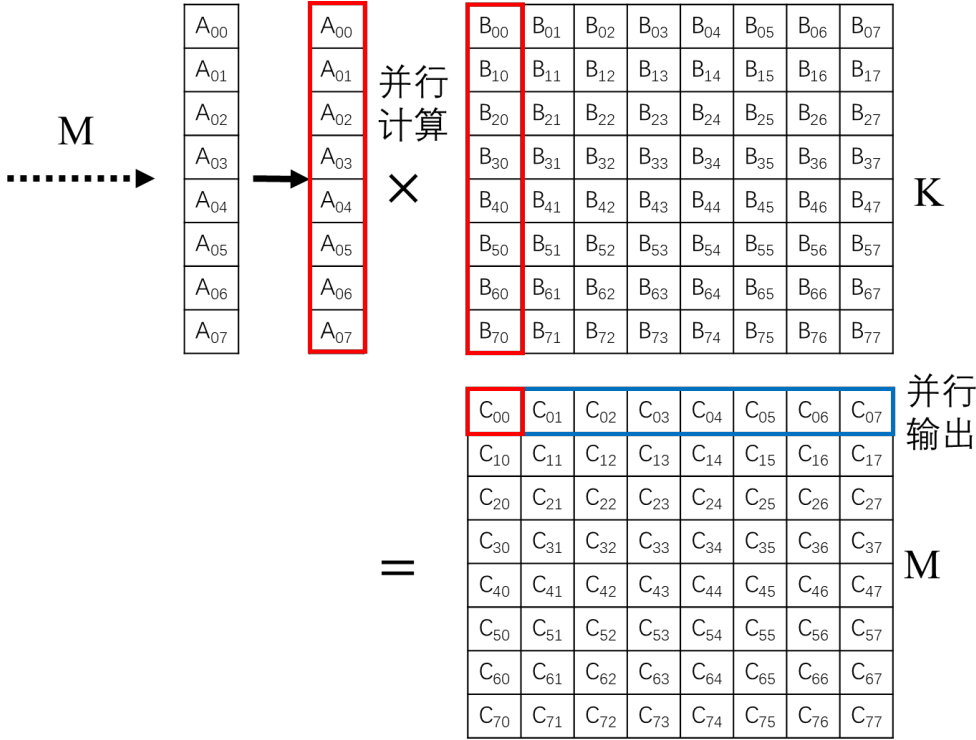
需要考虑的问题：循环展开、缓存的一致性、分枝预测等方法。

设计思路 2:

整体思路:

设计全新数据通路来深度融合存算阵列

我们将采用如图 2 所示的结构。矩阵 A 从左边按行串行输入，一行中的每一个数据与矩阵 B 的每一行进行相乘，其部分和经过相加得到一行 C 并行输出。

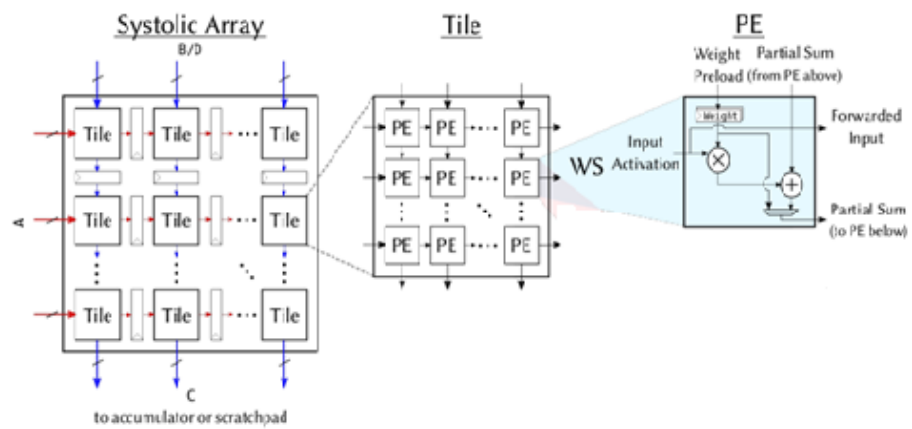


图表 2 存内计算示意图

对较大的矩阵需要进行分割，可以将输入 A、B 矩阵分别分为 4 个部分，这时每个输出 C 就包含 4 个部分和，分别对应 4 个部分的 A、B 矩阵相乘结果。将部分和存入 accumulator

中。

计算阵列用脉动阵列



将其中一个输入矩阵  $B$  预先存入 `pe_buffer` 中， $A$  按列读入进行计算，部分和会直接输入到下一个 `pe` 中。

待解决问题：量化的表示方式，符号位如何处理？