

## II examen parcial

Instrucciones de entrega: *Asignación individual. Dispone de 180 minutos para contestar todas las preguntas. La entrega debe ser un solo archivo PDF. Puede adjuntar fotos en el documento como parte de la solución. Incluya su nombre, carné universitario y grupo dentro del documento. La entrega debe realizarse en la plataforma Mediación Virtual en la entrega que se habilitará para el día de hoy. Debe mostrar todos los pasos que conllevan a su solución cuando así lo amerite. El puntaje de cada pregunta se indica en ella. Debe completar 100 puntos en total.*

1 (20 puntos) Resuelva los siguientes problemas:

(a) (6 puntos) Utilizando únicamente postulados y axiomas sobre álgebra booleana, muestre que

$$(A\overline{B}(C + B\overline{D}) + \overline{A}\overline{B})C = \overline{B}C$$

(b) (6 puntos) Utilizando únicamente postulados y axiomas sobre álgebra booleana, muestre que

$$\overline{\overline{(A + BC)} + \overline{A}\overline{B}} = A\overline{B}$$

(c) (8 puntos) Utilizando un mapa de Karnaugh simplifique la expresión

$$F = \sum_{ABCD} m(1, 3, 4, 7, 9, 11) + d(5, 6, 8)$$

donde  $d(i, j, \dots)$  significa que los mintérminos  $i, j, \dots$  pueden o no ser considerados como 1 (*don't care*). Para ello haga uso del mapa de Karnaugh mostrado en la figura 1.

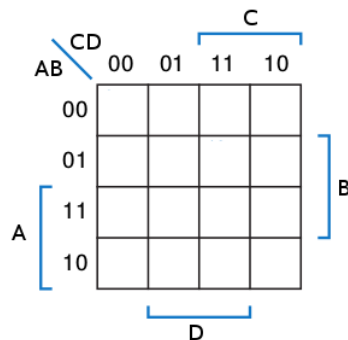


Figura 1: Mapa de Karnaugh.

- 2 (20 puntos) Un hotel cuenta con 4 habitaciones  $A, B, C, D$ . Para hacer una distribución equitativa en el sistema de suministro eléctrico, es de interés saber cuándo hay 1, 2 o 3 habitaciones ocupadas. El sistema central recibe las señales  $A, B, C, D$  de cada habitación, de forma que el valor de una señal es 1 cuando la habitación está ocupada, o 0 si no.
- (a) (15 puntos) Diseñe un circuito que reciba de entrada las señales  $A, B, C, D$  y tenga como salidas las señales  $X, Y$ , de forma que  $X = 1$  cuando hay cualesquiera 1 o 2 habitaciones ocupadas, y  $Y = 1$  cuando hay 3 y únicamente 3 habitaciones ocupadas. Incluya en su solución tablas de verdad y encuentre expresiones mínimas para  $X$  y  $Y$ . Haga un dibujo de su circuito.
- (b) (5 puntos) Al sistema ya diseñado en la parte anterior, se desea agregarle una señal de *full* activa en bajo (FULL\_L) que indique cuándo todas las habitaciones están ocupadas. Agregue esta señal al diseño de su circuito anterior.

3 (20 puntos) Complete el diagrama de temporización de la figura 2 e indique la cuenta. Q2 es el MSB.

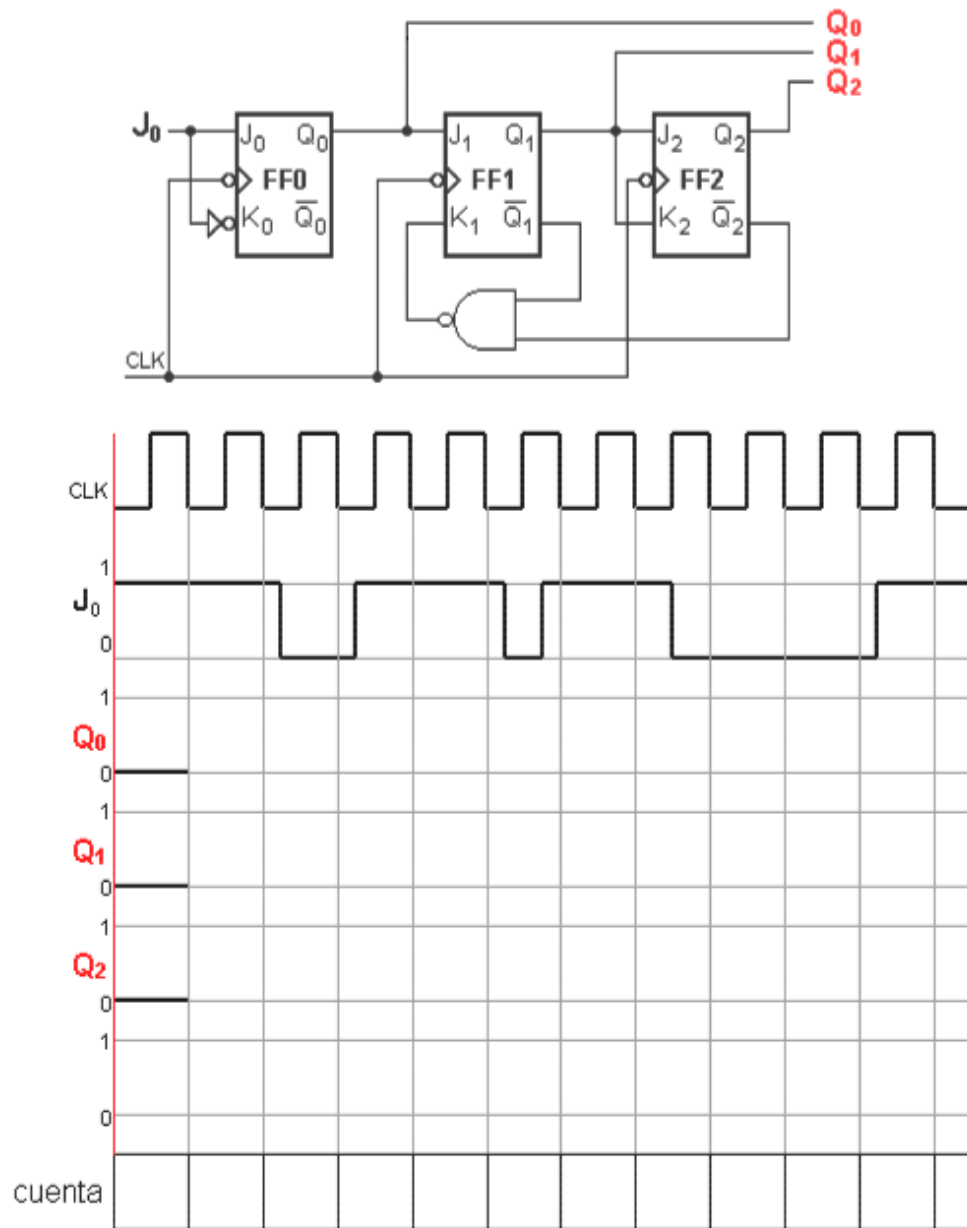


Figura 2: Diagrama del problema 3.

4 (20 puntos) Considere la máquina de estados de la figura 3. Utilizando los nombres  $A \rightarrow H$  para los estados  $Q_1Q_2Q_3 = 000 \rightarrow 111$  determine:

- (a) (3 puntos) Ecuaciones de excitación.
- (b) (10 puntos) Tabla de transición de estados.
- (c) (3 puntos) Ecuaciones de las salidas.
- (d) (4 puntos) Diagrama de estados.

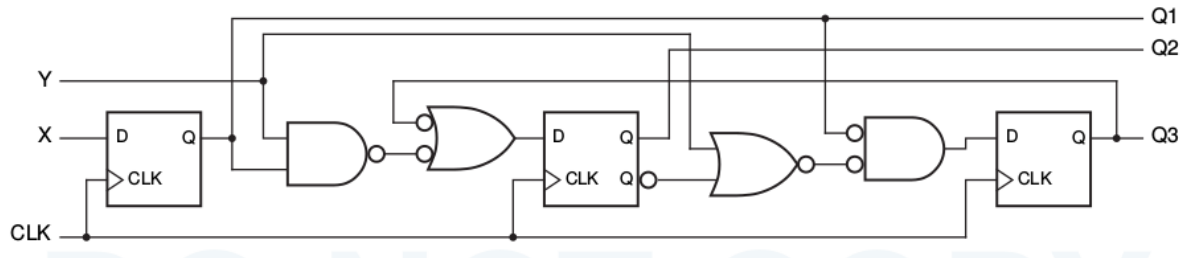


Figura 3: Máquina de estados del problema 4.

5 (20 puntos)

- (a) (3 puntos) Explique a qué se refiere el concepto de volatilidad en una memoria.
- (b) (3 puntos) Explique a qué se refiere el hecho de que algunas memorias ocupan un mecanismo de refrescamiento.
- (c) (3 puntos) Explique qué es la jerarquía de memoria. Explique los niveles.
- (d) (4 puntos) Comente acerca de la importancia de las interrupciones en un procesador.
- (e) (4 puntos) En una memoria caché, explique qué ventajas y desventajas hay en usar mapeo asociativo *vs* mapeo directo.
- (f) (3 puntos) Recordemos que en una memoria caché cuando se usa mapeo asociativo por conjuntos se cumple la relación  $m = v \times k$ , donde  $m$  es la cantidad de líneas del caché,  $v$  es el número de conjuntos, y  $k$  es la cantidad de líneas en cada conjunto. ¿A qué se reduce esto cuando  $k = 1$ ? ¿y cuando  $k = m$ ? Explique.

6 (20 puntos) Se dispone de una memoria principal de 1024 bloques, donde cada bloque es de 4 bytes. El tamaño de cada palabra (unidad direccionable) es de 1 byte. Se dispone también de una memoria caché de 64 líneas, donde cada línea almacena 1 bloque de memoria. El sistema utiliza mapeo directo. Con esta información,

- (a) (6 puntos) Determine la capacidad de la memoria principal y de la memoria caché.
- (b) (14 puntos) Para cada una de las siguientes direcciones<sup>1</sup> determine la línea del caché donde se guarda la dirección y el *tag* asociado. En caso de haber colisión especifique cuáles direcciones colisionan.
  - (i)  $12'hC04$
  - (ii)  $12'h380$
  - (iii)  $12'h480$
  - (iv)  $12'hFE8$

---

<sup>1</sup>la notación  $12'hx$  significa que el número  $x$  es de 12 bits y está escrito en hexadecimal. Por ejemplo  $12'h044 = (0000\ 0100\ 0100)_2 = 68$

7 (20 puntos). A continuación se presenta un programa escrito con instrucciones del procesador didáctico visto en clase (CPUCR) <sup>2</sup> En el cuadro 1 se presenta información útil del procesador, a manera de recordatorio.

```

START  LDA $4
LOOP   PHA
        LDA @1000
        ADD $1
        STA @1000
        PLA
        SUB $1
        BNE LOOP
SAVE    STA (@1001)
        HLT

```

Asuma que al inicio la pila está vacía, y el *PC* apunta a la dirección etiquetada como START. Además, se tiene las siguientes posiciones en memoria y su contenido:

Posición	Valor
@1000	@06
@1001	@05
@1002	@03
⋮	⋮
@0305	@01
⋮	⋮
@0503	@07

Determine:

- (8 puntos) El valor final del acumulador.
- (6 puntos) El estado final (datos) de la pila.
- (6 puntos) El contenido de las posiciones @1000, @0305 y @0503.

---

<sup>2</sup>La notación @12 indica que el número está en base octal. Por ejemplo @12 = (001 010)<sub>2</sub> = 10.

Notación	Descripción
LDA \$3	Direccionamiento inmediato
LDA X	Direccionamiento directo
LDA (X)	Direccionamiento indirecto. La primera posición leída es la parte baja y la siguiente dirección es la parte alta de la dirección final.
LDA	Cargue acumulador. Operando se obtiene según el modo de direccionamiento y argumento
STA	Guarde acumulador. Dirección se calcula según el modo de direccionamiento y argumento
SUB	Reste al acumulador. Operando se calcula según el modo de direccionamiento y argumento
PHA	Apile el acumulador.
PLA	Desapile el acumulador.
BNE	Salte si el acumulador es distinto de 0.
HLT	Deténgase.

Cuadro 1: Información para el problema 7.



8 (20 puntos) Compruebe mediante un diagrama de temporización que el circuito de la figura 4 es un contador BCD. Asuma que al inicio todos los valores  $Q_i$  son cero.

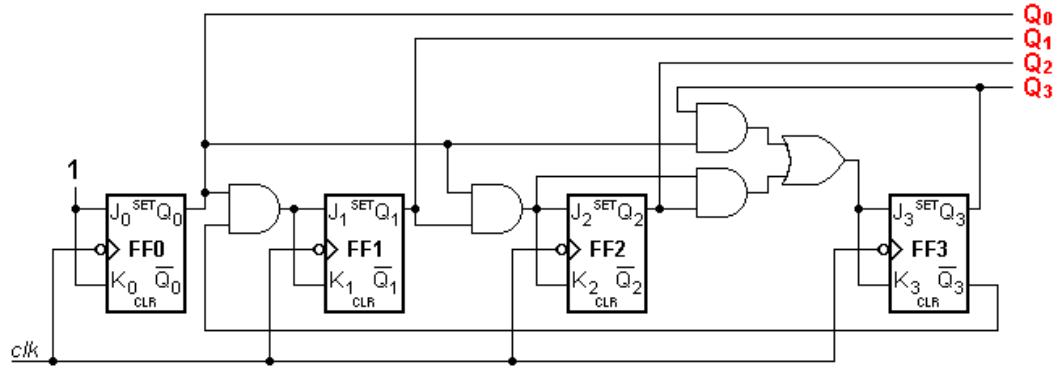


Figura 4: Diagrama del problema 8.