

Laboration 1

Asynkron seriell dataöverföring via optisk länk

Kravspecifikation

Lennart Bengtsson

Version 1.4

Status

| | | |
|----------|--|--|
| Granskad | | |
| Godkänd | | |

Asynkron seriell dataöverföring via optisk länk.**PROJEKTIDENTITET**

Laborationsgrupp, vt-01 2003

Linköpings Tekniska Högskola, Institutionen för systemteknik

Gruppdeltagare

| Namn | Ansvar |
|---------------|-----------|
| Gruppmedlem 1 | Sändare |
| Gruppmedlem 2 | Sändare |
| Gruppmedlem 3 | Sändare |
| Gruppmedlem 4 | Mottagare |
| Gruppmedlem 5 | Mottagare |
| Gruppmedlem 6 | Mottagare |

Kund: Datorteknik, ISY, 581 83 Linköping,

Kundtel.: 013-28 10 00, Fax: 013-13 92 82, da@isy.liu.se

Asynkron seriell dataöverföring via optisk länk.

Innehåll

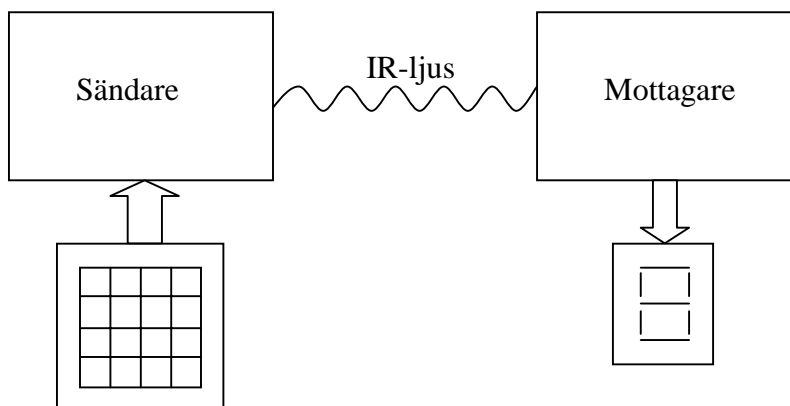
| | |
|--|-----------|
| STATUS..... | 1 |
| PROJEKTIDENTITET | 2 |
| DOKUMENTHISTORIK | 4 |
| 1 INLEDNING..... | 5 |
| 1.1 PARTER..... | 5 |
| 1.2 MÅL | 5 |
| 1.3 ANVÄNDNING | 5 |
| 1.4 BAKGRUNDSINFORMATION..... | 5 |
| 1.5 DEFINITIONER..... | 5 |
| 2 ÖVERSIKT AV SYSTEMET | 6 |
| 2.1 GROV BESKRIVNING AV PRODUKTEN | 6 |
| 2.2 INGÅENDE KOMPONENTER..... | 6 |
| 2.3 BEROENDEN TILL ANDRA SYSTEM | 6 |
| 2.4 INGÅENDE DELSYSTEM | 6 |
| 2.5 DESIGNFILOSOFI | 6 |
| 2.6 GENERELLA KRAV PÅ HELA SYSTEMET..... | 7 |
| 3 DELSYSTEM 1: SÄNDARE..... | 7 |
| 3.1 INLEDANDE BESKRIVNING AV DELSYSTEM 1..... | 7 |
| 3.2 GRÄNSSNITT..... | 8 |
| 3.3 DESIGNKRAV | 8 |
| 4 DELSYSTEM 2: MOTTAGARE | 8 |
| 4.1 INLEDANDE BESKRIVNING AV DELSYSTEM 2..... | 9 |
| 4.2 GRÄNSSNITT..... | 9 |
| 4.3 DESIGNKRAV | 10 |
| 5 EKONOMI..... | 10 |
| 6 LEVERANSKRAV OCH DELLEVERANSER..... | 10 |
| 7 DOKUMENTATION..... | 10 |
| 8 KVALITETSKRAV..... | 10 |
| APPENDIX A: PINKONFIGURATION FÖR XC9536 (UTDRAG UR DATABLAD)..... | 11 |

Dokumenthistorik

| Version | Datum | Utförda förändringar | Utförda av | Granskad |
|---------|------------|--|------------|----------|
| 0.1 | 2002-06-03 | Preliminärt utkast | LB | |
| 0.9 | 2002-06-13 | Första utkast | LB | |
| 1.0 | 2002-11-17 | Ändringar efter granskning | LB | TS |
| 1.1 | 2003-11-17 | Korrigeringar efter första laborationsrundan | LB | TS |
| 1.2 | 2004-10-06 | Rättning av smärre korrekturfel | LB | TS |
| 1.3 | 2005-04-12 | Förtydliganden kring VHDL-koden | LB | TS |
| 1.4 | 2007-09-06 | Lay-out-förändringar | LB | TS |

1 Inledning

En siffra inmatad från ett hexadecimalt tangentbord ska sändas seriellt över en IR-länk och presenteras på mottagarsidan på en sjusegmentdisplay.



Figur 1. Systemet i dess omgivning.

I detta dokument kommer alla krav att beskrivas med en tabellrad enligt nedan:

| Krav nr x | Förändring | Kravtext för krav nr 1 | prioritet |
|-----------|------------|------------------------|-----------|
|-----------|------------|------------------------|-----------|

Kravnummer är löpande genom hela texten. Kolumn två anger om det rör sig om ett original eller ett reviderat krav. I kolumn tre finner man kravets ordalydelse och i kolumn fyra dess prioritet. Prioritet 1 betyder obligatorisk uppgift, prioritet 2 frivillig.

1.1 Parter

Kund är Datorteknik, ISY. Producent är laborationsgruppen.

1.2 Mål

Att utveckla hårdvara, i form av en CPLD, för en seriell sändare av ett hexadecimalt tecken samt för en dito mottagare.

1.3 Användning

Konstruktionen utgör laboration 1 i kursen Elektronikprojekt Y.

1.4 Bakgrundsinformation

Pinkonfiguration för Xilinx XC9536 (PC44) finns i appendix A.

1.5 Definitioner

IR = infrarött.

Asynkron seriell dataöverföring via optisk länk.

2 Översikt av systemet

Systemet ska bestå av två delar: sändare respektive mottagare.

Sändaren ska hämta indata från det hexadecimala tangentbordet och leverera utdata till IR-sändaren.

Mottagaren ska hämta indata från IR-mottagaren och leverera utdata till sjusegmentdisplayen.

2.1 Grov beskrivning av produkten

Sändaren respektive mottagaren ska drivas med var sin klocka. Klockorna ska justeras till samma frekvens. En sändning ska inledas med en startbit, vilken ska följas av fyra databitar med LSB först och avslutas med en stoppbit. Varje bit ska vara 16 klockintervall lång. Det utsända pulståget måste vara rippelfritt.

Mottagaren ska känna av när inkommande signal växlar från noll till ett (= startbit). Inkommande databitar ska sedan läsas av så nära mitten av bitintervallet som möjligt. På så sätt kan en viss avvikelse i klockfrekvens tillåtas.

2.2 Ingående komponenter

2 st CPLDer Xilinx XC9536 PC44 (sändare resp. mottagare).

VHDL-kod.

Hexadecimalt tangentbord.

IR-sändare.

IR-mottagare.

2 st klockmoduler.

Sjusegmentdisplay med hex/7-segment avkodare.

Lysdiod med drivare.

2.3 Beroenden till andra system

Inget.

2.4 Ingående delsystem

Konstruktionen ska bestå av två delar: sändare respektive mottagare.

2.5 Designfilosofi

Gruppens ena halva ska ansvara för sändaren, den andra halvan för mottagaren. Delarna ska simuleras och kunna testas var för sig. De båda klocksignalerna ska sedan ställas in så att de har samma frekvens, varefter sändarens och mottagarens gemensamma funktion ska testas.

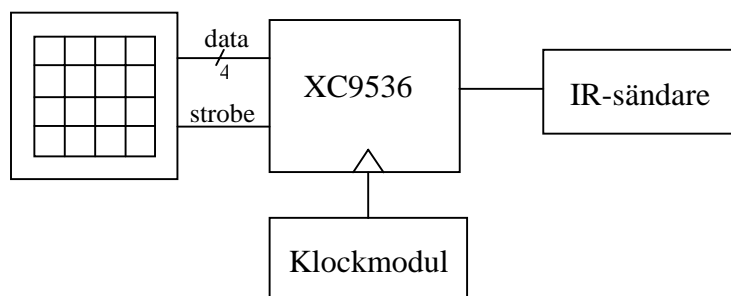
Asynkron seriell dataöverföring via optisk länk.

2.6 Generella krav på hela systemet

| | | | |
|------------------|-----------------|---|---|
| Krav nr 1 | Original | Systemet ska kunna sända och ta emot ett hexadecimalt tecken. | 1 |
| Krav nr 2 | Original | Informationen ska överföras seriellt via optisk länk. | 1 |
| Krav nr 3 | Original | Data ska kunna sändas och mottas med upp till c:a 60 bit/s. | 1 |
| Krav nr 4 | Original | Indata levereras parallellt från tangentbordet. | 1 |
| Krav nr 5 | Original | Utdata presenteras parallellt på sju segmentdisplay. | 1 |
| Krav nr 6 | Original | Systemet ska innehålla funktioner för enkelfelsupptäckt. | 2 |
| Krav nr 7 | Original | Systemet ska innehålla funktioner för enkelfelsrättning. | 2 |

3 Delsystem 1: Sändare

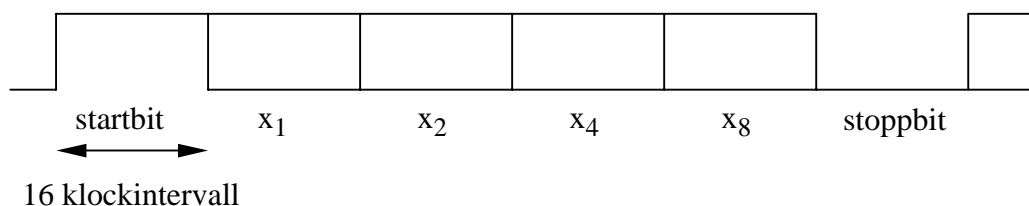
Sändaren ska utgöras av en CPLD (XC9536), ett hexadecimalt tangentbord, en klockmodul samt en IR-sändare.



Figur 2. Sändare

3.1 Inledande beskrivning av delsystem 1

För varje knappnedtryckning ska en startbit sändas följt av fyra databitar och en stoppbit, se figur 3. LSB ska sändas först. Varje bit ska vara 16 klockintervall lång. Pulståget ska vara rippelfritt. Under pågående sändning får inga tryckningar göras.



Figur 3. Pulståg från sändaren

Asynkron seriell dataöverföring via optisk länk.

| | | | |
|-------------------|-----------------|--|---|
| Krav nr 8 | Original | Pulståget ska vara rippelfritt. | 1 |
| Krav nr 9 | Original | Pulståget ska ha en startbit (logiskt ett), 4 databitar samt en stoppbit (logiskt noll). | 1 |
| Krav nr 10 | Original | Minst signifikant bit (LSB) ska sändas först. | 1 |
| Krav nr 11 | Original | Varje bit ska vara 16 klockintervall lång. | 1 |
| Krav nr 12 | Original | Ny sändning påbörjas först när innevarande avslutats. | 1 |
| Krav nr 13 | Original | En knappnedtryckning ska, oberoende av längd, resultera i att en och endast en siffra sänds. | 1 |
| Krav nr 14 | Original | Sändaren ska simuleras i ModelSim. | 1 |
| Krav nr 15 | Original | Sändaren ska kunna testas separat. | 1 |
| Krav nr 16 | Original | Paritetsbit ska sändas för att möjliggöra enkelfelsupptäckt. | 2 |
| Krav nr 17 | Original | Erforderligt antal paritetsbitar ska sändas för att möjliggöra enkelfelsrättning. | 2 |

3.2 Gränssnitt

Hexadecimalt tangentbord: En tangentnedtryckning medför att data (x_8, x_4, x_2, x_1) läggs ut på datautgångarna. När data ligger stabilt aktiveras signalen strobe (aktivt hög). När tangenten släpps upp går strobe låg, men data ligger kvar.

IR-sändaren: Sänder en modulerad signal så länge dess insignal är logiskt ett.

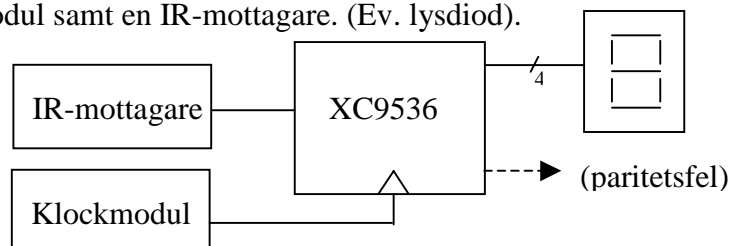
Klockmodul: Frekvensen är justerbar i området 1-1000 Hz.

3.3 Designkrav

| | | | |
|-------------------|-----------------|---|---|
| Krav nr 18 | Original | Sändaren ska implementeras med en Xilinx XC9536. | 1 |
| Krav nr 19 | Original | Funktionen ska definieras i VHDL som en enda komponent. | 1 |

4 Delsystem 2: Mottagare

Mottagaren ska utgöras av en CPLD (XC9536), en BCD/7-segmentavkodare med tillhörande display, en klockmodul samt en IR-mottagare. (Ev. lysdiod).

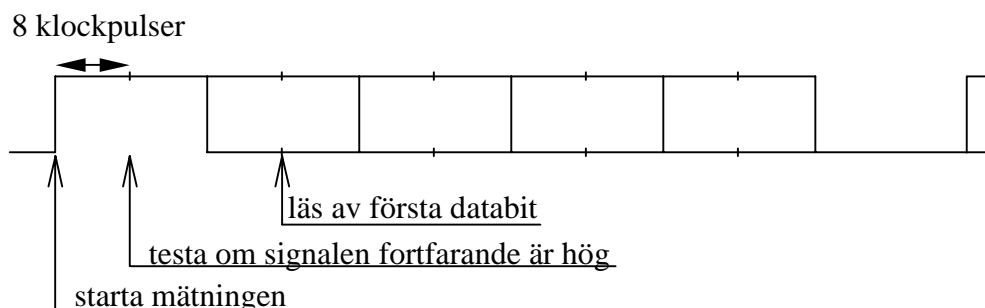


Figur 4. Mottagare

Asynkron seriell dataöverföring via optisk länk.

4.1 Inledande beskrivning av delsystem 2

Mottagningen ska starta så snart en positiv puls har detekterats på ingången. Efter 8 klockpulser, d.v.s på mitten av en förmodad startpuls ska ett nytt test utföras. Visar testet att insignalen nu återgått till noll, är detta att betrakta som en störning och inget data följer. Om insignalen fortfarande är ett, är det en giltig startbit som följs av databitar. Dessa ska läsas av så nära mitten som möjligt i intervallen, så att en viss avvikelse mellan klockfrekvenserna kan tillåtas.



Figur 5. Mottaget pulståg

| | | | |
|-------------------|-----------------|---|---|
| Krav nr 20 | Original | En startpuls kortare än 8 klockintervall ska betraktas som en störning. | 1 |
| Krav nr 21 | Original | Avläsning av databitar och ska göras så nära bitens mitt som möjligt. | 1 |
| Krav nr 22 | Original | När samtliga bitar mottagits ska siffran kunna avläsas på displayen. | 1 |
| Krav nr 23 | Original | Mottagaren ska simuleras i ModelSim. | 1 |
| Krav nr 24 | Original | Mottagaren ska kunna testas separat. | 1 |
| Krav nr 25 | Original | Om enkelfel inträffar ska en lysdiod tändas. | 2 |
| Krav nr 26 | Original | Om enkelfelsrättning utförts ska en lysdiod tändas. | 2 |

4.2 Gränssnitt

Displaymodul: Innehåller avkodare och 7-segmentdisplay.

IR-mottagare: Demodulerar insignalen och genererar en etta så länge insignal finns, annars en nolla.

Klockmodul: Frekvensen är justerbar i området 1-1000 Hz.

Asynkron seriell dataöverföring via optisk länk.**4.3 Designkrav**

| | | | |
|-------------------|-----------------|---|---|
| Krav nr 27 | Original | Mottagaren ska implementeras med en Xilinx XC9536. | 1 |
| Krav nr 28 | Original | Funktionen ska definieras i VHDL som en enda komponent. | 1 |

5 Ekonomi

Labhandledare och utrustning finns tillgängliga under laborationstiden, 4 timmar.

6 Leveranskrav och delleranser

Systemet ska levereras till labhandledaren senast vid laborationens slut.

7 Dokumentation

Blockschema, eventuella tillståndsgrafer och VHDL-kod.

8 Kvalitetskrav

Alla funktioner testas innan systemet visas för handledaren.

Asynkron seriell dataöverföring via optisk länk.

Appendix A: Pinkonfiguration för XC9536 (utdrag ur datablad)

XC9536 In-System Programmable CPLD

XC9536 I/O Pins

| Function Block | Macrocell | PC44 | VQ44 | CS48 | BScan Order | Notes | Function Block | Macrocell | PC44 | VQ44 | CS48 | BScan Order | Notes |
|----------------|-----------|------|------|------|-------------|-------|----------------|-----------|------|------|------|-------------|-------|
| 1 | 1 | 2 | 40 | D6 | 105 | | 2 | 1 | 1 | 39 | D7 | 51 | |
| 1 | 2 | 3 | 41 | C7 | 102 | | 2 | 2 | 44 | 38 | E5 | 48 | |
| 1 | 3 | 5 | 43 | B7 | 99 | [1] | 2 | 3 | 42 | 36 | E6 | 45 | [1] |
| 1 | 4 | 4 | 42 | C6 | 96 | | 2 | 4 | 43 | 37 | E7 | 42 | |
| 1 | 5 | 6 | 44 | B6 | 93 | [1] | 2 | 5 | 40 | 34 | F6 | 39 | [1] |
| 1 | 6 | 8 | 2 | A6 | 90 | | 2 | 6 | 39 | 33 | G7 | 36 | [1] |
| 1 | 7 | 7 | 1 | A7 | 87 | [1] | 2 | 7 | 38 | 32 | G6 | 33 | |
| 1 | 8 | 9 | 3 | C5 | 84 | | 2 | 8 | 37 | 31 | F5 | 30 | |
| 1 | 9 | 11 | 5 | B5 | 81 | | 2 | 9 | 36 | 30 | G5 | 27 | |
| 1 | 10 | 12 | 6 | A4 | 78 | | 2 | 10 | 35 | 29 | F4 | 24 | |
| 1 | 11 | 13 | 7 | B4 | 75 | | 2 | 11 | 34 | 28 | G4 | 21 | |
| 1 | 12 | 14 | 8 | A3 | 72 | | 2 | 12 | 33 | 27 | E3 | 18 | |
| 1 | 13 | 18 | 12 | B2 | 69 | | 2 | 13 | 29 | 23 | F2 | 15 | |
| 1 | 14 | 19 | 13 | B1 | 66 | | 2 | 14 | 28 | 22 | G1 | 12 | |
| 1 | 15 | 20 | 14 | C2 | 63 | | 2 | 15 | 27 | 21 | F1 | 9 | |
| 1 | 16 | 22 | 16 | C3 | 60 | | 2 | 16 | 26 | 20 | E2 | 6 | |
| 1 | 17 | 24 | 18 | D2 | 57 | | 2 | 17 | 25 | 19 | E1 | 3 | |
| 1 | 18 | - | - | - | 54 | | 2 | 18 | - | - | - | 0 | |

Note: [1] Global control pin

Note: [1] Global control pin

XC9536 Global, JTAG and Power Pins

| Pin Type | PC44 | VQ44 | CS48 |
|-----------------------------|----------|---------|----------------|
| I/O/GCK1 | 5 | 43 | B7 |
| I/O/GCK2 | 6 | 44 | B6 |
| I/O/GCK3 | 7 | 1 | A7 |
| I/O/GTS1 | 42 | 36 | E6 |
| I/O/GTS2 | 40 | 34 | F6 |
| I/O/GSR | 39 | 33 | G7 |
| TCK | 17 | 11 | A1 |
| TDI | 15 | 9 | B3 |
| TDO | 30 | 24 | G2 |
| TMS | 16 | 10 | A2 |
| V _{CCINT} 5 V | 21,41 | 15,35 | C1,F7 |
| V _{CCIO} 3.3 V/5 V | 32 | 26 | G3 |
| GND | 23,10,31 | 17,4,25 | A5, D1, F3 |
| No Connects | — | — | C4, D3, D4, E4 |