

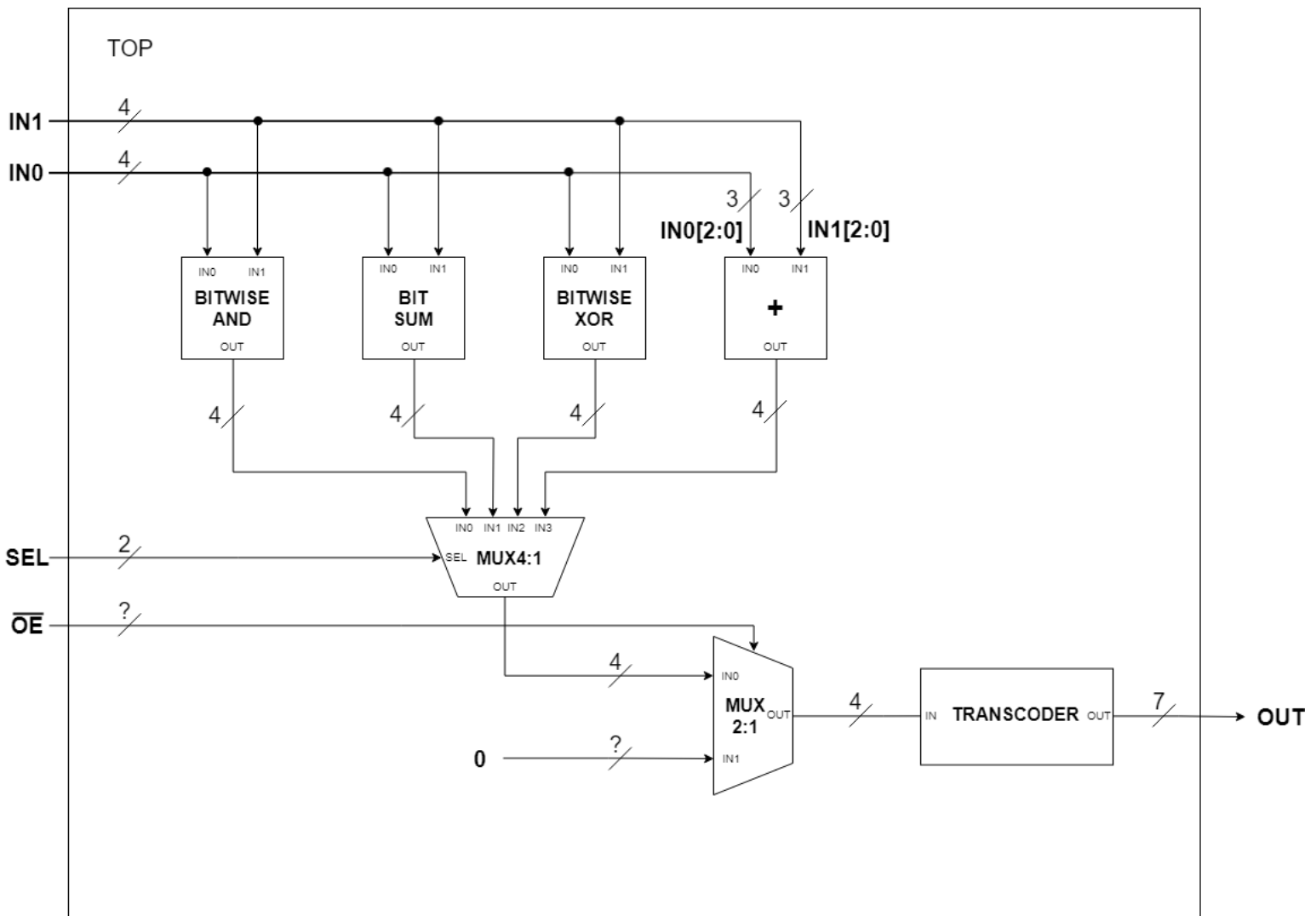
Subiect:

Timp de lucru: 1h

Cerinta:

Implementati schema de mai jos in Verilog, efectuati simulari pentru verificarea functionalitatii acesteia si sintetizati circuitul pe placa FPGA.

Schema bloc:



## Descrierea schemei + cerinte speciale:

Circuitul efectueaza 4 operatii simple, permite selectarea operatiei dorite si activarea sau dezactivarea afisarii rezultatului pe display-ul cu 7 segmente.

Bitwise and – efectueaza operatia “si” intre bitii de pe aceleasi pozitii ale celor doua intrari.

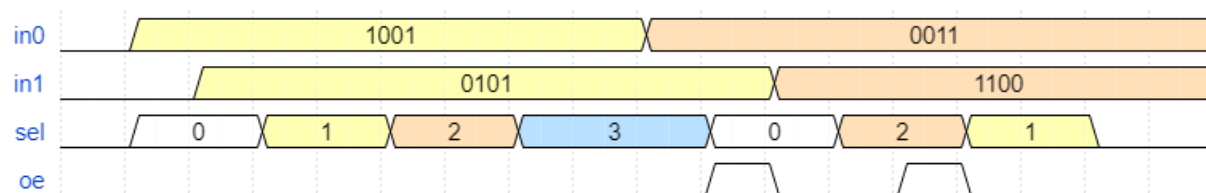
Bit sum – efectueaza suma bitilor celor doua intrari concatenate.

Bitwise xor – efectueaza operatia “sau exclusiv” intre bitii de pe aceleasi pozitii ale celor doua intrari.

"?" - inlocuiti semnul intrebării cu dimensiunea corecta a firelor.

## Pentru simulare:

Formele de unda pentru intrare trebuie corespunda cu figura de mai jos:



Spatiul dintre liniile punctate (verticale) reprezinta 5 nanosecunde.

## Pentru programat placa:

- IN0 – SW [3,0]
- IN1 – SW [7,4]
- SEL – SW [9,8]
- OE – KEY [0]
- OUT – 7SEG\_0

## Barem:

Total - 20p

design - 11p

- top - 3p - interfata 0.5p + instantiere 1.5p + fire + conexiuni 1p
- and - 1p
- bit sum - 1p
- xor - 1p
- sumator - 1p
- mux2 - 1p
- mux4 - 1.5p
- transcodor - 1.5p

simulare - 5p

- testbench 3p - 1p instantiere + 2p generarea corecta a semnalelor
- demonstratie simulare (imi aratati) - 2p

programare placa - 4p

- fisierul de constrangeri (pin planner) - 2p
- demonstratie functionare (imi aratati) - 2p