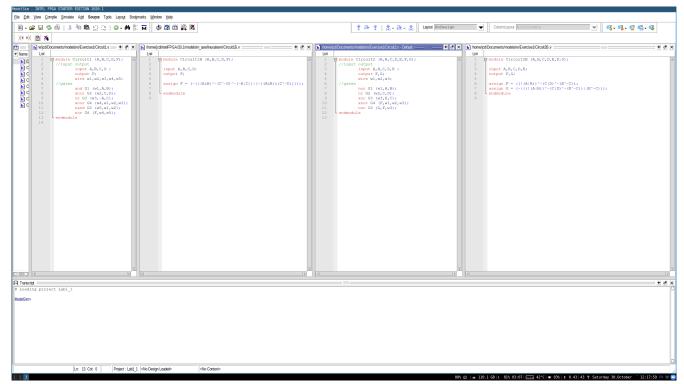
ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ & ΣΥΣΤΗΜΑΤΑ (Εργαστήριο)

Ηρακλείδης Αλέξανδρος 1078522 20 ετος ΕΡΓΑΣΤΗΡΙΟ 1

ΑΣΚΗΣΗ 1

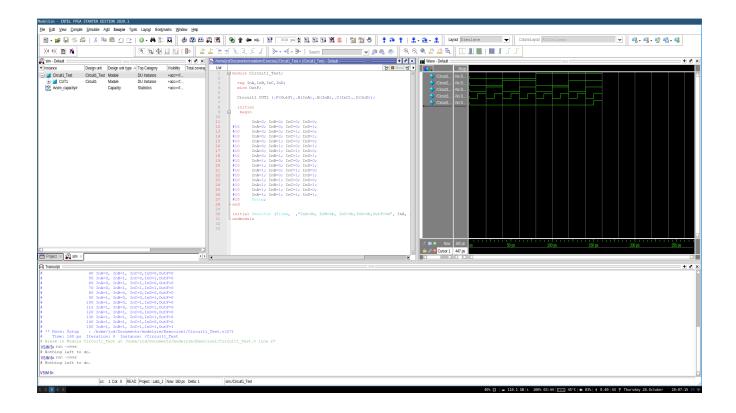
Α) Σχέδιαση κυκλωμάτων σε επίπεδο δομης και ροής



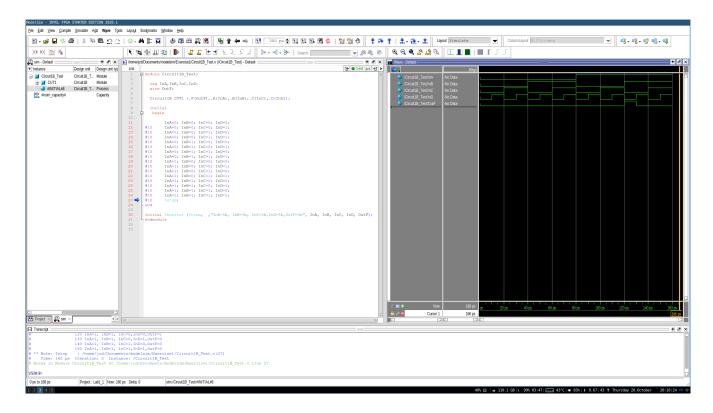
Απο αριστερά προς δεξιά:Κυκλωμα 1 σε επίπεδο δομής, Κυκλωμα 1 σε επίπεδο ροής,Κυκλωμα 2 σε επίπεδο δομής,Κυκλωμα 2 σε επίπεδο ροής.

Β) Έλεγχος Κυκλωμάτων

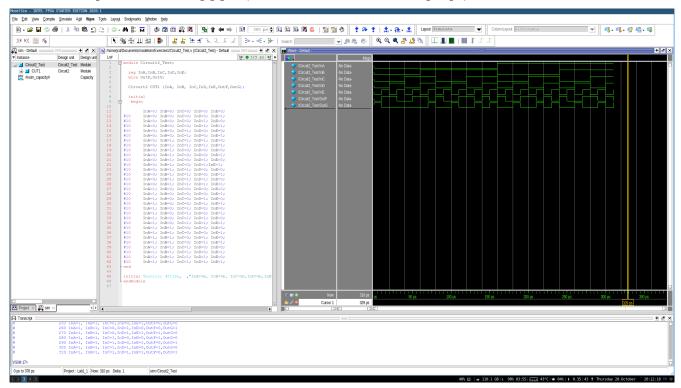
Κυκλωμα 1 Έλεγχος σε επίπεδο δομής



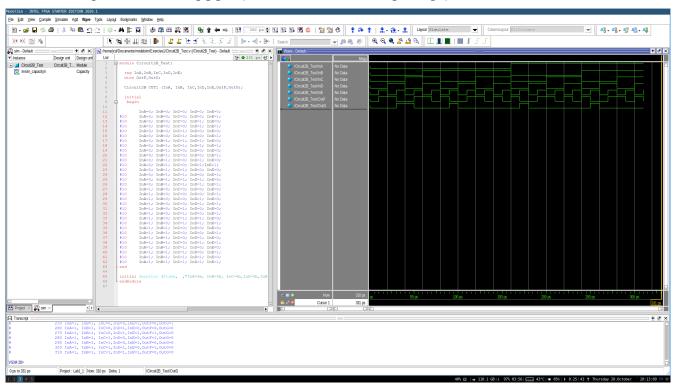
Κυκλωμα 1 Έλεγχος σε επίπεδο ροής



Κώκλωμα 2 Έλεγχος σε επίπεδο δομής



Κώκλωμα 2 Έλεγχος σε επίπεδο ροής



ΑΣΚΗΣΗ 2

Α) Θέματα με κώδικα

```
The Edit Vew Search Torminal Help

LINE 1:

Verling error @
C input missing
Missing senticion

Line 3;
Output C uninitialized

LINE 4;
Wire 1,2,3 not initialized.

LINE 5;
Wrong name Ca

Output Should be win not C

LINE 6;
Wrong name Ca

Output Should be win not C

LINE 7;
Xnor unistead of Xor gate

Wrong parameters (si,A,C);
LINE 7;
Xnor unistead of Sor gate

Wrong parameters (si,A,C);
LINE 8;
Wrong name Ca instead Ga

Wrong parameters (si,A,C);
LINE 9;
Wrong name Ca instead of Cs

Wrong parameters (si,A,C);
LINE 9;
Wrong name Ca instead of Cs

Wrong parameters (si,A,C);
LINE 9;
Wrong name Ca instead of Cs

Wrong parameters (si,A,C);
LINE 9;
Wrong name Ca instead of Cs

Wrong parameters (si,A,C);
LINE 9;
Wrong name Ca instead of Cs

Wrong parameters (si,A,C);
LINE 10;
No endodule command

Jacobs All Missing Mi
```

Β) Διορθωμένος κώδικας

```
### Edit Vew Search Tarmal Help

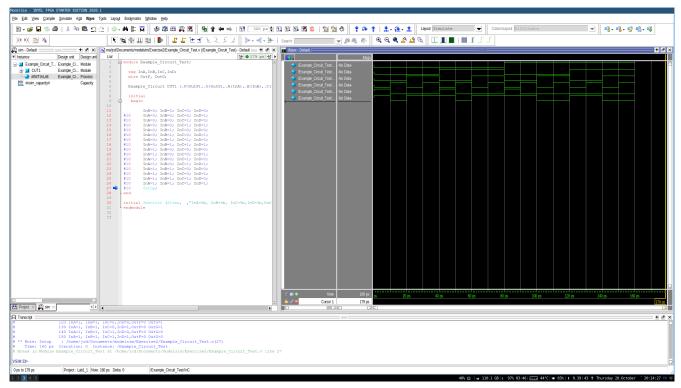
module Example_Circuit(A,B,C,D,F,G);

input A,B,C,D;
output F,G;
wire w1,w2,w3;

nand G1(w1,A,B);
nor G2 (w2,C,D);
xor G3 (w3,A,C);
and G4 (F,w1,w2);
or G5 (G,w2,w3);

endmodule
```

Γ) Έλεγχος διορθωμένου κυκλώματος σε επίπεδο δομής



ΑΣΚΗΣΗ 3

Α) Πίνακας αληθείας

С	В	A	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

B) Πίνακας Karnaugh

	AB	AB				
C	00	01	11	10		
0	1	1	1	1		
1	1	1	0	0		

0,1,4,5: Α Συμπληρωμα

0,1,3,2: C Συμπλήρωμα

F = A Συμπλήρωμα + C Συμπλήρωμα

Γ)Σχεδίαση σε επίπεδο δομής

```
The Edit Vew Search Terminal Help

module Example_Circuit2 (A,B,C,F);
input A,B,C;
wire w1,w2;
output F;

not G1 (w1,A);
not G2 (w2,C);
or G3 (F,w1,w2);
endmodule
```

Δ) Έλεγχος λειτουργίας

