



# 电子电路基础设计 与实践报告

项目名称：锁相环频率合成电路的建模与稳定性分析

完成时间： 2022/12/13

摘 要： 锁相环频率合成器在高频电路中有着广泛应用。本文就其建模与稳定性展开讨论，并用 Simulink 进行仿真。

关键词： 锁相环频率合成器； Simulink 仿真； 建模

Abstract: PLL frequency synthesis circuits are widely used in high frequency circuits. This article discusses its modeling and stability, and uses Simulink for simulation.

Keyword: PLL Frequency Synthesizer; Simulation with Simulink; Modeling.

## 目 录

- 一、 概述与原理
- 二、 锁相环电路仿真
- 三、 锁相环稳定性分析
- 四、 参考文献
- 五、 总结与感想

## 一、概述与原理

### 1.1 锁相环(PLL)简介

PLL 是一种反馈控制电路，其特点是：利用外部输入的参考信号控制环路内部振荡信号的频率和相位。因 PLL 可以实现输出信号频率对输入信号频率的自动跟踪，所以 PLL 通常用于闭环跟踪电路。PLL 在工作的过程中，当输出信号的频率与输入信号的频率相同时，输出电压与输入电压保持固定的相位差值，即输出电压与输入电压的相位被锁住，这就是 PLL 名称的由来。PLL 通常由鉴相器（PD）、环路滤波器（LF）和压控振荡器（VCO）三部分组成，PLL 组成的原理框图如图 1 所示。

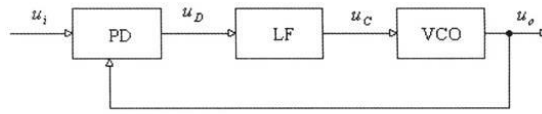


图1 锁相环组成

PLL 中的鉴相器又称为相位比较器，它的作用是检测输入信号和输出信号的相位差，并将检测出的相位差信号转换成  $u_D(t)$  电压信号输出，该信号经低通滤波器滤波后形成压控振荡器的控制电压  $u_C(t)$ ，对振荡器输出信号的频率实施控制。鉴相器通常由模拟乘法器组成，利用模拟乘法器组成的鉴相器电路如图 2 所示。

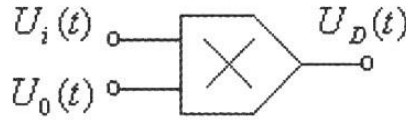


图2 鉴相器

鉴相器的工作原理是：设外界输入的信号电压和压控振荡器输出的信号电压分别为：

$$u_i(t) = U_m \sin[\omega_i t + \theta_i(t)] \quad u_o(t) = U_{om} \sin[\omega_o t + \theta_o(t)]$$

式中的  $\omega_o$  为压控振荡器在输入控制电压为零或为直流电压时的振荡角频率，称为电路的固有振荡角频率。则模拟乘法器的输出电压  $u_D$  为：

$$\begin{aligned} u_D &= K u_i(t) u_o(t) = \frac{1}{2} K U_m U_{om} \sin[\omega_i t + \theta_i(t) + \omega_o t + \theta_o(t)] \\ &\quad + \frac{1}{2} K U_m U_{om} \sin[\omega_i t + \theta_i(t) - \omega_o t - \theta_o(t)] \end{aligned}$$

用低通滤波器 LF 将上式中的和频分量滤掉，剩下的差频分量作为压控振荡器的输入控制电压  $u_C(t)$ 。即  $u_C(t)$  为：

$$u_C(t) = \frac{1}{2} K U_m U_{om} \sin[\omega_i t + \theta_i(t) - \omega_o t - \theta_o(t)] = U_{am} \sin[\omega_i t + \theta_i(t) - \omega_o t - \theta_o(t)]$$

式中的  $\omega_i$  为输入信号的瞬时振荡角频率， $\theta_i(t)$  和  $\theta_o(t)$  分别为输入信号和输出信号的瞬时位相，根据相量的关系可得瞬时频率和瞬时位相的关系为：

$$\omega(t) = \frac{d\theta(t)}{dt}$$

$$\text{即: } \theta(t) = \int \omega(t)dt + \theta_{d0}$$

$$\text{则瞬时相位差}\theta_d\text{为: } \theta_d = (\omega_i - \omega_o)t + \theta_i(t) - \theta_o(t)$$

$$\text{对两边取微分, 可得频差关系式: } \frac{d\theta_d}{dt} = \frac{d(\omega_i - \omega_o)t}{dt} + \frac{d[\theta_i(t) - \theta_o(t)]}{dt}$$

上式等于零, 说明 PLL 进入相位锁定状态, 此时输出和输入信号的频率和相位保持恒定不变的状态,  $u_c(t)$  为恒定值。当上式不等于零时, 说明 PLL 的相位还未锁定, 输入信号和输出信号的频率不等,  $u_c(t)$  随时间而变。因压控振荡器的压控特性如图 3 所示,

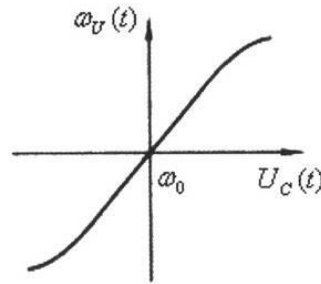


图3 压控振荡器压控特性

该特性说明压控振荡器的振荡频率  $\omega_u$  以  $\omega_0$  为中心, 随输入信号电压  $u_c(t)$  的变化而变化。该特性的表达式为

$$\omega_u(t) = \omega_0 + K_0 u_c(t)$$

上式说明, 当  $u_c(t)$  随时间而变时, 压控振荡器的振荡频率  $\omega_u$  也随时间而变, PLL 进入“频率牵引”, 自动跟踪捕捉输入信号的频率, 使 PLL 进入锁定状态, 并保持  $\omega_0 = \omega$ 。

## 1. 2 频率合成器原理

如图 4 所示, PLL 频率合成器是由参考频率源、参考分频器、相位比较器、环路滤波器、压控振荡器、可变分频器构成。参考分频器对参考频率源进行分频, 输出信号作为相位比较器参考信号。可变分频器对压控振荡器的输出信号进行分频, 分频之后返回到相位比较器输入端与参考信号进行比较。当环路处于锁定时, 有  $f_1 = f_2$ , 因为  $f_1 = \frac{f_r}{M}, f_2 = \frac{f_0}{N}$ , 所以有  $f_0 = \frac{N}{M} f_r$ . 只要改变可变分频器的分频系数  $N$ , 就可以输出不同频率的信号。

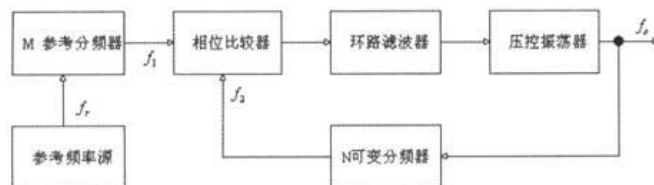
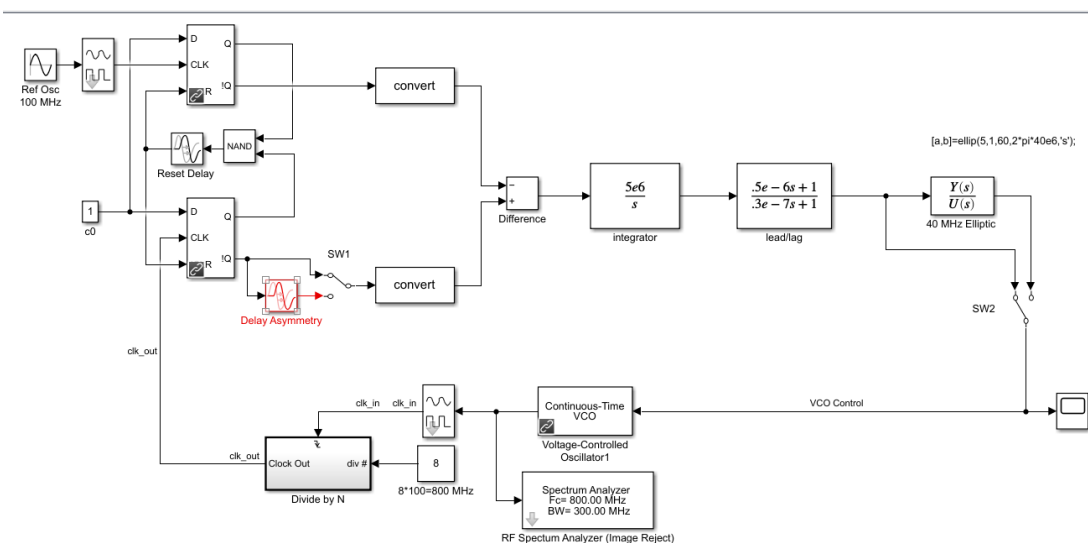
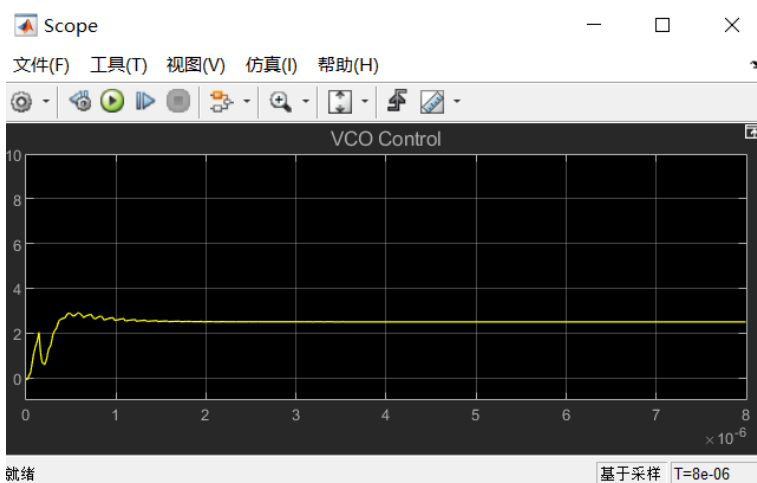


图4 锁相环频率合成器原理

## 二、锁相环电路仿真



Simulink 仿真建立 800MHz 锁相环频率合成电路行为级模型如上图。得到波形:



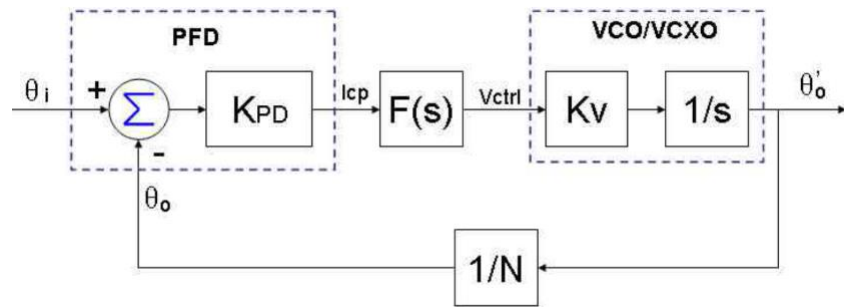
### 三、锁相环稳定性分析

### 3.1 环路稳定性判定依据

锁相环作为一个闭环控制系统，必然存在稳定性问题，如阻尼系数 $\xi < 0$ 时，环路将变成振荡系统。从闭环传递函数来看，假若至少有一个闭环极点位于  $s$  平面的右半平面，那么环路就是不稳定的；从开环传递函数来看，若它的开环增益大于 1，同时开环相移又超过 $\pi$ ，那么它就可能振荡起来，则系统是不稳定的。在实际锁相环电路设计中，常用开环波特图判定环路稳定性。一般来说，反馈系统的闭环传递函数为 $H(s) = \frac{A}{1+A\beta}$ ，开环传递函数为 $G(s) = A\beta$ ，则稳定性判定准则为： $|G(j\omega)| = 1 \Rightarrow |\Delta Phase[G(j\omega)]| < \pi$ 。在实际环路设

计中，可能有不同因素引起电路参数变化，比如电路寄生参数引起附加相移，外加强干扰信号、元器件参数温度变化等，一般要求有较大的“稳定裕量”以容忍外界条件变化对环路稳定的影响，导致系统振荡。相位裕量指开环增益降至 0dB 时，开环相移量与 $\pi$ 的差值，工程经验通常要求环路相位裕量在  $45^\circ$  以上（相位裕量 $PM = \pi - |\Delta Phase|$ ）。

### 3.2 锁相环等效模型



锁相环锁定时，相位变化很小，此时通常把环路用一个线性模型来近似，s 域的环路线性模型如图 4 所示。其中， $K_{pd}$ 、 $K_v$ 、 $N$ 等基本是确定的参数，环路滤波函数 $F(s)$ 由滤波电路决定，则锁相环的闭环传递函数和开环传递函数分别是：

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_{PD}K_VF(s)}{sN + K_{PD}K_VF(s)},$$

$$G(s) = \frac{K_{PD}K_VF(s)}{sN} = \frac{KF(s)}{s}.$$

其中， $K_{PD}$ 是鉴相增益， $K_v$ 是压控灵敏度， $N$ 是反馈分频系数， $K = \frac{K_{PD}K_v}{N}$ 为环路增益。在锁相环系统设计中，必须注意环路稳定性的设计问题，同时该系统较为复杂，通常通过仿真等手段分析其环路稳定性。

## 四、 参考文献

[1]<https://ww2.mathworks.cn/help/msblks/ref/fractionalnppllwithdeltasigmamodulator.html>

[2]张涛. 锁相环频率合成器建模、设计与实现[D].华中科技大学,2006.

[3]刘玉珍,刘建辉,陶志勇,徐光宪.基于 SIMULINK 锁相环设计[J].辽宁工程技术大学学报,2004(02):236-237.

## 五、 总结与感想

锁相环电路设计是目前学习以来接触过最复杂的电路，只做到了行为级的模型建立，并且还是在阅读大量文献以后跟着前辈们做出来的，可能对模型的子元件功能不甚了解，希望在以后的学习中，能够进一步完善这方面的知识。