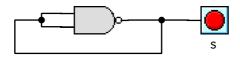


Exercice n°0 : Etudier le système ci-dessous (Chronogramme). Montrer que c'est un oscillateur. Quelle est sa période ?



On a $\overline{0.0}$ = 1 et $\overline{1.1}$ = 0. Donc, effectivement, ce montage ne cessera d'osciller.

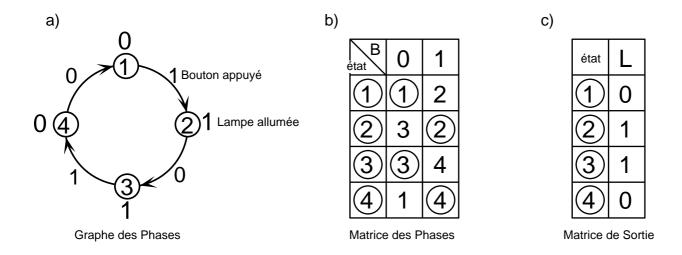
Exercice n°1:

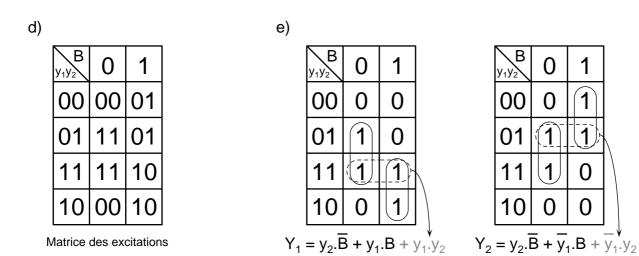
Pour commander une lampe à l'aide d'un bouton poussoir unique, on se propose de réaliser un circuit à une entrée notée B (le bouton poussoir), et une sortie notée L (la lampe) tel que :

- la lampe s'allume en appuyant sur le bouton si elle était éteinte et reste allumée lorsqu'on lache le bouton ;
- la lampe s'éteint en appuyant sur le bouton si elle était allumée et elle reste éteinte lorsqu'on lache le bouton.

Pour cela, on procèdera par étapes :

- a) Ecrire le graphe des phases ;
- b) Ecrire la matrice des phases;
- c) Ecrire le tableau des sorties ;
- d) Attribuer des variables auxiliaires et ecrire la matrice des excitations ;
- e) Calculer les expressions booléennes des excitations ;
- f) Calculer l'expression booléenne de la sortie ;
- g) Réaliser le circuit ;
- h) Faire le chronogramme.

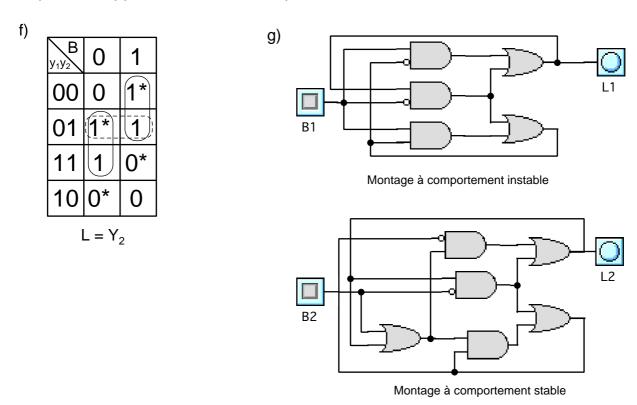


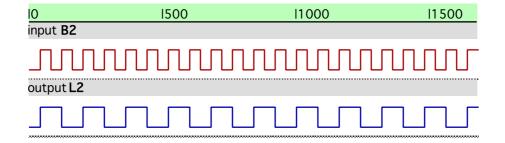


Evaluation des excitations

NB: Les regroupements qui peuvent sembler redondants servent en fait à empêcher l'apparition d'aléas statiques.

 $Y_1 = y_2.\overline{B} + y_1.B + y_1.y_2$





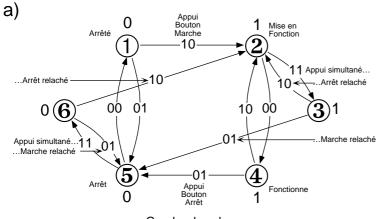
Matrice des excitations

Exercice n°2:

Commande d'une pompe à l'aide de deux boutons poussoirs (Marche-Arrêt). Réaliser le circuit à 2 entrées M/A et une sortie P tel que :

- En appuyant sur M, si la pompe est arrêtée, elle démarre et continue à tourner lorsqu'on lache le bouton M;
 - si la pompe fonctionne, elle continue à fonctionner.
- En appuyant sur A, si la pompe fonctionne, elle s'arrête et reste arrêtée lorsqu'on lache le bouton A ;
 - si la pompe est arrêtée, elle demeure arrêtée.
- a) Ecrire le graphe des phases ;
- b) Ecrire la matrice des phases ;
- c) Ecrire le tableau des sorties ;
- d) Ecrire la matrice des phases réduite ;
- e) Attribuer des variables auxiliaires et calculer les expr. booléennes des excitations ;
- f) Calculer l'expression booléenne de la sortie ;
- g) Réaliser le circuit ;
- h) Faire le chronogramme.

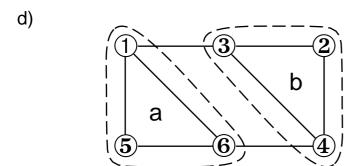
b&c)



Graphe des phases

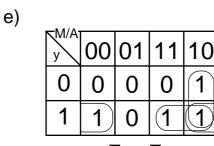
é	TM/A tats	00	01	11	10	Р
	1	1	5	*	2	0
	2	4	*	3	2	1
	3	*	5	3	2	1
	4	4	5	*	2	1
	5	1	(5)	6	*	0
	6	*	5	6	2	0

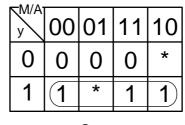
Matrice des phases et sortie



M/A	00	01	11	10
а	1	(5)	6	2
b	4	5	3	2

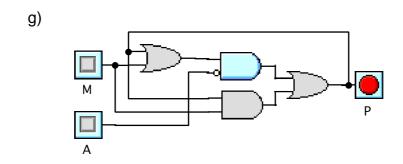
Matrice des phases réduite



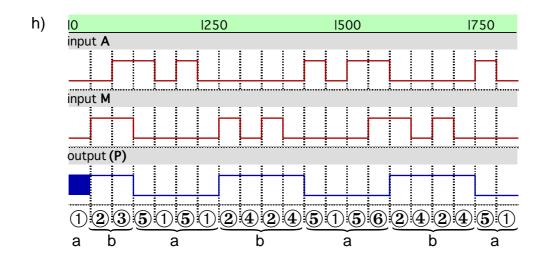


 $Y = M.\overline{A} + y.\overline{A} + y.M$ Matrice des excitations

S = y Calcul de la sortie

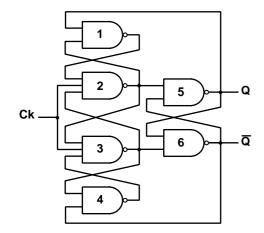


f)





Exercice n°1 : Analyser le circuit suivant. Les sorties Q et Q sont-elles toujours complémentaires en régime transitoire ?



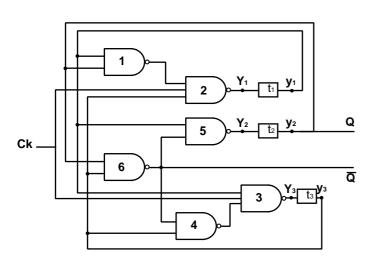
Il convient de discerner tout d'abord les véritable boucles de retour. Pour ce faire, écrivons les liaisons orientées qui existent entre les composants

$$1 \rightarrow 2 \quad 2 \rightarrow 1 \quad 3 \rightarrow 6 \quad 4 \rightarrow 3 \quad 5 \rightarrow 6 \quad 6 \rightarrow 5$$

$$2 \rightarrow 5 \quad 3 \rightarrow 4 \quad 5 \rightarrow 1 \quad 6 \rightarrow 4$$

$$2 \rightarrow 3 \quad 3 \rightarrow 2$$

On met ainsi en évidence 3 boucles au sortir des portes 2, 3 et 5. Le circuit se redessine donc comme suit :



$$Y_1 = y_1y_2 + \overline{Ck} + \overline{y_3}$$

$$Y_2 = \overline{y_1} + y_2y_3$$

$$Y_3 = \overline{y_1} + \overline{Ck} + \overline{y_2}y_3$$

$$Q = y_2$$

$$Q = \overline{y_2} + \overline{y_3}$$

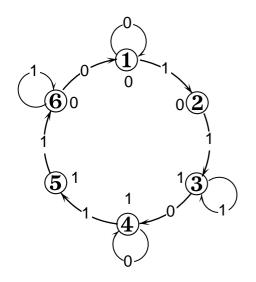
La matrice des phases s'écrit donc :

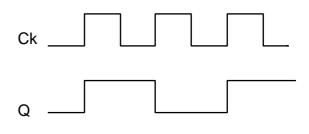
Dans cette matrice, on peut constater que les états 000 et 010 ne sont jamais atteints par une configuration des Y_i . Quant aux états 001 et 110, ce sont des transitoires évitant les courses induites par les passages de 101 à 011 et de 111 à 100 pour une entrée Ck = 1.

On a donc en fait 6 états, 4 stables et 2 transitoires qui nécessitaient bien 3 variables auxiliaires.

On constate qu'au niveau du transitoire 110, Q $\neg \overline{Q}$

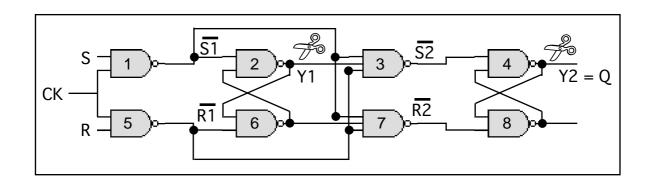
	Ck	0	4	Sortie		
	$y_1y_2y_3$	0	I	Q	Q	
	000	444	111	0		
2	001	111	011 _t	0	1	
<u>3</u>	011	111	011	1	0	
4	111	(1	/110	1	0	
1	101	(1)	001 [/]	0	1	
6	100	101	100	0	1	
5	110	101	100	1	1	
	010	444	111			





Chronogramme de fonctionnement

Exercice n°2:



$$Y1=\overline{S1}.\overline{y1.\overline{R1}}=S1+y1.\overline{R1}=S.Ck+y1.\overline{R.Ck}$$

Y1=S.Ck+y1.R+y1.Ck

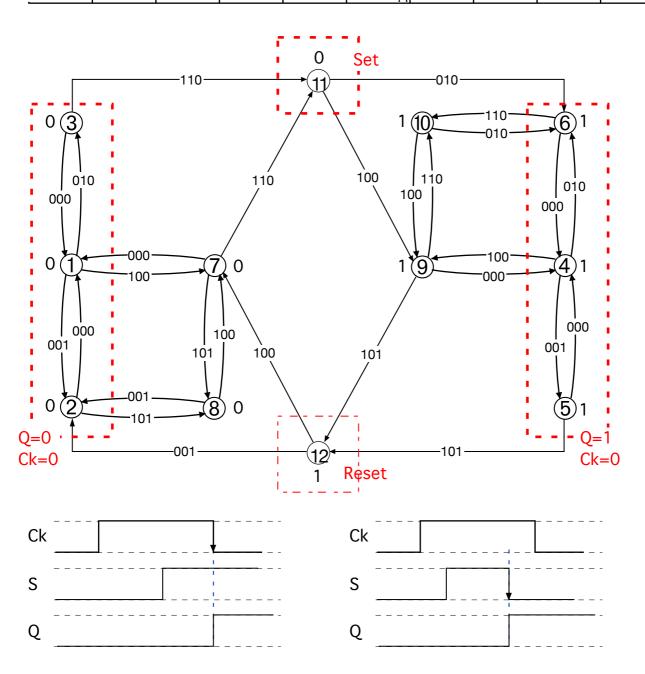
 $Y2=\overline{S2}.\overline{y2.\overline{R2}}=S2+y2.\overline{R2}=y1.\overline{S.Ck}.\overline{R.Ck}+y2.\overline{S.Ck}.\overline{R.Ck}.\overline{y1.\overline{R.Ck}}$

 $Y2=y1.(\overline{S}+\overline{Ck}).(\overline{R}+\overline{Ck})+y2.(S.Ck+R.Ck+y1.\overline{R.Ck})$

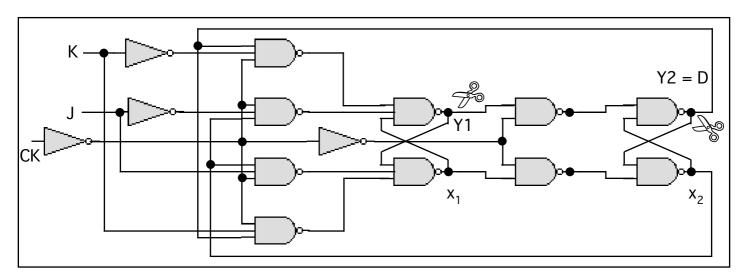
 $Y2 = y1.(\overline{S}.\overline{R} + \overline{Ck}.(\overline{S} + \overline{R}) + \overline{Ck}) + y2.(S.Ck + R.Ck + y1.\overline{R.Ck})$

 $Y2=y1.(\overline{S.R}+\overline{Ck})+y2.(S.Ck+R.Ck+y1.\overline{R.Ck})$ Applic. règle A.X+A=A

	CkSR									.	
y1	y2	000	001	011	010	110	111	101	100	Q	
	00	00	002	ı	003	10	-	008	00,	0	
	01	00	00	ı	00	11	ı	01	00	1	
	11	11,	11 5	ı	11 6	11	1	01	11,9	1	
•	10	11	11	-	11	10	-	00	11	0	



Exercice n°3:

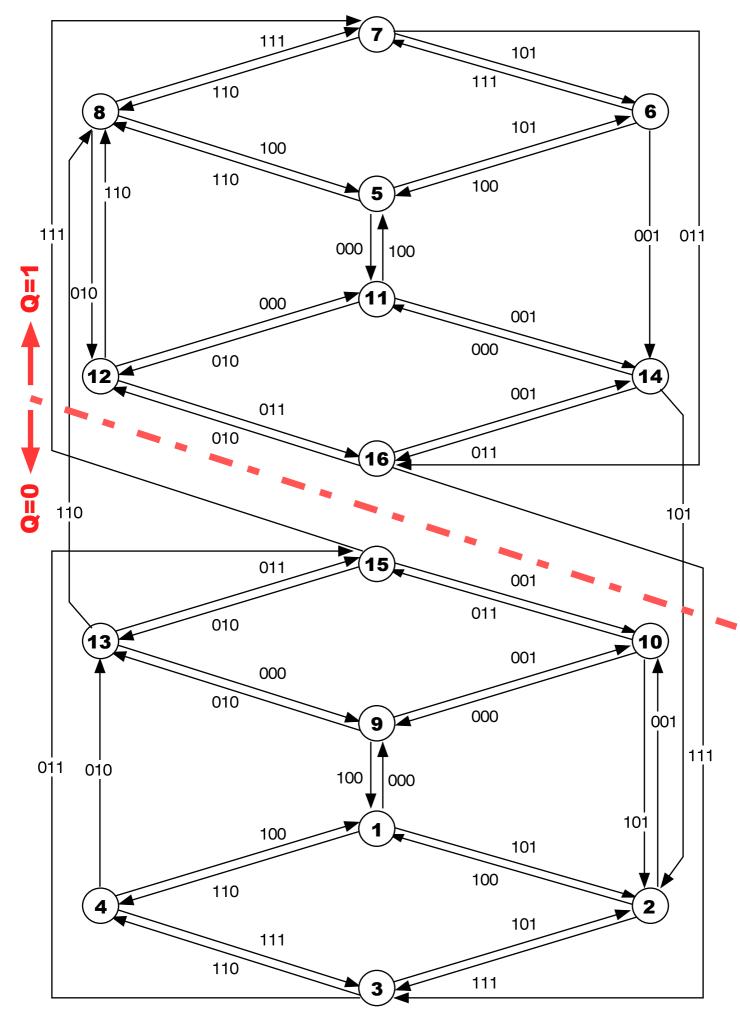


 $x1=\overline{y1}+\overline{CK}.y2.K+\overline{CK}.x2.J$ $x2=\overline{y2}+CK.(\overline{y1}+\overline{CK}.y2.K+\overline{CK}.x2.J)=\overline{y2}+\overline{y1}.CK$ Donc $x1=\overline{y1}+\overline{CK}.y2.K+\overline{CK}.\overline{y2}.\overline{J}$

 $Y1=\overline{x1}+J.x2.\overline{CK}+y2.\overline{K}.\overline{CK}=y1.(CK+\overline{y2}+\overline{K}).(CK+y2+J)+J.\overline{y2}.\overline{CK}+y2.\overline{K}.\overline{CK}$ $=y1.CK(1+J+\overline{K})+y1.\overline{y2}.J+y1.J.\overline{K}+y1.y2.\overline{K}+\overline{CK}.(J.\overline{y2}+\overline{K}.y2)$ $=y1.CK+J.(y1.\overline{y2}+y1.\overline{K})+y1.y2.\overline{K}+\overline{CK}.(J.\overline{y2}+\overline{K}.y2)$

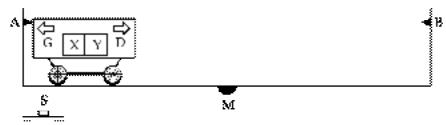
 $Y2=\overline{x2}+y1.CK=y2.(y1+\overline{CK})+y1.CK=y1.y2+\overline{CK}.y2+CK.y1$

	CK J K	000	001	011	010	110	111	101	100	Q
y !	00	00	00	10	10	00	00	00	00	0
	01	11	01	01	11	00	00	00	00	1
		11	14	16		00	00	00	00	
-	11	11	01	01	11		7	6	5	1
_	10	00	00	10	10	11	11	11	11	0



TD n°3

On considère un dispositif tel que celui qui est schématisé sur la figure suivante :



X et Y sont deux moteurs alimentés par les relais de même nom. Quand X est alimenté, le chariot C se déplace de A vers B, quand Y est alimenté, le chariot C se déplace en sens inverse. A et B sont des relais de fin de course. M est un capteur situé sur le point médian du parcours. Il sera actif pendant toute la durée du passage du chariot au dessus de ce point. Le chariot B comprend en outre deux flèches lumineuses G et D éteintes lorsque le chariot est au repos et qui sont allumées grâce aux commandes de même nom dès que le chariot est en mouvement. On désire construire le circuit séquentiel tel que lorsque l'on appuie sur le bouton de mise en marche S, le chariot, qui est supposé au repos en A, effectue un aller-retour A-B-A. Pendant ce trajet, les flèches indiquent en permanence la direction de M*, à l'exception du laps de temps pendant lequel le chariot passe au dessus du point médian M, auquel cas les flèches seront toutes les deux allumées.

Dans un premier temps, on simplifiera le problème en ignorant le capteur M et les flèches G et D

- 1) Enumérer les entrées et les sorties du système.
- 2) Tracer le graphe des phases, puis la table de fluence primitive du système.
- 3) Tracer la table réduite et en déduire les équations des variables auxiliaires et des sorties du système.

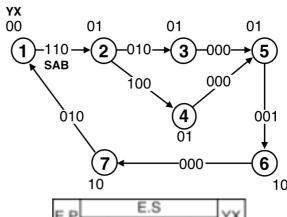
CORRECTION

A] Problème simplifié:

_

^{*} Entre A et M, D est allumée, entre M et B, G est allumée. D et G sont simultanément allumées pendant toute la durée du passage du chariot au dessus du point M, c'est à dire tant que le capteur M est dans l'état 1.

Graphe d'états:



ED		E.S 010 110 100 000 00						
L.I-	010	110	100	000	001	11/		
1	(1)	2				00		
2	3	(2)	4			01		
3	3			5		01		
4			4	5		01		
5				(5)	6	01		
6				7	6	10		
7	1			(7)		10		

Matrice d'états:

Matrice réduite <u>:</u>	Matrices	∂' excitation et de sortie:

ΕP			VX			
- .'	010	110	100	000	001	1 /
а	1	2		7	6	-0
b	3	2	4	5	6	01

ws AB	00	01	11	10	wS AB	00	01	11	10
00	0	0	-	0	00	10	10	ı	00
01	(-	-	-	1	01	-	-	-	0-
11	Ü		<u>-</u>	団	11	01	•	•	01
10	1	0	-	1	10	01	-	-	01

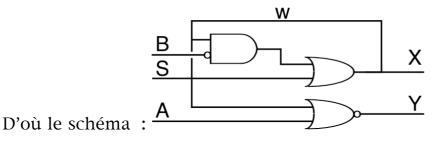
On obtient finalement: $W = S + w\overline{B}$

$$W = S + W$$

$$Y = \overline{w + A}$$

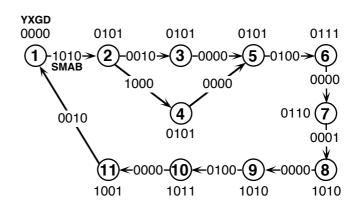
$$X = w$$

On a appelé W la variable auxiliaire pour ne pas la confondre avec la variable allouée au moteur.



B] Problème complet

Graphe d'états:



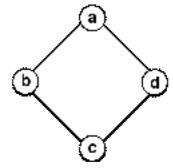
Matrice d'états	
. II (atrice a etats	•

E.P.			Sortie					
	0010	1010	1000	0000	0100	0101	0001	Sortie
1	(2						0000
2	3	2						0101
3	3		4	5				0101
4			4	5				0101
5				5	6			0101
6				7	6			0111
7				7			8	0110
8				9			8	1010
9				9	10			1010
10				11	10			1011
11	1			11)				1001

Matrice réduite :

Etat suivant										
##	9010	-		0000	. —	ន្ធរព្វា	9001			
2	(1)	2		(1)	(0)					
d	(2)	2	(4)	3	6					
¢				Ø	(6)		₿			
d				(9)	10		(9)			

Graphe de transition:



Attribution des variables auxiliaires :

3	SMAL	i						
y	1y2	0010	7010	1000	0000	6100	6101	000 3
	00	00	Ð1		00	ĠĠ		
	01	01	01	01	01	11		
	17				33	11		10
	10				30	00		10

Matrice de sortie :

7	SMAL	L		,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,		~~~~~	~~~~~	
y	1y2	0010	1010	1000	0000	0100	0101	0001
	00	0000	0.0.		1001	1013		
	01	0101	0101	0101	0101	61*1		
	11				0110	G 111		** 10
	10) }	7010	1011		1010

$$Y_1 = y_1 . \overline{M} + y_2 . M$$

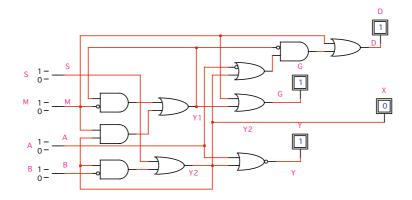
$$Y_2 = y_2 . \overline{B} + S$$

$$Y = \overline{y_2}.\overline{A}$$

$$X = y_2$$

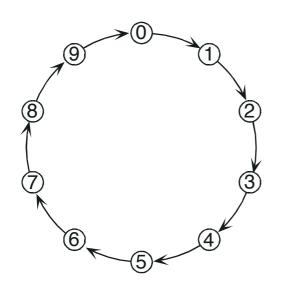
$$G = M + y_1$$

$$D = M + \overline{y_1}.(y_2 + \overline{A})$$



TD n°4

Exercice n°9 : Réaliser un compteur synchrone modulo 10 à l'aide de bascules JK



	EP	ES
0	0000	000 <u>1</u>
1	0001	00 <u>10</u>
2	0010	001 <u>1</u>
3	0011	0 <u>100</u>
4	0100	010 <u>1</u>
5	0101	01 <u>10</u>
6	0110	011 <u>1</u>
7	0111	1000
8	1000	100 <u>1</u>
9	1001	<u>0</u> 000

Il y a 10 états différents. D'où 4 digits binaires et donc 4 bascules JK. Par ailleurs, 4 boucles seront nécessaires puisque 2³<10<2⁴.

	_CD				
A	B	00	01	11	10
	00	k	k	k	k
	01	k	k	Jk	k
	11	*	*	*	*
	10	j	Kj	*	*

	CD.				
A	B	00	01	11	10
	00	k	k	Jk	k
	01	j	j	Kj	j
	11	*	*	*	*
	10	k	k	*	*

	-CD				
A	B	00	01	11	10
	00	k	Jk	Kj	j
	01	k	Jk	Kj	j
	11	*	*	*	*
	10	k	k	*	*

	_CD				
A	B	00	01	11	10
	00	Jk	Kj	Kj	Jk
	01	Jk	Kj	Kj	Jk
	11	*	*	*	*
	10	Jk	Kj	*	*

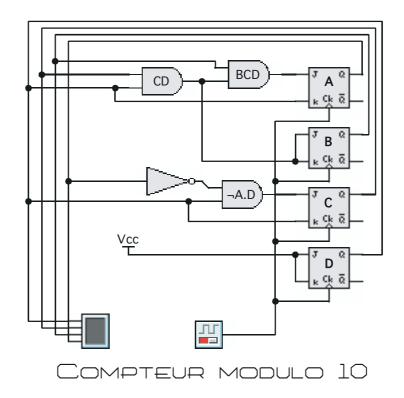
page 1

On utilise un codage pour une bascule générale JK en portant J et K pour représenter les changements d'état obligatoires et j et k optionnels pour les maintients d'état.

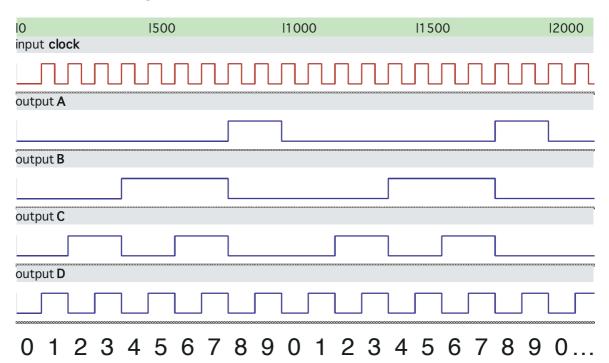
Selon que l'on utilisera lors de la réalisation des bascules JK, RS, T ou D, les regroupements se feront en suivant les règles suivantes :

Par exemple, ici, en appliquant aux bascules JK, puis T, on aura les fonctions :

D'où le montage :



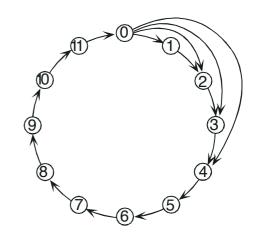
...et le chronogramme :



Exercice n°10:

Réaliser un compteur synchrone modulo 12 programmable dont les possibilités sont les suivantes :

- · Remise à zéro ;
- Comptage par pas de 1, 2, 3 ou 4.



	EP		ES						
		RAZ	Inc. 1	Inc. 2	Inc. 3	Inc. 4			
0	0000	0000	0001	0010	0011	0100			
1	0001	0000	0010	0011	0100	0101			
2	0010	0000	0011	0100	0101	0110			
3	0011	0000	0100	0101	0110	0111			
4	0100	0000	0101	0110	0111	1000			
5	0101	0000	0110	0111	1000	1001			
6	0110	0000	0111	1000	1001	1010			
7	0111	0000	1000	1001	1010	1011			
8	1000	0000	1001	1010	1011	0000			
9	1001	0000	1010	1011	0000	0001			
10	1010	0000	1011	0000	0001	0010			
11	1011	0000	0000	0001	0010	0011			

	MN
Inc. 1	0 1
Inc. 2	1 0
Inc. 3	1 1
Inc. 4	0 0

Codage choisi

	Ν		()				-	I	
M	CD AB	00	01	11	10	CD AB	00	01	11	10
	00	k	k	k	k	00	k	k	k	k
0	01	Jk	Jk	Jk	Jk	01	k	k	Ĵk	k
	11	*	*	*	*	11	*	*	*	*
	10	Kj	Kj	Kj	Kj	10	j	j	Kj	j
	CD AB	00	01	11	10	CD AB	00	01	11	10
	00	k	k	k	k	00	k	k	k	k
1	01	k	k	Ĵk	Jk	01	k	Jk	Ĵk	Jk
	11	*	*	*	*	11	*	*	*	*
	10	j	j	Kj	Kj	10	j	Kj	Kj	Kj

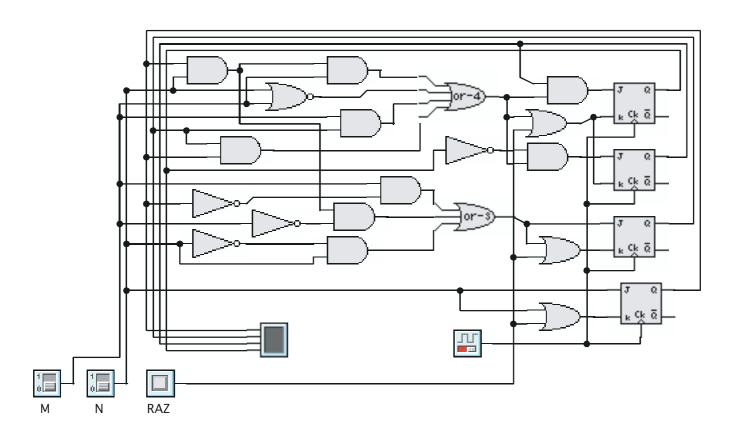
K_A	=	$CD+CM+\overline{M}\overline{N}+DMN$
J_A	=	B.K _A

	N		()				1		
M	CD AB	00	01	11	10	AB	00	01	11	10
	00	Jk	Jk	Ĵk	Jk	00	k	k	Jk	k
0	01	Kj	Kj	Kj	Kj	01	j	j	Kj	j
	11	*	*	*	*	11	*	*	*	*
	10	k	k	k	k	10	k	k	k	k
	CD AB	00	01	11	10	CD AB	00	01	11	10
	00	k	k	ŰŔ	Jk	00	k	Jk	Jk	Jk
1	01	j	j	KJ	Kj	01	j	Kj	Kj	Kj
	11	*	*	*	*	11	*	*	*	*
	10	k	k	k	k	10	k	k	k	k

$$K_B = K_A$$
 $J_A = \overline{A} \cdot K_B$

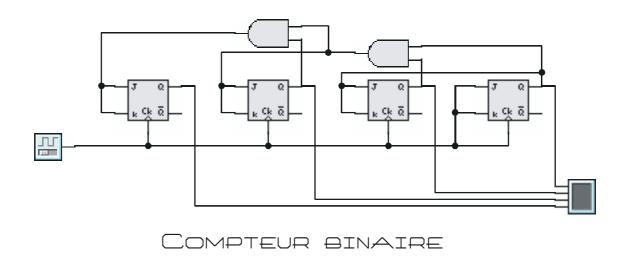
	N		()				1	1			N		()				1		
M	CD AB	00	01	11	10	CD AB	00	01	11	10	M)	CD AB	00	01	11	10	CD AB	00	01	11	10
	00	k	k	j	j	00	k	Jk	Kj	j		00	k	j	j	k	00	Jk	Kj	Kj	Jk
0	01	k	k	j	j	01	k	Jk	Kj	j	0	01	k	j	j	k	01	Jk	Kj	Kj	Jk
	11	*	*	*	*	11	*	*	*	*		11	*	*	*	*	11	*	*	*	*
	10	k	k	j	j	10	k	Jk	Kj	j		10	k	j	j	k	10	Jk	Kj	Kj	Jk
	CD AB	00	01	11	10	CD AB	00	01	11	10		CD AB	00	01	11	10	CD AB	00	01	11	10
	00	Jk	Jk	Kj	Kj	00	Jk	k	j	Kj		00	k	j	j	k	00	Jk	Kj	Kj	Jk
1	01	Jk	Jk	Kj	Kj	01	Jk	k	j	Kj	1	01	k	j	j	k	01	Jk	Kj	Kj	Jk
	11	*	*	*	*	11	*	*	*	*		11	*	*	*	*	11	*	*	*	*
	10	Jk	Jk	Kj	Kj	10	Jk	k	j	Kj		10	k	j	j	k	10	Jk	Kj	Kj	Jk
			0			⊦M <u>N</u>	+D <u>F</u>	ĪN							K_{D}	=	J_{D}	= 1	1		
			K_{C} J_{C}		¯DM+ K _C	⊦MN	+D <u>F</u>	ĪN							K_{D}	=	J _D	= 1	1		

D'où le montage :



COMPTEUR MODULO 12 À INCRÉMENT PROGRAMMABLE

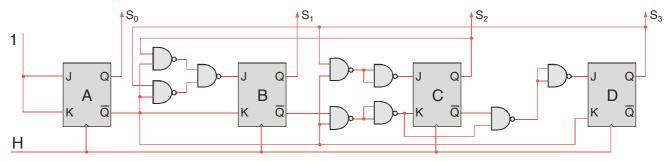
Pour mémoire





Exercice nº 10

Le circuit de la figure ci-dessous comporte 4 bascules JK, notées A, B, C, D et par soucis d'homogénéité, seulement des portes NAND (9). Ce circuit possède une seule entrée notée H, l'horloge. Les 4 sorties de ce circuit doivent représenter le code d'un chiffre en DCB (décimal codé binaire), où S_0 est le bit poids faible et S_3 est le bit poids fort.



Questions:

- 1 Analyser ce circuit (équations de commande des bascules, matrice et graphe des phases) et indiquer son fonctionnement normal.
- 2 On suppose un démarrage aléatoire du circuit (son état interne est quelconque au démarrage). Indiquer le nombre maximum de cycles d'horloge qu'il faut attendre pour que le circuit ait atteint son fonctionnement normal.
- 3 Ajoutez à ce circuit une entrée d'initialisation qui le force à prendre son fonctionnement normal lorsqu'elle est activée.
 - 1) L'évaluation des fonctions de commande ne pose pas de problèmes particuliers. Il suffit de "suivre les fils" et de connaître la loi de de Morgan...

$$\begin{split} J_A &= 1 \text{ et } K_A = 1 \\ J_B &= \overline{\overline{Q_A}.Q_C} \cdot \overline{\overline{Q_A}.Q_D} = \overline{\overline{Q_A}.Q_C + \overline{Q_A}.Q_D} \\ K_B &= \overline{\overline{Q_A}} \end{split}$$

$$J_C &= \overline{\overline{\overline{Q_A}.Q_D}} = \overline{\overline{Q_A}.Q_D} \\ K_C &= \overline{\overline{Q_A}.\overline{Q_B}} = \overline{\overline{Q_A}.\overline{Q_B}} \\ J_D &= \overline{\overline{\overline{Q_C}.(\overline{Q_A}.\overline{Q_B})}} = \overline{\overline{Q_A}.\overline{Q_B}}.\overline{\overline{Q_C}} \\ K_D &= \overline{\overline{Q_A}}.\overline{\overline{Q_B}} = \overline{\overline{Q_A}.\overline{Q_B}}.\overline{\overline{Q_C}} \\ \end{split}$$

Afin de dresser la matrice des états, j'ai choisi, pour une meilleure compréhension, de faire apparaître les valeurs des fonctions de commandes en regard de l'état de la bascule correspondante.

	Е	tat	Pré					E	Etat	Su	iva	nt					
	Q_D	Q_{C}	Q_B	Q_A	K _D	J _D	Q_{D}	K _C	J _C	Qc	KB	JB	Q_B	KA	J _A	Q_A	
0	0	0	0	0	1	1	1	1	0	0	1	0	0	1	1	1	9
1	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0
2	0	0	1	0	1	0	0	0	0	0	1	0	0	1	1	1	1
3	0	0	1	1	0	0	0	0	0	0	0	0	1	1	1	0	2
4	0	1	0	0	1	0	0	1	0	0	1	1	1	1	1	1	3
5	0	1	0	1	0	0	0	0	0	1	0	0	0	1	1	0	4
6	0	1	1	0	1	0	0	0	0	1	1	1	0	1	1	1	5
7	0	1	1	1	0	0	0	0	0	1	0	0	1	1	1	0	6
8	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	7
9	1	0	0	1	0	0	1	0	0	0	0	0	0	-	7	0	8
10	1	0	1	0	1	0	0	0	7	-	7	1	0	-	7	1	5
11	1	0	1	1	0	0	1	0	0	0	0	0	1	-	7	0	10
12	1	1	0	0	1	0	0	1	1	0	1	1	1	1	1	1	3
13	1	1	0	1	0	0	1	0	0	1	0	0	0	1	1	0	12
14	1	1	1	0	1	0	0	0	1	-	1	1	0	7	1	1	5
15	1	1	1	1	0	0	1	0	0	1	0	0	1	1	1	0	14

Pour déterminerl'état suivant, il faut se souvenir du fonctionnement de la bascule JK que l'on a vu en cours...

Si à temps précédent, Q=0 alors, Q prends la valeur 1 si J (et éventuellement K) =1. Il reste à 0 dans les autres cas.

Réciproquement, si Q=1, alors, Q prends la valeur 0 si K (et éventuellement J) =1. Il reste à 1 dans les autres cas.

2) J'ai nommé les divers états par leur valeur décimale. Le cycle le plus long traverse les états suivants :

$$9 \rightarrow 8 \rightarrow 7 \rightarrow 6 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9...$$
 soit 10 étapes.

Tous les états ne sont pas représentés dans ce cycles!

On a aussi des états d'entrée qui nécessitent des étapes supplémentaires avant de rejoindre le cycle:

$$10 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2..., 14 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2..., 12 \rightarrow 3 \rightarrow 2... (1 \text{ étape}),$$

 $11 \rightarrow 10 \rightarrow 5 \rightarrow 4 \rightarrow 3..., 15 \rightarrow 14 \rightarrow 5 \rightarrow 4 \rightarrow 3..., 13 \rightarrow 12 \rightarrow 3 \rightarrow 2... (2 \text{ étapes})$

Le but de la question 3 est de forcer à rejoindre le cycle dès qu'une entrée supplémentaire I est activée.

3) Tout d'abord, choisissons un état du cycle vers lequel, quel que soit l'état dans lequel on est, le cycle va être amorcé, par exemple, l'état 0.

Cet état correspond à une configuration de $Q_AQ_BQ_CQ_D = 0000$.

D'après les rappels précédents sur le fonctionnement de la bascule JK, il faut donc que $J_X = 0$ et $K_X = 1$, $\forall X \in \{A, B, C, D\}$. Par ailleurs, il faut que lorsque I retombera à 0, les fonctions de commande fonctionnent normalement.

Par exemple pour I=0, J_A doit être égal à 1 (valeur prévue dans le montage initial) et pour I=1, J_A doit être égal à 0 (conclusion précédente). Donc finalement, $J_A=\overline{I}$. K_A , lui, doit être égal à 1 dans les deux cas.

Autre exemple, K_B doit être égal à 1 si I=1, et à $\overline{Q_A}$ si I=0. Donc $K_B=\overline{Q_A}.\overline{I}+I$. En définitive, on obtient :

$$J_A = \overline{I}$$
 et $K_A = 1$

$$\overline{J_{B} = (\overline{Q}_{A}.Q_{C} + \overline{Q}_{A}.Q_{D}).\overline{I}}$$

$$\overline{K_{B} = \overline{Q}_{A}.\overline{I} + I}$$

$$J_{C} = (\overline{Q}_{A}.Q_{D}).\overline{I}$$

$$K_{C} = (\overline{Q}_{A}.\overline{Q}_{B}) + I$$

$$J_{D} = (\overline{Q}_{A}.\overline{Q}_{B}.\overline{Q}_{C}).\overline{I}$$

$$K_{D} = \overline{Q}_{A}.\overline{I} + \overline{I}$$

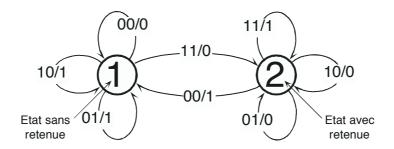
Je vous conseille de chercher une autre solution en supposant, par exemple, que l'entrée dans le cycle s'opère non plus par 0, mais, par exemple, par 5.



Exercice n°11:

Faire la synthèse d'un additionneur série à deux entrées. Chaque entrée reçoit les symboles binaires formant l'un des nombres à additionner en commençant par les bits poids faible.

- 1 Faire la synthèse de l' additionneur sous forme d'un circuit de Mealy, c'est à dire, un circuit séquentiel synchrone pour lequel la sortie n'apparaît que pendant la transition entre deux états. Donner le schéma logique.
- 2 Refaire la synthèse sous forme d'un circuit de Moore, c'est à dire, un circuit séquentiel synchrone pour lequel à chaque état correspond une sortie. Donner le schéma logique.
- **3 -** Comparer les deux solutions.



Matrice des phases :

x1x2	00	01	11	10
1	1	1	2	1
2	1	2	2	2

`	x1x2 A	00	01	11	10
	0	0	0	1	0
	1	0	1	1	1

$$S_A = x1.x2$$

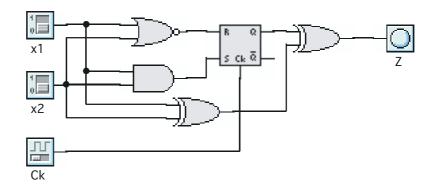
$$R_A = \overline{x1}.\overline{x2}$$

Matrice de sortie :

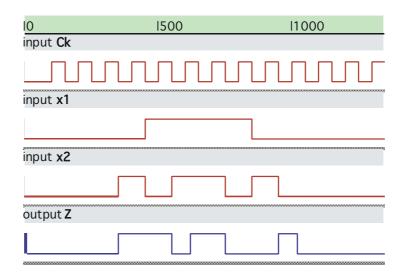
\	Ev.1./0				
	x1x2 A	00	01	11	10
	0	0	1	0	1
	1	1	0	1	0

$$Z = A \oplus x1 \oplus x2$$

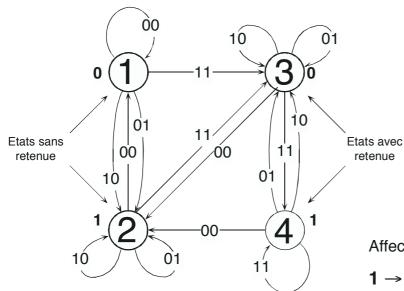
D'où le montage...



...et le chronogramme :



2 - Dans le cas de l'automate de Moore, on a 4 états



\	x1x2					
	\ \\	00	01	11	10	Z
	1	1	2	3	2	0
	2	1	2	3	2	1
	3	2	3	4	3	0
	4	2	3	4	3	1

Affectation "bestiale":

$$1 \to 00$$
; $2 \to 01$; $3 \to 11$; $4 \to 10$

`	ν.1.νΩ				
ŀ	AB	00	01	11	10
	00	00	01	11	01
	01	00	01	11	01
	11	01	11	10	11
	10	01	11	10	11

v1v0				•
AIA2	00	01	11	10
00	r	r	S	r
01	r	r	S	r
11	R	S	S	S
10	R	S	S	S
	00 01 11	00 r 01 r 11 R	00 r r 01 r r 11 R s	00 r r S 01 r r S 11 R s s

\	V1V0				
	x1x2 \B	00	01	11	10
	00	r	S	S	S
	01	R	S	S	S
	11	S	S	R	S
	10	S	S	r	S
	•	•		•	•

,	.v1v0				
ŀ	x1x2 AB	00	01	11	10
	00	0	1	0	1
	01	0	1	0	1
	11	1	0	1	0
	10	1	0	1	0

$$\begin{array}{ccc} A & B & Z \\ S_A = \underline{x_1}.\underline{x_2} & S_B = \overline{x_1}.\underline{x_2} + \overline{A}.\underline{x_1} + A.\overline{x_2} & Z = \underline{x_1} \oplus \underline{x_2} \oplus A \\ R_A = \overline{x_1}.\overline{x_2} & R_B = \overline{A}.\overline{x_1}.\overline{x_2} + A.\underline{x_1}.\underline{x_2} \end{array}$$

$$Z = x_1 \oplus x_2 \oplus A$$

où l'on s'aperçoit que la bascule B est inutile puisque $A = f_A(x_1, x_2)$ et $Z = f_Z(A, x_1, x_2)$

En fait, une affectation plus judicieuse des variables nous aurait permis de déterminer cela plus rapidement. On a dans la matrice une PPS triviale {1,2};{3,4}. Introduisons une variable booléenne, A servant à coder le bloc {1,2} par 0 et {3,4} par 1. La matrice devient :

/	X_1X_2	00	01	11	10
	0	0	0	1	0
	1	0	1	1	1

\v v				
A A	200	01	11	10
0	r	r	S	r
1	R	S	s	s

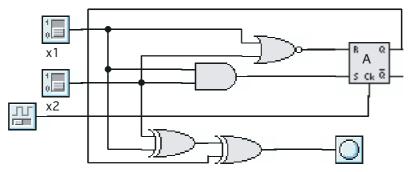
A1A2	00	01	11	10	
0	1	2	3	2	
1	2	3	4	3	
matrice de correspondance					

X_1X_2	00	01	11	10	
0	0	1	0	1	
1	1	0	1	0	
matrice de sortie					

 $S_A = x_1.x_2$

 $R_A = \overline{x_1.x_2}$

 $Z = x_1 \oplus x_2 \oplus A$



Autre possibilité : on adjoint à la PPS trouvée précédemment la PGS {1,3};{2,4}. On constate que cette PGS est orthogonale à la PPS. Codonx les blocs de la PGS avec une variable booléenne B prenant des valeurs correspondant aux sorties, soit 0 pour {1,3} et 1 pour {2,4}. On a la matrice de correspondance :

_	· · · ·				
	$A \setminus$	00	01	11	10
	0	0	0	1	0
	1	0	1	1	1

Ì	x1x2	00	01	11	10
	1	0	1	0	1
	2	0	1	0	1
	3	1	0	1	0
	4	1	0	1	0

Connaissant la matrice correspondant à la PPS et la matrice de sortie de la machine initiale, établissons la matrice de la machine B placée en série

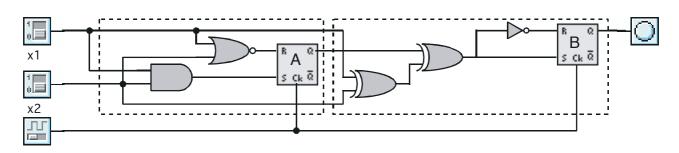
_B ^A	0	1
0	1	4
1	2	3

$$S_B = x_1 \oplus x_2 \oplus A$$

 $R_B = \overline{S_B}$

\	A = 0				A = 1			
X ₁ X ₂ B	00	01	11	10	00	01	11	10
0	r	S	r	S	S	r	S	r
1	R	S	R	S	S	R	S	R

On obtient le schéma en cascade :



TD n°7

Exercice n°12 : Un système séquentiel synchrone est défini par la table de vérité ci-dessous. Trouver toutes les partitions avec propriété de substitution de l'ensemble des états et procéder à la décomposition donnant le circuit de complexité minimale.

EP	E	Z	
	X=0	X=1	
1	2	3	0
2	2 5	1	0
3	1	6	0
4	7	6	1
2 3 4 5 6	2	7	0
6	2 4 5	3	1
7	5	4	1

{1,2}	{2,5}	{1,3}
{1,2,3,5}	{2,5,1}	{3,1,6,7}
{1,2,3,5,6,7}	{1,2,5,4}	{1,3,6,7,4}
{1,2,3,4,5,6,7}		

Donc 1 et 2 sont incompatibles. De même, on s'aperçoit que l'association {1,3} impose celle de {1,2}, trouvée fausse.

{1,4}	{2,7}	{3,6}
{2,7}	{5}	{1,4}
{3,6}	{1,4}	{3,6}
{5}	{2}	{7}

{1,5}	{2}	{3,7}	{1,6}	{2,4}	{3}
{2}	{5}	{1}	{2,4}	{5,7}	{1,6}
{3,7}	{1,5}	{6,4}	{3}	{1}	{6}
{6,4}	{7,4}	{6,3}	{5,7}	{2,5}	{7,4}
{3,4,6,7}	{1,7,4,5}	{6,3,4}	{2,4,5,7}	{5,7,2}	{1,6,7,4}
{1,3,4,5,6,7}	{1,2,4,5,7}	{3,4,6,7}	{1,2,4,5,6,7}	{1,2,4,5,7}	{1,3,4,6,7}
{1,2,3,4,5,6,7}			{1,2,3,4,5,6,7}		

{1,7}	{2,5}	{3,4}
{2,5}	{5,2}	{1,7}
{3,4}	{1,7}	{6}
{6}	{4}	{3}

A ce niveau on a donc 2 PPS orthogonales :

et

ensuite...

 $\{2,3\} \Rightarrow \{1,5\} \text{ (incompatibles) }; \{2,4\} \Rightarrow \{1,6\} \text{ (incompatibles) }; \{2,5\} \Rightarrow \{1,7\} \text{ (d\'ejà trouv\'e) };$

 $\{2,6\} \Rightarrow \{1,3\}$ (incompatibles); $\{2,7\} \Rightarrow \{1,4\}$ (déjà trouvé); $\{3,4\} \Rightarrow \{1,7\}$ (déjà trouvé);

 $\{3,5\} \Rightarrow \{1,2\}$ (incompatibles); $\{3,6\} \Rightarrow \{1,4\}$ (déjà trouvé); $\{3,7\} \Rightarrow \{1,5\}$ (incompatibles);

 $\{4,5\} \Rightarrow \{2,7\}$ appartenant à la PPS $\{1,4\}$ qui justement sépare 4 et $7 \Rightarrow$ incompatibles ;

 $\{4,6\} \Rightarrow \{3,6\}$ appartenant à la PPS $\{1,4\}$ qui justement sépare 4 et $6 \Rightarrow$ incompatibles ;

 $\{4,7\} \Rightarrow \{4,6\}$ (incompatibles); $\{5,6\} \Rightarrow \{2,4\}$ (incompatibles); $\{5,7\} \Rightarrow \{4,7\}$ (incompatibles);

 $\{6,7\} \Rightarrow \{4,5\}$ (incompatibles).

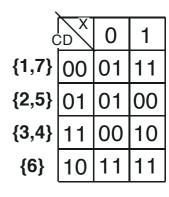
Matrices d'états pour les 2 partitions orthogonales :

`	_CD					
Α	B CD	00	01	11	10	
	00	1	*	4	*	
	01	7	2	*	*	
	11	*	*	3	6	
	10	*	5	*	*	

Représentation des états par leur codage en AB/CD

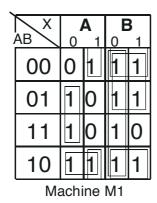
`				
A	X B	0	1	
{1,4}		01	11	
{2,7}	01	10	00	
{3,6}	11	00	11	
{5 }	10	01	01	

Machine M1



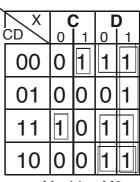
Machine M2

Matrices fonctionnelles pour bascule T:



$$T_A = A.\overline{B} + B.\overline{X} + \overline{B}.X = A.\overline{X} + B \oplus X$$

$$T_B = \overline{A} + \overline{B} + \overline{X} = \overline{A.B.X}$$



Machine M2

$$T_C = \overline{C}.\overline{D}.X + C.D.\overline{X}$$

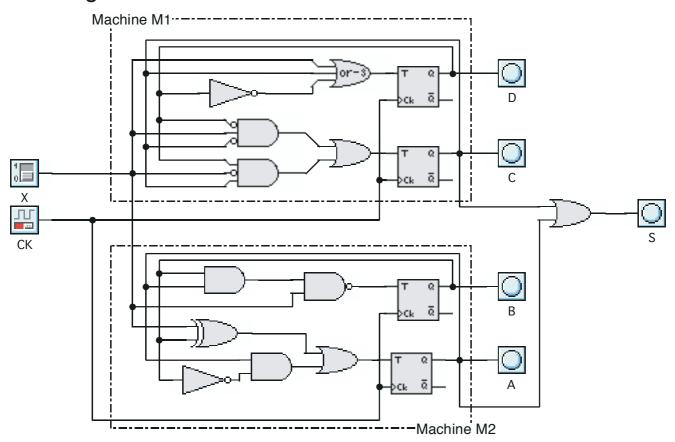
$$T_D = C + \overline{D} + X$$

Matrice de sortie :

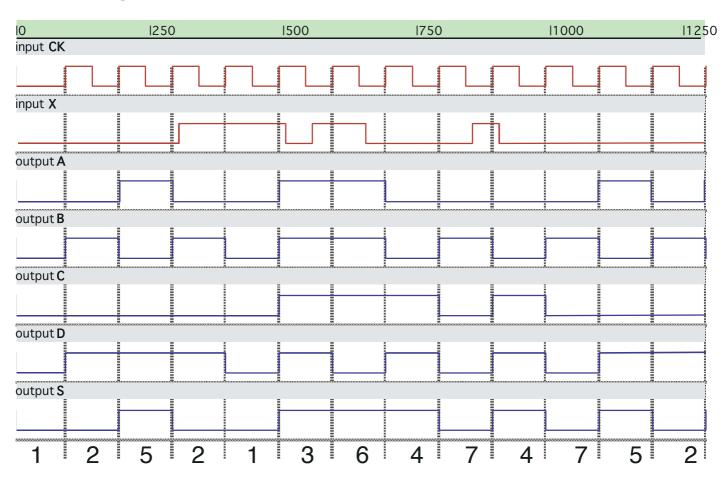
_	-OD-							
Α	B B	00	01	-	11	•	1 C)
	00		*		1		*	
	01	1			*		*	
	11	*	*				1	
	10	*			*		*	

 $S = \overline{A}.C + B.\overline{D}$

Montage:



Chronogramme:



Comme dans l'exercice précédent, considérons une PGS. En l'ocurrence, la seule envisageable est {1,2,3,5}, états pour lesquels la sortie vaut 0 et {4,6,7} où la sortie vaut 1.Par ailleurs, supposons que nous n'ayons trouvé que la première PPS {{1,4},{2,7},{3,6},{5}}.

On constate que ces deux partitions sont orthogonales.

En gardant le même codage en AB que précédemment pour le PPS, nommons M la partition {1,2,3,5} et N, la partition {4,6,7}.

A	В	М	Ν
{1,4}	00	1	4
{2,7}	01	2	7
{3,6}	11	3	6
{5 }	10	5	-

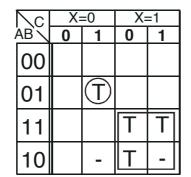
Représentation des états par leur codage PPS/PGS

	X=0		X=	=1
AB	M	N	M	N
00	M	Ζ	M	Ζ
01	М	М	М	Ν
11	М	Ν	Ν	M
10	M	-	Ν	-

Transitions de la PGS en fonction de la PPS

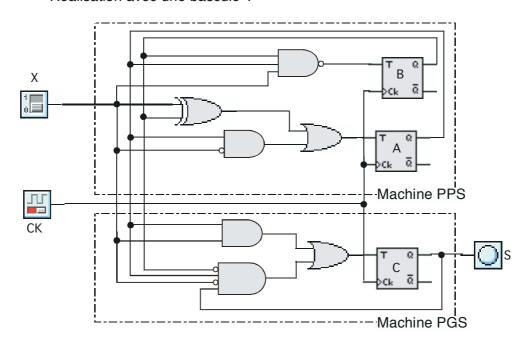
C	X=0		X:	=1
AB	0	1	0	1
00	0	1	0	1
01	0	0	0	1
11	0	1	1	0
10	0	-	1	-

Codage de M/N par C=0/1



$$T_C = A.X + \overline{A}.B.\overline{X}.C$$

Réalisation avec une bascule T





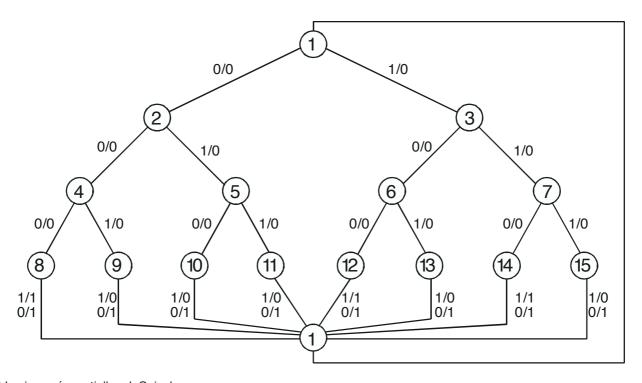
Exercice n°13:

On se propose de réaliser un système séquentiel destiné à vérifier chaque groupe de 4 bits reçus séquentiellement sur l'entrée. Si un groupe de 4 bits successifs est le code binaire d'un chiffre de 0 à 9, la sortie passe à 1 après réception du 4ème bit, sinon, elle reste à 0 (code représentant un chiffre de 10 à 15). Le système attend alors les 4 bits suivants...

- 1) On suppose que les codes binaires arrivent avec les poids faibles en tête (5 donnera lieu à l'envoi de 1 puis de 0, de 1 et enfin de 0.
 - a) Donner le tableau des phases simplifié du système séquentiel
 - b) Le tableau des phases possède 2 PPS (une à 4 blocs, l'autre à 2 blocs). Pour chaque PPS, donner le tableau des phases de M1 et de M2.
 - c) On se propose de réaliser ce système en utilisant pour M1 un registre à décalage. Trouver le nombre d'étages du registre et donner le tableau des phases de M2.
- 2) On se propose de réaliser un système séquentiel ayant les mêmes fonctions que le précédent, sauf que la sortie du système passe à 1 si le dernier bit reçu forme avec les trois bits précédents le code binaire d'un chiffre compris entre 0 et 9

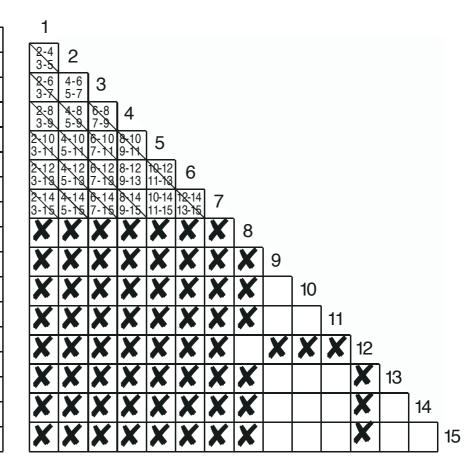
Exemple: la suite 0 0 0 0 1 1 0 1 0 1 1 0 0 1... donnera en sortie 0 0 0 1 1 0 1 0 1 0 0 1 1 1.

- a) Donner le tableau de phases simplifié de ce système séquentiel (4 états)
- b) Trouver une PPS sur l'ensemble des états . Donner les tableaux des phases de M1 et M2.
- c) Peut-on simplifier la réalisation en utilisant un registre à décalage. Donner le nombre d'étages du registre ainsi que le tableau des phases de M2.



Matrice des phases :

E.P.	Etat Suiv.		So	rtie	
L.F.	0	1	0	1	
1	2	3	0	0	
2	4	5	0	0	
3	6	7	0	0	
4	8	9	0	0	
5	10	11	0	0	
6	12	13	0	0	
7	14	15	0	0	
8	1	1	1	1	
9	1	1	1	0	
10	1	1	1	0	
11	1	1	1	0	
12	1	1	1	1	
13	1	1	1	0	
14	1	1	1	0	
15	1	1	1	0	



- 14 | 14-15
- 13 | 13-14-15
- 12 Idem
- 1 | 11-13-14-15
- 10 | 10-11-13-14-15
- 9 9-10-11-13-14-15
- 8 | 8-12 | 9-10-11-13-14-15
- 7 Idem
- 6 Idem
- 5 | 5-7 | 8-12 | 9-10-11-13-14-15
- 4 | 4-6 | 5-7 | 8-12 | 9-10-11-13-14-15
- 3 Idem
- 2 | 2-3 | 4-6 | 5-7 | 8-12 | 9-10-11-13-14-15
- 1 Idem





Matrice simplifiée

	0	1	0	1
1	2	2	0	0
2	4	5	0	0
4	8	9	0	0
5	9	9	0	0
8	1	1	1	1
9	1	1	1	0

PPS1={{1,4,5},{2,8,9}}

	0	1
{1,4,5}	{2,8,9}	{2,9}
{2,8,9}	{1,4}	{1,5}

	0	1
Α	В	В
В	Α	Α

Compteur modulo 2

PPS2={	{45}	(8 g)	{1}	(2)}
ГГ О Z —{	(4 ,0},	(Ο,ઝ),	ίΙ ζ,	\ _}}

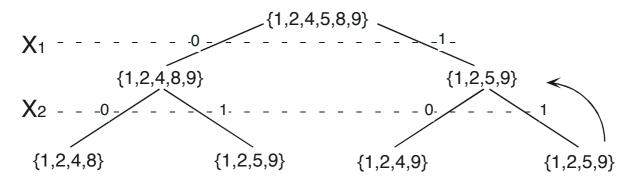
	0	1
{4,5}	{8,9}	{9}
{8,9}	{1}	{1}
{1}	{2}	{2}
{2}	{4}	{5}

	0	1
Α	В	В
В	С	C
С	D	D
D	Α	Α

Compteur modulo 4

PPS1.PPS2= $\{\{4,5\},\{8,9\},\{1\},\{2\}\} \neq \emptyset$

Ces 2 partitions n'étant pas orthogonales, il n'est donc pas possible de réaliser le système grâce à 2 machines en parallèles. La matrice simplifiée réduit le graphe de la façon suivante:



On constate bien que dans le cadre de notre système le bit poids faible est sans importance car quelle que soit sa valeur, ce sont les bits de poids supérieur qui permettront d'évaluer la sortie (1,3,7 et 9 répondent à la contrainte).

Le registre à décalage comportera donc 2 mémoires (X_1 , le $2^{\text{ème}}$ bit reçu et X_2 , le $3^{\text{ème}}$ bit reçu), et M2 comportera 4 états (feuilles du graphe)

On choisit de coder les 4 états atteints dans chaque branche de la façon suivante :

	X ₁ X ₂						
	00	01	10	11			
Р	1	1	1	1			
Q	2	2	2	2			
R	4	5	4	5			
S	8	9	9	9			

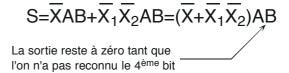
Déterminons donc la machine chargée de régler les transitions d'états entre P, Q, R et S codés respectivement 00, 01, 10 et 11 et représentant respectivement les classe {1}, {2}, {4,5} et {8,9}.

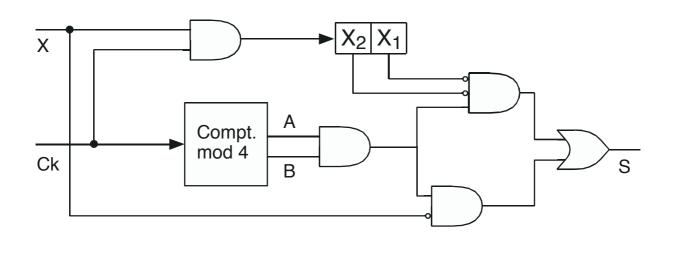
Χ	0				-	1		
X_1X_2	00	01	10	11	00	01	10	11
Р	Q	Q	Q	Q	Q	Q	Q	Q
Q	R	R	R	R	R	R	R	R
R	S	S	S	S	S	S	S	S
S	Р	Р	Р	Р	Р	Р	Р	Р

Compteur modulo 4

_	0				1				
A	NB X	00	01	10	11	00	01	10	11
Р	00								
Q	01								
R	10								
S	11	1	1	1	1	1			

Sortie:





On aurait pu aussi choisir une partition orthogonale à la PPS obtenue précédemment. Par exemple, en choisissant $P = \{\{1, 2\}, \{4, 8\}, \{5, 9\}\}\}$, on pourrait opter pour le codage suivant :

A=0 pour {1, 4, 5}, A = 1 pour {2, 8, 9}, BC = 00 pour {1, 2}, BC = 01 pour {4, 8}, BC = 11 pour {5, 9}.

On obtient alors les matrices suivantes :

X A	0	1
0	1	1
1	0	0

Χ	0		1	
ВС	A=0	A=1	A=0	A=1
00	00	01	00	11
01	01	00	11	00
11	11	00	11	00
10	-	-	-	-

On en déduit les matrices d'excitation avec bascule T suivantes :

A	0	1
0	1	1
1	1	1

$$T_{\Lambda} = 1$$

BC XA	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	0	1	1	0
10	-	-	-	-

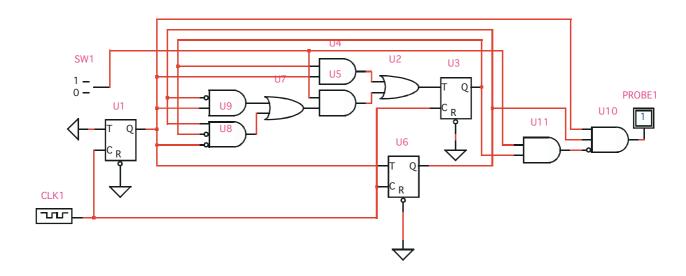
$$T_A = 1$$

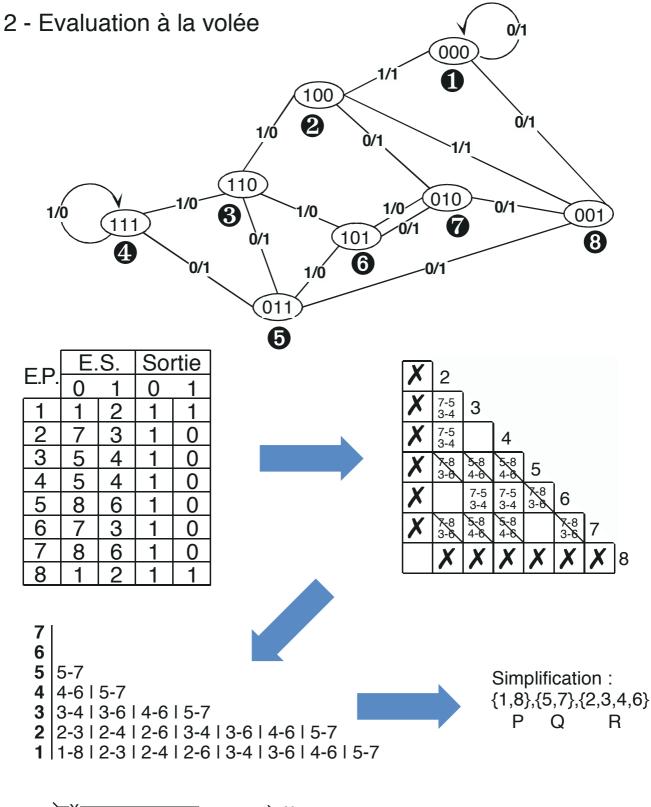
$$T_B = B.A + X.(\overline{C}A + \overline{B}.\overline{A}.C)$$

BC XA	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	-	-	-	-

$$T_C = A$$

D'où le circuit :





Α	B^	E. 0	S. 1	Soi 0	rtie 1
	00	00	11	1	1
	01	00	11	1	0
	11	01	11	1	0
	10	*	*	*	*

Matrice d'état simplifiée

A	BX-	E.S.		Sortie 0 I 1		
	00	00	11	1	1	
	01	01	10	1	0	
	11	10	00	1	0	
	10	*	*	*	*	

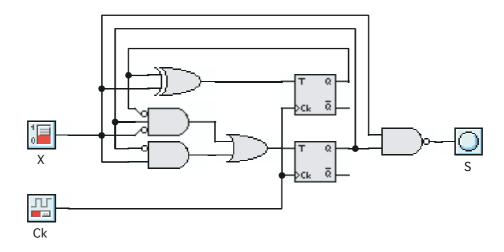
Entrées pour Trigger

T_{A}	=	Α	(+)	Χ
ľΑ	_	<i>,</i> ,	\odot	/\

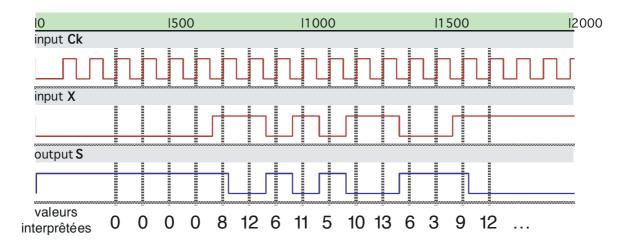
$$\mathsf{T}_\mathsf{B} = \overline{\mathsf{A}}.\mathsf{B}.\overline{\mathsf{X}} + \overline{\mathsf{B}}.\mathsf{X}$$

$$S = \overline{X} + \overline{B}$$

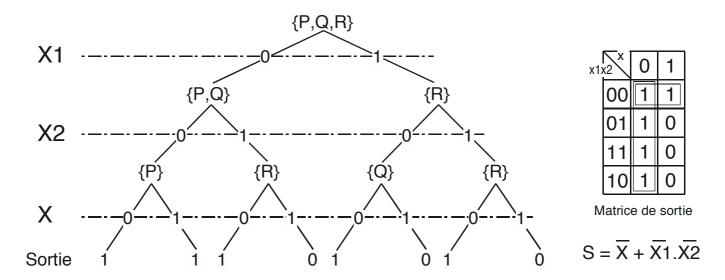
D'où le montage :



... et le chronogramme :



En utilisant des registres à décalage, on obtient à partir des 3 états :



On trouve donc un résultat très semblable au précédent (décalage 2 bits et expression de sortie). La seule différence est l'absence du compteur mod 4 et donc une sortie réactualisée à chaque cycle.