

班级：2022211301

姓名：卢安来

学号：2022212720

---

---

1、某内存条包含 8 个  $8192 \times 8192 \times 8$  位的 DRAM 芯片，按字节编址，支持突发（burst）传送方式，对应存储器总线宽度为 64 位，每个 DRAM 芯片内有一个行缓冲区（row buffer）。下列关于该内存条的叙述中，不正确的是（C）。

- A. 内存条的容量为 512 MB。
- B. 采用多模块交叉编址方式。
- C. 芯片的地址引脚为 26 位。
- D. 芯片内行缓冲有  $8192 \times 8$  位。

**解答：**

考虑选项 A，该内存条容量

$$M = \frac{8 \times 8192 \times 8192 \times 8}{8} \text{ B} = 512 \text{ MiB.}$$

故选项 A 正确。

考虑选项 B，由于存储器总线宽度为 64 位，而内存条中单个 DRAM 芯片仅有 8 位，必然采取了多模块交叉编址方式，故选项 B 正确。

考虑选项 C，行地址需要  $n_r = \log_2 8192 = 13$  位，列地址需要  $n_c = \log_2 8192 = 13$  位，由于 DRAM 行列地址线时分复用，故 DRAM 芯片地址引脚需要  $\max\{n_r, n_c\} = 13$  位，故 C 选项错误。

考虑选项 D，由于给定 DRAM 芯片支持突发传送方式，故每个 DRAM 芯片内行缓冲区的大小为其一行的大小，即  $8192 \times 8$  位，故选项 D 正确。

综上所述，本题应该选择选项 C。芯片的地址引脚为 26 位。



4、有一个处理机，主存容量 1 MB，字长 1 B，块大小 16 B，cache 容量 64 KB，若 cache 采用直接映射式，请给出 2 个不同标记的内存地址，它们映射到同一个 cache 行。

**解答：**

主存共  $\frac{1 \text{ MiB}}{1 \text{ B}} = 2^{20}$  字，故地址共 20 位。

Cache 容量 64 KiB，每块 16 B，共  $\frac{64 \text{ KiB}}{16 \text{ B}} = 2^{12}$  行，行号需 12 位，每块块内地址共  $\log_2 16 = 4$  位。

主存字块标记共  $20 - 12 - 4 = 4$  位。

故内存地址如下：

19	16	15		4	3	0
标记 (4 bit)			行号 (12 bit)			块内地址 (4 bit)

题目要求给出 2 个不同标记的内存地址，它们映射到同一个 cache 行，故只需要地址的标记不同，行号字段相同即可，可取标记字段为 0x0 和 0x1，行号和块内地址字段分别取 0x000 和 0x0，则的满足题意的两个内存地址为：0x00000 和 0x10000。

5、假设主存容量  $16\text{M} \times 32$  位，cache 容量  $64\text{K} \times 32$  位，主存与 cache 之间以每块  $4 \times 32$  位大小传送数据，请确定直接映射方式的有关参数，并给出主存地址格式。（假设按字节寻址）

**解答：**

由于按字节寻址，故主存地址共  $\log_2 \left( 16 \times 2^{20} \times \frac{32}{8} \right) = 26$  位，块内地址需  $\log_2 \left( 4 \times \frac{32}{8} \right) = 4$  位。

直接映射方式下，Cache 共分为  $\frac{64 \times 2^{10} \times 32}{4 \times 32} = 2^{14}$  行，故行号需 14 位。

主存字块标记共  $26 - 14 - 4 = 8$  位。

故内存地址格式如下：

25	18	17	4	3	0
主存字块标记（8 bit）			行号（14 bit）		块内地址（4 bit）

6、CPU 执行一段程序时，cache 完成存取的次数为 2420 次，主存完成存取的次数为 80 次，已知 cache 存储周期为 40 ns，主存存储周期为 240 ns，求 cache/主存系统的效率和平均访问时间。

**解答：**

平均访问时间

$$t_{\text{avg}} = \frac{t_c \times n_c + t_m \times n_m}{n_c + n_m} = \frac{2420 \times 40 \text{ ns} + 80 \times 240 \text{ ns}}{2420 + 80} = 46.4 \text{ ns}.$$

效率

$$e = \frac{t_c}{t_{\text{avg}}} \times 100\% = \frac{40 \text{ ns}}{46.4 \text{ ns}} \times 100\% \approx 86.206896551724137931034482758621\%.$$

7、已知 cache 存储周期 40 ns，主存存储周期 200 ns，cache/主存系统平均访问时间为 50 ns，求 cache 的命中率是多少？

**解答：**

平均访问时间

$$\begin{aligned} t_{\text{avg}} &= \frac{t_c \times n_c + t_m \times n_m}{n_c + n_m} = t_c \times \frac{n_c}{n_c + n_m} + t_m \times \left(1 - \frac{n_c}{n_c + n_m}\right) \\ &= t_c \times h + t_m \times (1 - h). \end{aligned}$$

从而命中率

$$h = \frac{t_m - t_{\text{avg}}}{t_m - t_c} \times 100\% = \frac{200 \text{ ns} - 50 \text{ ns}}{200 \text{ ns} - 40 \text{ ns}} \times 100\% = 93.75\%.$$