

班级：2022211301

姓名：卢安来

学号：2022212720

1、今有 4 级流水线，分别完成取指、指令译码并取数、运算、送结果四步操作。今假设完成各步操作的时间依次为 100 ns, 100 ns, 80 ns, 50 ns。请问：

(1) 流水线的操作周期应设计为多少？

(2) 若相邻两条指令发生数据相关，硬件上不采取措施，那么第 2 条指令要推迟多少时间进行？

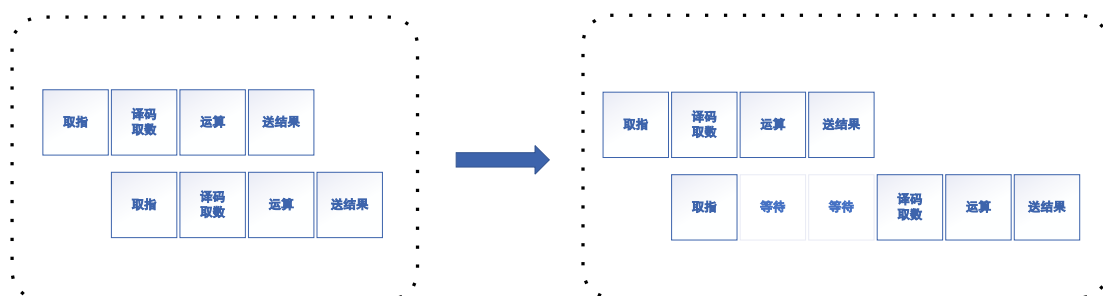
(3) 如果在硬件设计上加以改进，至少需推迟多少时间？

解答：

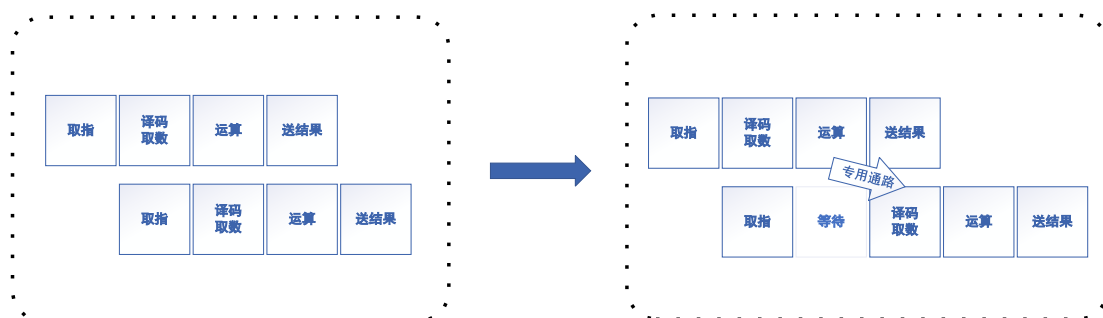
(1) 流水线操作周期

$$\tau = \max\{t_i\} = 100 \text{ ns.}$$

(2) 遇到数据相关时，需要暂停第二条指令的执行，因此第二条指令先完成取指操作，等第一条指令完成后再进行后续三项操作，延迟了两个流水线操作周期，共 200 ns。示意图如下。



(3) 如果在硬件设计上加以改进，比如采用专用通路等，则取数阶段不需要等第一条指令的送结果操作完成，但是必须等待第一条指令的运算操作完成，示意图如下。



故至少延迟一个流水线操作周期，共 100 ns。

3、某指令功能为 $R[r_2] \leftarrow R[r_1] + M[R[r_0]]$ ，其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件

- I. 通用寄存器组（GPRs）
- II. 算术逻辑部件（ALU）
- III. 存储器（Memory）
- IV. 指令译码器（ID）

该指令在取数及执行过程中需要用到的是（ ）。

- A. 仅 I、II
- B. 仅 I、II、III
- C. 仅 II、III、IV
- D. 仅 I、III、IV

解答：

分析指令

$$R[r_2] \leftarrow R[r_1] + M[R[r_0]].$$

因其有 $R[r_2], R[r_1], R[r_0]$ 等寄存器读写操作，故取数及执行过程中需要用到通用寄存器组（GPRs）。

因其有 $+$ 这一运算操作，故取数及执行过程中需要用到算术逻辑部件（ALU）。

因其有 $M[R[r_0]]$ 这一寄存器间接寻址操作，故取数及执行过程中需要用到存储器（Memory）。

故选择 **B**. 仅 I、II、III。

4、在采用“取指、译码/取数、执行、访存、写回”5段流水线的处理器中，执行如下指令序列，其中 s_0, s_1, s_2, s_3, t_2 表示寄存器编号。

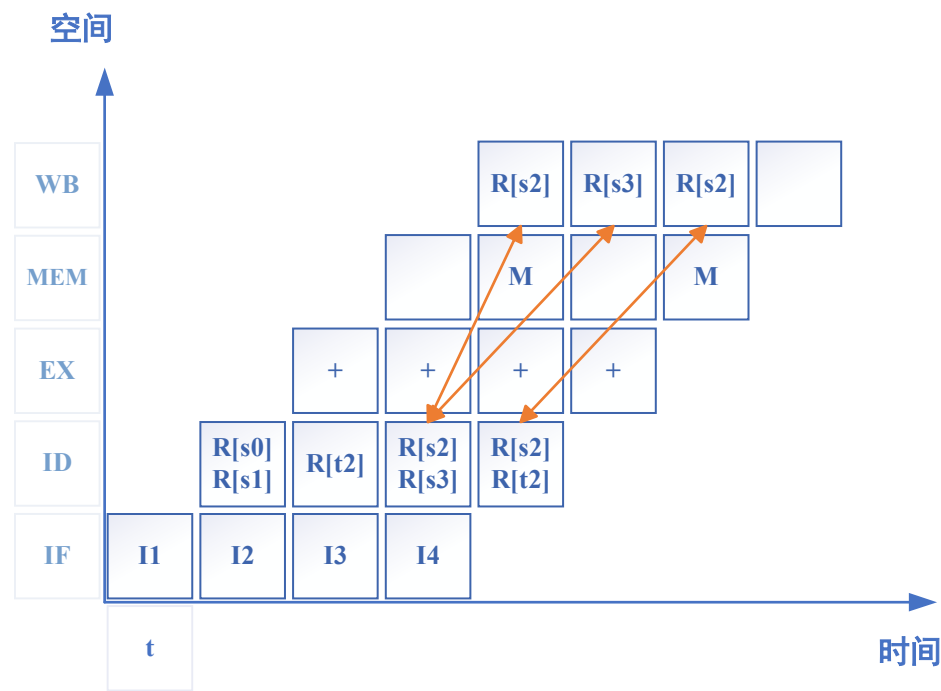
I1:	add	s2, s1, s0	//R[s2]←R[s1] + R[s0]
I2:	load	s3, 0(t2)	//R[s3]←M[R[t2] + 0]
I3:	add	s2, s2, s3	//R[s2]←R[s2] + R[s3]
I4:	store	s2, 0(t2)	//M[R[t2] + 0]←R[s2]

则下列指令对中，不存在数据冒险的是（ ）。

- A. I1 和 I3
- B. I2 和 I3
- C. I2 和 I4
- D. I3 和 I4

解答：

绘制流水线时空图如下：



其中橙色箭头表示存在的数据冒险，由图可知 I1 和 I3，I2 和 I3，I3 和 I4 之间存在数据冒险，而 I2 和 I4 间不存在数据冒险。

故选择 C. I2 和 I4。