

Projekt indywidualny 2

Weryfikacja jednostki wykonawczej **exe_unit**
na drodze symulacji logicznej zrealizowanej w ramach projektu indywidualnego 1
Semestr zima 2021/22

Cel projektu

Celem projektu jest weryfikacja operacji i flag zrealizowanej jednostki **exe_unit** w ramach projektu indywidualnego 1. Projekt 2 jest kontynuacją projektu pierwszego.

Weryfikacja ma polegać na symulacji logicznej modelu jednostki **exe_unit** oraz modułu będącego wynikiem jej syntezy logicznej **exe_unit_rtl**. Wyniki wykonywanych operacji oraz flag dla modelu **exe_unit** przed synteza logiczną jak i po (**exe_unit_rtl**) dla wszystkich zdefiniowanych operacji **i_oper** muszą być zgodne.

Symulacja logiczna ma być wykonywana symulatorem **icarus verilog**.

Do przeglądania przebiegów sygnałów należy wykorzystać program **gtkwave**.

Wszystkie pliki projektu 2 mają być umieszczone w repozytorium projektu 1 w odpowiednich katalogach:

- MODEL - pliki *.sv zrealizowane w ramach projektu 1 oraz wszystkie pliki modeli i ich dalsza modyfikacja/rozwój
- TEST - plik **testbench.sv** wraz z testami do weryfikacji projektu
- RTL - plik **exe_unit_rtl.v** zawierający zsyntezowany moduł **exe_unit_rtl**
- WORK - zawiera pliki **run.py** **makefile** oraz wynikowy plik przebiegów sygnałów **signals.vcd**

Realizacja projektu

W serwisie MOODLE przedmiotu w katalogu PROJEKT 2 znajdują się szablony plików:

- WORK/run.py - skrypt do syntezy **exe_unit** do **exe_unit_rtl** i umieszczenie go w katalogu RTL
- WORK/makefile - plik sterujący make'iem:
 - **make** - wykonanie syntezy **yosys**'em
 - **make sim** - wykonanie symulacji **icarus verilog**'iem
 - **make wave** - przeglądanie wyników symulacji **gtkwave**'em

- **TEST/testbench.sv** - przykładowe testy i weryfikacja modelu z układem po syntezie dla losowo wygenerowanych danych

które należy wykorzystać do realizacji projektu.

Pliki umieszczone na MOODLE umożliwiają na przykładowym układzie **exe_unit** prześledzenie jak wykonywane są symulacje logiczne wraz z weryfikacją wyników w pliku **testbench.sv**.

Wymagania i punktacja

- Symulacja logiczna całego modułu **exe_unit** oraz **exe_unit_rtl** wraz ze wszystkimi plikami musi przebiegać poprawnie - warunek konieczny
- Wszystkie pliki projektu i dokumenty muszą być umieszczone w repozytorium gitlab-stud.elka.pw.edu.pl w odpowiednich katalogach w obrębie repozytorium projektu 1 - warunek konieczny
- W repozytorium musi być widoczny systematyczny rozwój i praca nad projektem w postaci historii poszczególnych operacji commit na projekcie - warunek konieczny
- Sporządź sprawozdanie z przebiegami sygnałów modelu **exe_unit** i modelu po syntezie **exe_unit_rtl** dla poszczególnych operacji dla co najmniej czterech różnych danych wejściowych pokazujące poprawne działanie układu dla danej operacji (0.6 pkt za każdą operację). Dane wejściowe, wyniki operacji i wartości flag umieść w tabeli
- W sprawozdaniu wykaż poprawność realizacji flag (0.7 pkt za każdą flagę). Dodaj odpowiednie testy aby sprawdzić wszystkie flagi, które nie zostały wykazane przy symulacji operacji. Odpowiednie przebiegi umieść w sprawozdaniu wraz z tabelą wartości wejściowych, wyników i flag.

Liczba punktów do zdobycia - 10 pkt w tym:

- 7.2 pkt - weryfikacja operacji
- 2.8 pkt - weryfikacja flag