

# AKADEMIA GÓRNICZO-HUTNICZA

WYDZIAŁ ELEKTROTECHNIKI, AUTOMATYKI, INFORMATYKI I ELEKTRONIKI  
KIERUNEK MIKROELEKTRONIKA W TECHNICIE I MEDYCYNIE



SYSTEMY DEDYKOWANE W UKŁADACH PROGRAMOWALNYCH

---

## Projekt zaliczeniowy

Implementacja kodowania długości serii (RLE) w układzie z rodziny Zynq-7000

---

Agnieszka Kamień i Magdalena Rosół

Kraków, 12 kwietnia 2021

# Spis treści

|          |  |           |
|----------|--|-----------|
| <b>1</b> | <b>Historia zmian dokumentu</b>                  | <b>3</b>  |
| <b>2</b> | <b>Opis projektu i algorytmu</b>                 | <b>4</b>  |
| 2.1      | Cel projektu . . . . .                           | 4         |
| 2.2      | Opis algorytmu . . . . .                         | 4         |
| 2.3      | Diagram algorytmu . . . . .                      | 4         |
| <b>3</b> | <b>Opis behawioralny algorytmu</b>               | <b>7</b>  |
| 3.1      | Ustalenie architektury modułu . . . . .          | 7         |
| 3.2      | Kod w .v/.sv . . . . .                           | 7         |
| 3.3      | Testy modułu behawioralnego . . . . .            | 7         |
| <b>4</b> | <b>Opis syntezywalny algorytmu</b>               | <b>8</b>  |
| 4.1      | Potokowa wersja modułu . . . . .                 | 8         |
| 4.2      | Kod w .v/.sv . . . . .                           | 8         |
| 4.3      | Testy modułu syntezywalnego . . . . .            | 8         |
| <b>5</b> | <b>Inkorporacja modułu do większego systemu</b>  | <b>9</b>  |
| 5.1      | Magistrala AXI . . . . .                         | 9         |
| 5.2      | Sterownik . . . . .                              | 9         |
| 5.3      | Symulacja . . . . .                              | 9         |
| <b>6</b> | <b>Uruchomienie systemu w układzie Zynq-7000</b> | <b>10</b> |

## 1 Historia zmian dokumentu

| Wersja dokumentu | Data       | Opis                      |
|------------------|------------|---------------------------|
| 1.0              | 22.04.2021 | Pierwsza wersja dokumentu |
| 2.0              | ...        | ...                       |

## 2 Opis projektu i algorytmu

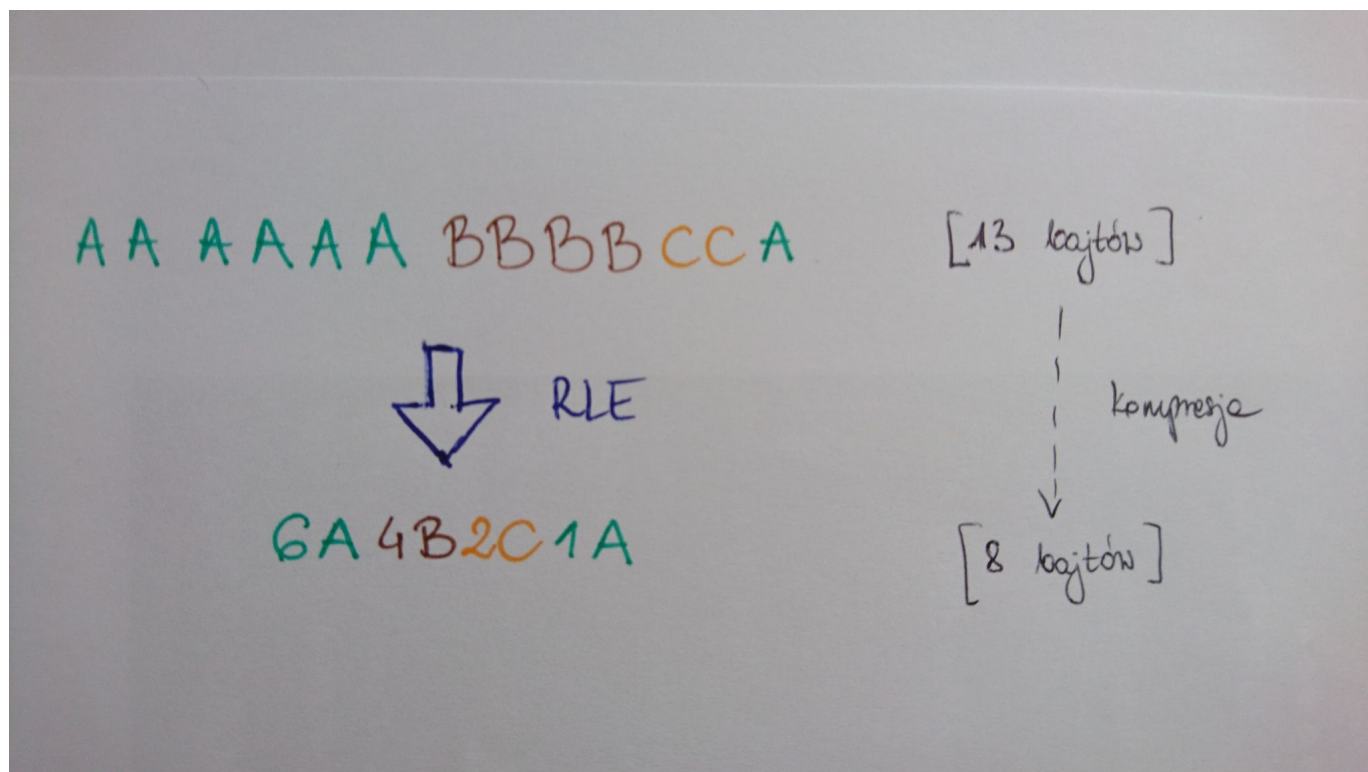
### 2.1 Cel projektu

Celem niniejszego projektu jest opracowanie modułów enkodera i dekodera realizujących kodowanie długości serii. Moduły te mają zostać napisane w języku opisu sprzętu Verilog bądź SystemVerilog, a docelowo powinny zostać uruchomione na płytce ZedBoard Zynq-7000 firmy Xilinx.

### 2.2 Opis algorytmu

Kodowanie długości serii (ang. Run-Length Encoding, RLE) jest formą bezstratnej kompresji danych. Oznacza to, że skompresowane dane mogą zostać z powrotem przekonwertowane do dokładnie takiej samej postaci jak w reprezentacji oryginalnej. Żadne informacje nie są tracone podczas kompresji - proces jest w pełni odwracalny.

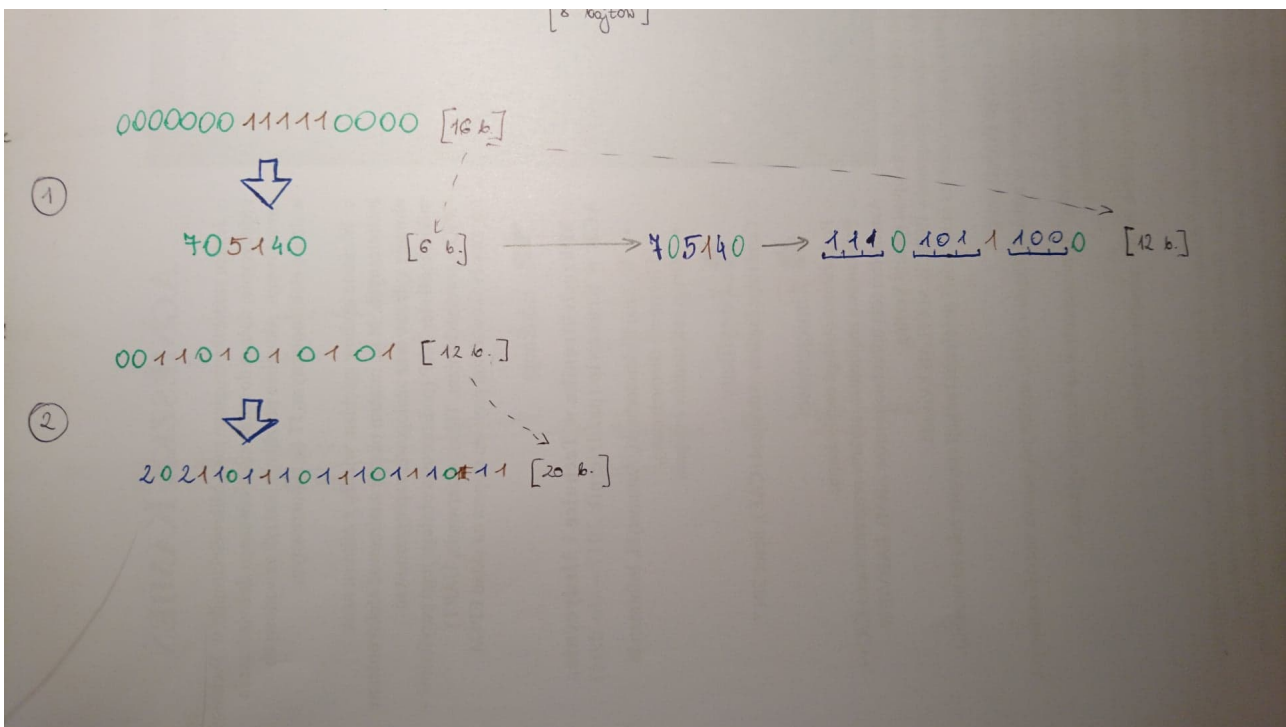
Zdecydowaną zaletą algorytmu jest łatwość jego implementacji oraz to, że nie wymaga dużej ilości zasobów CPU. Polega on na zastąpieniu ciągu znaków liczbą wystąpień danego znaku oraz jego symbolem (patrz rys. 1). Kompresja jest tym skuteczniejsza, im dane są bardziej powtarzalne - wielokrotnie powtarzający się „kolejno” bajt można zapisać w zaledwie dwóch bajtach. W najgorszym przypadku rozmiar danej może zwiększyć się aż dwukrotnie (np. podczas zapisu ciągu ABCD po kompresji otrzymuje się 1A1B1C1D).



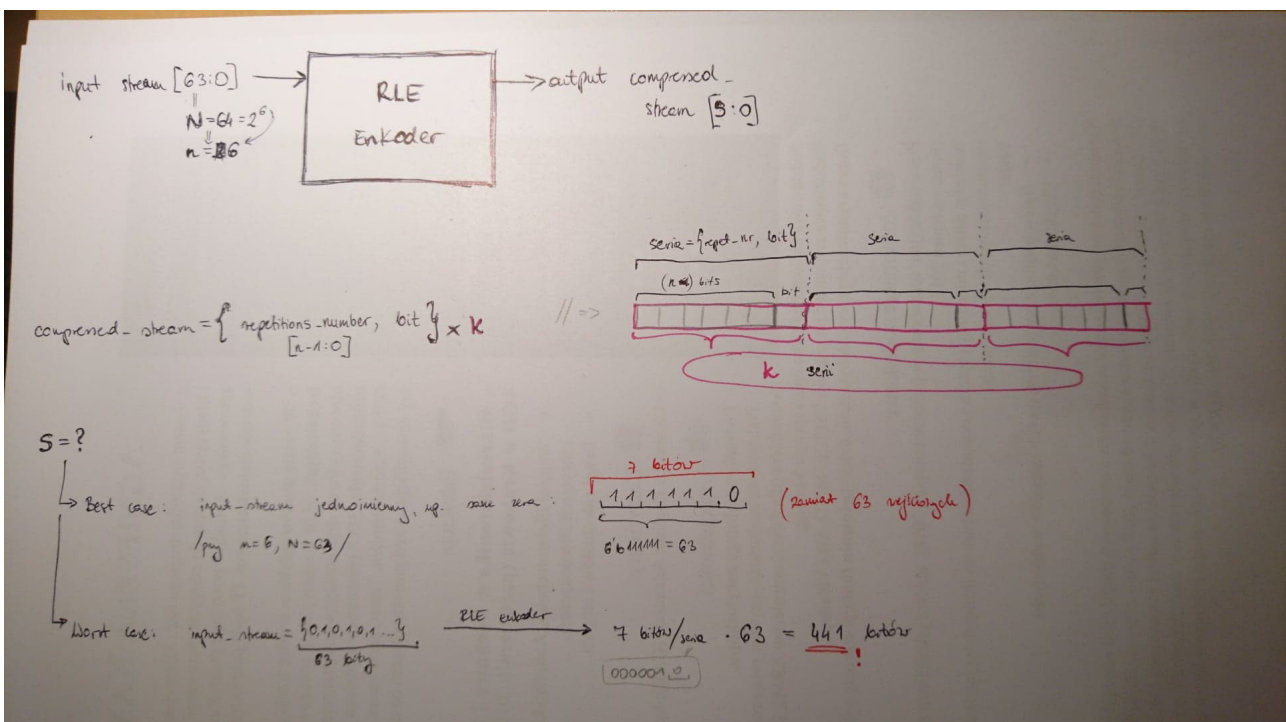
Rysunek 1: Przykład kodowania RLE

### 2.3 Diagram algorytmu

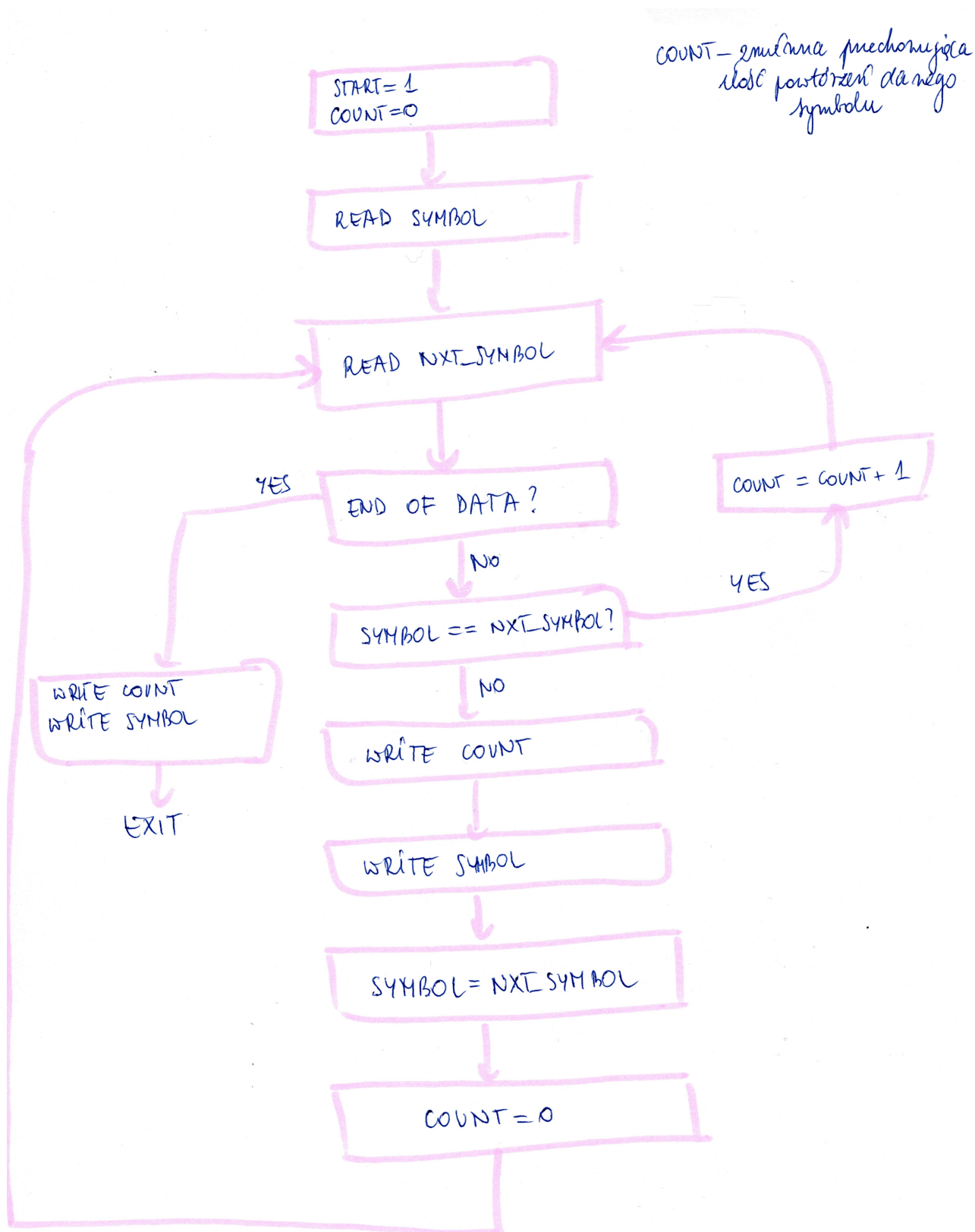
Jeżeli długość serii kodujemy na  $n$  bitach, to w sekwencji wejściowej możemy mieć  $2^n$  znaków (zer lub jedynek). Wykorzystamy to, że nigdy nie kodujemy długości serii równej zero. Zatem symbol równy 0, możemy wykorzystać dla serii 16-znakowej.



Rysunek 2: RLE - przykład kodowania strumienia bitów



Rysunek 3: RLE Enkoder – pierwszy zamysł



Rysunek 4: Schemat blokowy działania algorytmu

### **3 Opis behawioralny algorytmu**

#### **3.1 Ustalenie architektury modułu**

#### **3.2 Kod w .v/.sv**

#### **3.3 Testy modułu behawioralnego**

## 4 Opis syntezywalny algorytmu

### 4.1 Potokowa wersja modułu

### 4.2 Kod w .v/.sv

### 4.3 Testy modułu syntezywalnego



## 5 Inkorporacja modułu do większego systemu

### 5.1 Magistrala AXI

### 5.2 Sterownik

### 5.3 Symulacja

## 6 Uruchomienie systemu w układzie Zynq-7000