



Tarea 5

4 de junio de 2020

Agustín Campeny

1. Problemas: Retardo

1.1. Compuerta NAND4

A continuación se presenta un bosquejo de la compuerta solicitada, junto con los anchos para cada transistor, los que fueron escogidos para que el circuito tenga la misma resistencia en pullup y pulldown que el inversor descrito en el peor caso.

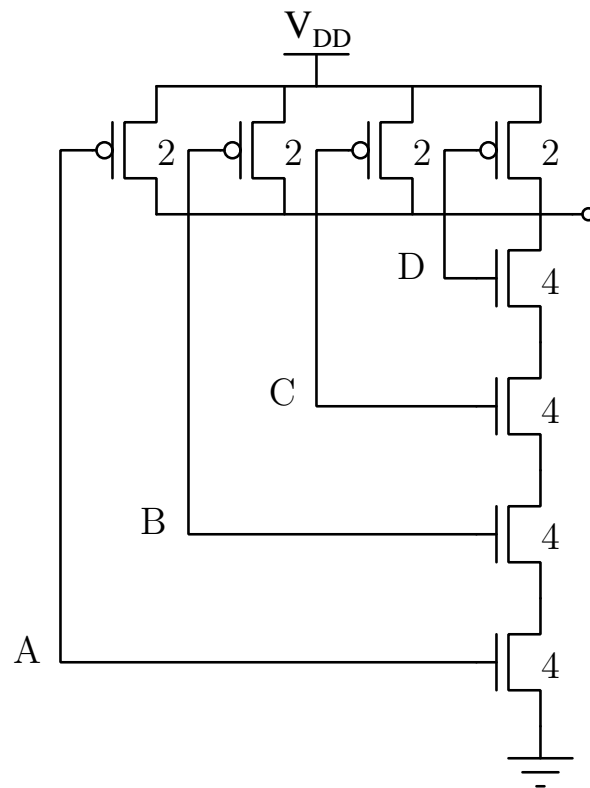


Figura 1: Compuerta NAND4

1.2. Compuerta NOR-N

A continuación se presenta un bosquejo del circuito NOR de N entradas, con resistencia interna en subida y bajada igual a la de un inversor con $W_p = 2$ y $W_n = 1$.

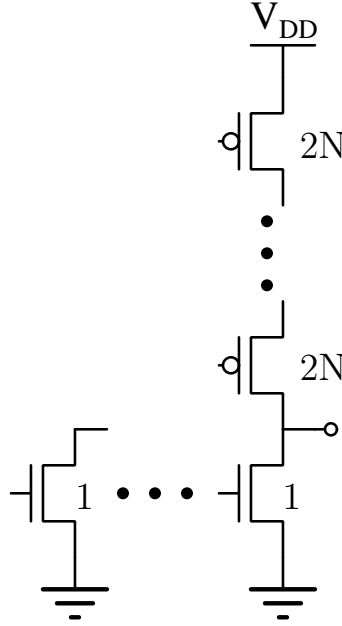


Figura 2: Compuerta NOR-N

La capacitancia de entrada del inversor unitario es de $3C$, y su retardo parasitario $\tau_{inv} = 3RC$. Es posible notar que cada entrada del NOR-N ve una capacitancia de $(2N + 1)C$ unidades, por lo tanto su esfuerzo lógico es de $g = (2N + 1)/3$.

Por como se definieron los anchos, la capacitancia del nodo de salida del NOR-N es de $3NC$, y la resistencia es R , por lo tanto $t_{pd} = 3NRC$, y su retraso relativo al inversor unitario es $d = t_{pd}/\tau_{inv} = N$.

1.3. CMOS Complementaria

1.3.1.

Como la resistencia del PMOS es igual a la mitad de la resistencia del NMOS, para lograr igual resistencia de pullup y pulldown, el valor de $W_p = 1$ y $W_n = 2$.

1.3.2.

Se presenta el circuito que corresponde a la función $F = \overline{((A + B) \cdot C + D) \cdot E}$.

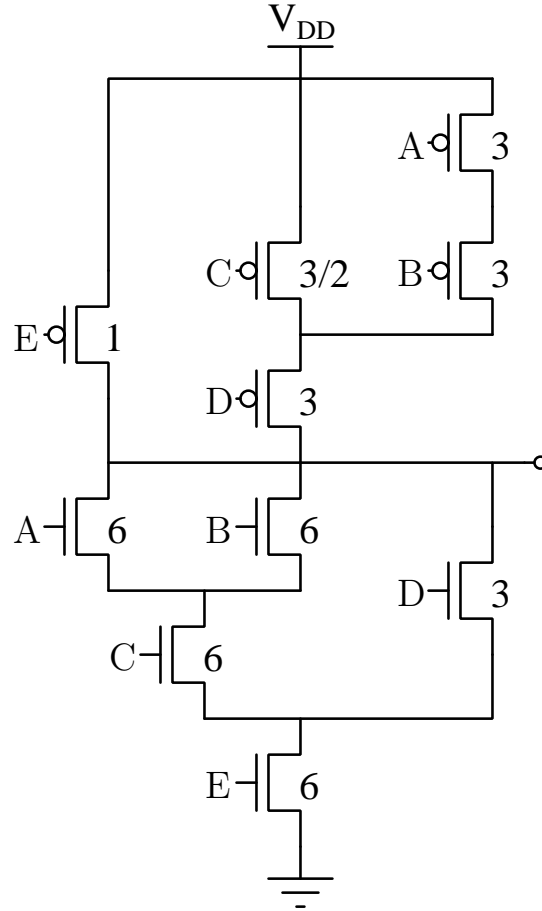


Figura 3: Compuerta F

Las medidas fueron escogidas para que los peores casos de pullup y pulldown sean tengan la misma resistencia interna que la del inversor unitario definido en el item anterior.

1.3.3.

La capacitancia de entrada del inversor unitario corresponde a $3C$, mientras que la capacitancia de entrada para el circuito F de la entrada E es $7C$. De este modo, el *logical effort* de la entrada E es $g_E = 7/3$.

1.4. AND-OR-INVERTER

Primero para estimar la capacitancia de cada nodo, se utiliza la convención de que la difusión con contacto tiene una capacitancia $C_g \cdot W$, mientras que la difusión combinada, que es el caso de transistores en serie, tiene la mitad, o sea $C_g \cdot W/2$.

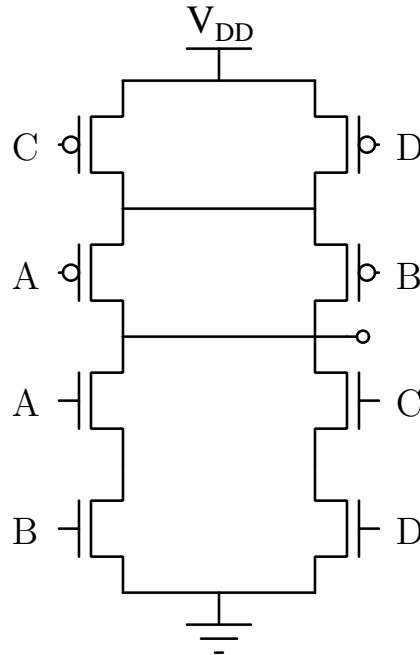


Figura 4: Compuerta AOI4

Se puede notar que si bien los PMOS de ambas ramas se encuentran en serie, estas tienen un contacto, por lo tanto el nodo considera las capacitancias de ambas difusiones. Los NMOS serie poseen difusiones combinadas, por lo tanto presentan la mitad de la capacitancia, y el nodo de salida corresponde a la suma de las difusiones con contacto PMOS y NMOS.

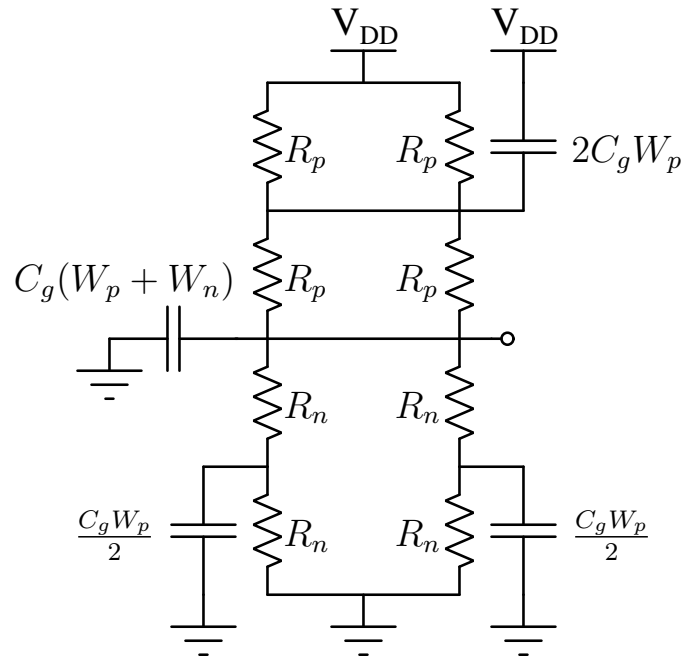


Figura 5: Circuito equivalente

En el circuito equivalente $R_p = 2R/W_p$ y $R_n = R/W_n$. Se determinan los retrasos de propagación ascendentes y descendentes para los peores casos.

Para el caso ascendente, el peor caso corresponde a $A, C = 1$ y $B, D = 1 \rightarrow 0$, ya que como el NMOS C sigue conduciendo, su capacitancia de difusión contribuye a la capacitancia en la salida. Se determina el retraso:

$$t_{pdr} = \frac{2R}{W_p} \cdot 2C_g W_p + \frac{4R}{W_p} (C_g(W_p + W_n) + C_g W_n/2) \quad (1.1)$$

$$= 4RC_g \left(\frac{3}{2} \frac{W_n}{W_p} + 2 \right) \quad (1.2)$$

El peor caso de retraso descendente se da cuando $A, B = 0$ y $C, D = 0 \rightarrow 1$, ya que la capacitancia del nodo entre difusiones PMOS contribuye a la capacitancia de salida. Se determina el retraso:

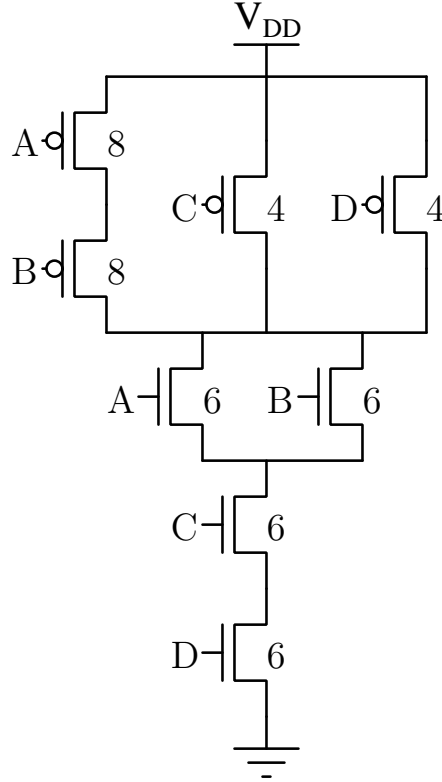
$$t_{pdf} = \frac{R}{W_n} \cdot \frac{C_g W_n}{2} + \frac{2R}{W_n} (C_g(W_p + W_n) + 2C_g W_p) \quad (1.3)$$

$$= 2RC_g \left(3 \frac{W_p}{W_n} + \frac{5}{2} \right) \quad (1.4)$$

1.5. Compuerta CMOS

1.5.1.

Se presenta un bosquejo del circuito descrito, con una resistencia interna determinada para los peores casos.

Figura 6: Circuito descrito por la función F

1.5.2.

Una manera sencilla de mejorar este camino crítico, es posicionando los transistores que son controlados por A lo mas cercano a la salida. De forma práctica, colocar el PMOS manejado por A por debajo del PMOS de B aportaría a disminuir el retraso del camino.

1.6. Buffers

Los datos entregados en el enunciado se utilizan para obtener las capacitancias de compuerta y difusión de cada etapa. Primero se determina la capacitancia de entrada y difusión de la primera etapa de inversor:

$$C_{in1} = C_{out1} = C_D \cdot (12\lambda + 6\lambda) = 0.486 \text{ fF} \quad (1.5)$$

Luego se obtiene el valor de *Path Effort* $F = GBH$. Como no existen ramificaciones el valor de $B = 1$, y como todas las compuertas corresponden a inversores mínimos escalados, el valor de $G = 1$. Finalmente $F = H$, y por lo tanto:

$$F = H = \frac{C_{Load}}{C_{in1}} = \frac{518 \text{ fF}}{0.486 \text{ fF}} \approx 1066 \quad (1.6)$$

Ya con estos valores es posible conseguir las medidas de los inversores intermedios que minimizan el retraso total del camino. Para esto se determina el valor del *Best Stage Effort* \hat{f} :

$$\hat{f} = \sqrt[n]{F} = \sqrt[4]{1066} \approx 5,71 \quad (1.7)$$

Finalmente, se multiplican las medidas de cada etapa por \hat{f} para obtener la siguiente, y así las medidas finales son las siguientes:

$$1 : 12\lambda/6\lambda \quad 2 : 68,5\lambda/34,3\lambda \quad 3 : 391,1\lambda/195,9\lambda \quad 4 : 2233,2\lambda/1118,6\lambda \quad (1.8)$$

Asumiendo la etapa 1 como el inversor unitario, se calcula el retardo total normalizado:

$$D = n\sqrt[n]{F} + p = 26,84 \quad (1.9)$$

La resistencia interna del inversor unitario es igual para el PMOS y el NMOS, ya que el PMOS tiene el doble de ancho, y es igual a:

$$R = \frac{2}{6} \cdot 13\text{k}\Omega/\square = 4.33\Omega \quad (1.10)$$

La capacitancia es:

$$C = (12 + 6)\delta \cdot C_D = 0.486\text{fF} \quad (1.11)$$

El retardo del inversor unitario es $\tau = RC = 2.11\text{ps}$, y así finalmente el retardo total del circuito es $t_{pd} = D\tau = 56.63\text{ps}$.

1.7. Branching effort

1.7.1.

Para el circuito del enunciado, se tienen 8 bifurcaciones idénticas, por lo tanto $B = 8$. Utilizando los esfuerzos lógicos estándar para las compuertas NAND y NOR del camino, se determina $G = 4/3 \cdot 5/3 = 20/9$. Finalmente la capacitancia de carga es de 200 fF, y la capacitancia de la primera etapa es de 10 fF, así que $H = 200/10 = 20$. Con esta información, el *path effort* para cualquier camino es:

$$F = GBH \approx 356 \quad (1.12)$$

1.7.2.

El valor de $\hat{f} = \sqrt[4]{F} \approx 4,34$, y con este ya es posible determinar la capacitancia de entrada de cada compuerta. Comenzando desde el final del path:

$$C_{in4} = \frac{200 \text{ fF} \cdot 1}{4,34} \approx 46.10 \text{ fF} \quad (1.13)$$

$$C_{in3} = \frac{46.10 \text{ fF} \cdot 5/3}{4,34} \approx 17.70 \text{ fF} \quad (1.14)$$

$$C_{in2} = \frac{17.70 \text{ fF} \cdot 4/3 \cdot 8}{4,34} \approx 43.50 \text{ fF} \quad (1.15)$$

$$C_{in1} = \frac{43.50 \text{ fF} \cdot 1}{4,34} \approx 10 \text{ fF} \quad (1.16)$$

Como se logró llegar a la capacitancia de la etapa inicial, los valores fueron correctamente asignados. El inversor final tiene una capacitancia de entrada de $C_{in4} = 46.10 \text{ fF}$, y la compuerta NOR tiene $C_{in3} = 46.10 \text{ fF}$.