



Tarea 6

11 de junio de 2020

Agustín Campeny

1. Factor de actividad

1.1.

Para este ejercicio se calcula la probabilidad para cada nodo, y luego su factor de actividad, definido como $\alpha = P_i \overline{P_i}$.

- n_0 : Como la probabilidad de todas las entradas del circuito son de 0.5, y la probabilidad de una puerta NAND2 es de $P_{\text{NAND2}} = 1 - P_A P_B$, la probabilidad $P_{n_0} = 0,75$, y el factor de actividad $\alpha_{n_0} = 0,1875$.
- n_1 : El inversor solo invierte la probabilidad del nodo de entrada, pero no modifica el factor de actividad, por lo tanto $P_{n_1} = 0,25$ y $\alpha_{n_1} = 0,1875$.
- n_2 : Se utiliza la probabilidad de n_1 y de la nueva entrada. El valor $P_{n_2} = 0,875$ y $\alpha_{n_2} = 0,109375$.
- n_3 : Este nodo es idéntico a n_2 , por lo tanto $P_{n_3} = 0,875$ y $\alpha_{n_3} = 0,109375$.

1.2.

Despreciando la potencia interna, se define la potencia dinámica como la suma de las potencias de switching en las entradas de cada compuerta y en la capacitancia de carga. De esta forma:

$$P_{\text{dynamic}} = (0,5C_{in} + 0,1875C_1 + 0,875C_2 + 0,21875C_{Load}) V_{DD}^2 f \quad (1.1)$$

2. Low Power Placement

Se quiere minimizar el factor de actividad en los nodos con capacitores. Para esto primero se determina el valor del factor de actividad con respecto a las entradas:

$$\alpha_1 = (1 - \overline{P_{in1}P_{in2}}) \cdot \overline{P_{in1}P_{in2}} \quad (2.1)$$

$$\alpha_2 = (1 - \overline{P_{int}P_{in3}}) \cdot \overline{P_{int}P_{in3}} \quad (2.2)$$

$$(2.3)$$

Como el nodo de salida es una función de las tres entradas, su factor de actividad es el mismo sin importar el orden de estas. Se busca entonces minimizar α_1 .

El orden que minimiza este valor es $P_{in1} = 0,1$ y $P_{in2} = 0,2$, correspondiendo a un factor de actividad $\alpha_1^{\min} = 0,0196$.

El orden que maximiza este valor es $P_{in1} = 0,2$ y $P_{in2} = 0,5$, correspondiendo a un factor de actividad $\alpha_1^{\min} = 0,09$.