

Práctica:

Síntesis VHDL.

1

Sintetizar la siguiente tabla de verdad, correspondiente a un sumador completo, a) mediante la sentencia if, b) mediante case, c) mediante when... else, d) mediante with... select y e) mediante la función suma descripta en el paquete TablaDeVerdadPaquete.vhd

a	b	cin	cout	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

En VHDL se puede realizar la asignación: (cout, s) <= std_logic_vector("11"); o la agrupación: std_logic_vector(a, b, cin) = "101", a fin de hacer más legible la descripción del sistema.

2

Sintetizar la siguiente tabla de verdad. Emplear la función std_match() (paquete numeric_std) para facilitar la descripción de la tabla de verdad contemplando los términos redundantes.

a(11 downto 0)											s(6 downto 0)							
0	1	1	0	1	1	0	*	*	*	*	1	0	0	0	1	0	0	
1	1	1	0	1	1	0	*	*	*	*	1	0	0	1	0	0	0	
*	*	*	*	0	1	0	*	*	*	*	0	0	0	0	0	0	1	
1	1	0	0	1	1	0	*	*	*	*	0	1	0	0	0	0	0	
0	1	0	0	1	1	0	*	*	*	*	0	0	1	0	0	0	0	
*	1	*	*	*	1	0	*	*	1	1	1	0	0	0	0	0	1	
1	*	*	*	*	1	0	*	*	1	1	1	0	0	0	0	0	1	
*	*	*	*	*	1	0	0	1	1	1	*	0	0	0	0	1	0	
*	*	1	*	*	1	0	*	*	1	1	1	0	0	0	0	0	1	
*	*	*	1	*	1	0	*	*	1	1	1	0	0	0	0	0	1	

3

Sintetizar un multiplexor de 2 a 1 de 8 bits. Tendrá los puertos definidos de la siguiente manera:

Entradas de datos: A, B: in std_logic_vector(7 downto 0);

Entrada de selección: SEL: in std_logic.

Salida: Y: out std_logic_vector(7 downto 0).

Sintetizarlo a) mediante la sentencia if, b) mediante case, c) mediante when... else y d) mediante with... select.

4

Sintetizar en decodificador de 3 a 8, con arquitecturas basadas en a) la sentencia with... select, b) en la sentencia case y c) en la sentencia for... in... loop.

Entrada: A(2 downto 0), salida: Y(7 downto 0).

5

Sintetizar un codificador de 8 a 3 con prioridad, mediante arquitecturas basadas en a) la sentencia when... else, b) con la sentencia if y c) con la sentencia for...loop.

Entradas: A(7 downto 0).

Salida, S(2 downto 0) indica cual de los 8 bits de entrada tiene un 1 lógico.

Si dos o más entradas se encuentran en 1 la salida reflejará la de mayor peso.

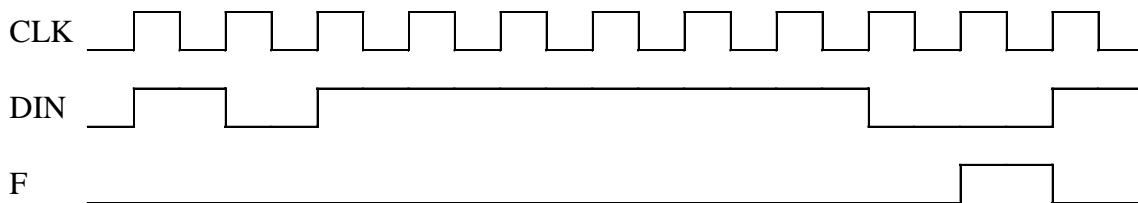
6

a) Sintetizar un contador de 4 bits. Entradas: CLK (reloj) y RST (reset asincrónico). b) Al contador realizado agregarle una entrada de habilitación de reloj (CE) y otra (L) de entrada de carga en paralelo para llevar la cuenta (entrada Cuenta) a un valor determinado. Estas entradas son sincrónicas. c) El contador del punto b debe ser ahora paramétrico.

7

HDLC es un protocolo de transmisión de datos. En este, el inicio o el final de una trama, se señala mediante la secuencia "01111110", a este patrón se lo denomina flag. Realizar un circuito que detecte esta cadena, momento en el cual, coincidente con el último 0, se pondrá en 1 la señal F durante un pulso de reloj.

El diagrama temporal es el siguiente:



Sintetizarlo:

a) mediante una maquina de Moore sin asignación de estados, empleando la construcción:

type e is (eReset, Primer0, Primer1, Segundo1, Tercer1, Cuarto1, Quinto1, Sexto1, Inicio);

b) con asignación de estados binaria, empleando la construcción:

type e is (eReset, Primer0, Primer1, Segundo1, Tercer1, Cuarto1, Quinto1, Sexto1, Inicio);

attribute enum_encoding : string;

attribute enum_encoding of e : type is "0000 0001 0010 0011 0100 0101 0110 0111 1000";

c) con asignación de estados en código Gray, empleando la construcción:

type e is (eReset, Primer0, Primer1, Segundo1, Tercer1, Cuarto1, Quinto1, Sexto1, Inicio);

attribute enum_encoding: string;

attribute enum_encoding of e : type is "0000 0001 0011 0010 0110 0111 0101 0100 1100"

d) con asignación de estados, empleando la construcción:

subtype e is unsigned (3 downto 0);

constant eReset : e := "0000";

constant Primer0 : e := "0001";

constant Primer1 : e := "0010";

constant Segundo1 : e := "0011";

constant Tercer1 : e := "0100";

constant Cuarto1 : e := "0101";

```
constant Quinto1 : e := "0110";  
constant Sexto1  : e := "0111";  
constant Inicio   : e := "1000";
```

e) sintetizarlo ahora con una arquitectura que almacene los 8 últimos bits y detecte la combinación que indica el principio de trama.

Para todos los casos indique el número de celdas lógicas empleadas, la codificación que emplea el sintetizador y la frecuencia de funcionamiento.