

FPGA TABANLI SAYISAL SİNYAL İŞLEME  
ALGORİTMALARINA ÖZELLEŞTİRİLMİŞ YARDIMCI İŞLEMCİ  
TASARIMI

ABDULLAH GİRAY YAĞLIKÇI

YÜKSEK LİSANS TEZİ  
BİLGİSAYAR MÜHENDİSLİĞİ

TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ

AĞUSTOS 2014

ANKARA

Fen Bilimleri Enstitü onayı

---

Prof. Dr. Ünver KAYNAK  
Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

---

Doç. Dr. Erdoğan Doğdu  
Anabilim Dalı Başkanı

ABDULLAH GİRAY YAĞLIKÇI tarafından hazırlanan FPGA TABANLI SAYISAL SİNYAL İŞLEME ALGORİTMALARINA ÖZELLEŞTİRİLMİŞ YARDIMCI İŞLEMCİ TASARIMI adlı bu tezin Yüksek Lisans tezi olarak uygun olduğunu onaylarım.

---

Doç. Dr. Oğuz ERGİN  
Tez Danışmanı

Tez Jüri Üyeleri

Başkan : ....

Üye : Doç. Dr. Oğuz ERGİN

Üye : ....

## TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.

Abdullah Giray Yağlıkçı

Üniversitesi : TOBB Ekonomi ve Teknoloji Üniversitesi  
Enstitüsü : Fen Bilimleri  
Anabilim Dalı : Bilgisayar Mühendisliği  
Tez Danışmanı : Doç. Dr. Oğuz ERGİN  
Tez Türü ve Tarihi : Yüksek Lisans – Ağustos 2014

Abdullah Giray Yağlıkçı

**FPGA TABANLI SAYISAL SİNYAL İŞLEME  
ALGORİTMALARINA ÖZELLEŞTİRİLMİŞ YARDIMCI İŞLEMÇİ  
TASARIMI**

**ÖZET**

Sayısal sinyal işlemede yaygın olarak kullanılan fonksiyonların büyük bir veri seti üzerinde çalıştırılması durumunda paralelleştirilmesi, yürütme zamanını kritik bir şekilde azaltmaktadır. Farklı veriler üzerinde aynı işlemlerin tekrarlandığı algoritmalarda performans artışı sağlamak adına iş parçalarının paralel yürütülebilmesi için çok çekirdekli işlemciler, GPGPU, ASIC tasarımlar ve FPGA tabanlı sistemler algoritmanın koşturulacağı platformların başında gelir. Her bir platformun kendi avantajları ve dezavantajları olmakla beraber, düşük maliyet ile yüksek paralellik sağladığı için GPGPU ve FPGA'ler son yıllarda en yaygın kullanılan platformlardır. Bu tez, ASELSAN - TOBB ETÜ iş birliğinde yürütülen, çıktısı FPGA tabanlı ve OpenCL destekli, ölçeklenebilir ve özelleştirilebilir tasarıma sahip bir yardımcı işlemci ünitesi olan projenin donanım tasarımı kısmını kapsar. Tez çalışmalarına paralel olarak derleyici tasarımı yapılmış fakat tez içeriğine dahil edilmemiştir.

**Anahtar Kelimeler:** FPGA, hızlandırıcı, yardımcı işlemci, OpenCL.

**University** : TOBB University of Economics and Technology  
**Institute** : Institute of Natural and Applied Sciences  
**Science Programme** : Computer Engineering  
**Supervisor** : Assoc. Prof. Oğuz ERGİN  
**Degree Awarded and Date** : M.Sc. – August 2014

**Abdullah Giray Yağlıkçı**

## **TITLE OF THE THESIS**

## **ABSTRACT**

Typical digital signal processing algorithms executes the same DSP functions on different data sets. Parallelizing this process dramatically decreases execution time of such kind of functions. There are 4 popular platforms for parallelized applications: Many-core processors, GPGPUs, ASIC chips and FPGA based applications. Although each kind of platform has own pros and cons, GPGPU and FPGA based applications are more popular than others because of lower price and higher parallel processing capabilities. This MSc thesis consists of hardware design of a project which is managed by ASELSAN and TOBB ETÜ and the output of project is FPGA based OpenCL ready highly scalable and configurable co-processor. Although compiler works are in progress, this thesis only includes the hardware design of co-processor.

**Keywords:** FPGA, accelerator, co-processor, OpenCL.

## TEŞEKKÜR

Bu çalışmayı tamamlamamda emeđi geen deđerli danıřman hocam Do. Dr. Ođuz Ergin'e; kıymetli alıřma arkadařlarım Hasan Hassan, Hakkı Dođaner Smerkan, Serdar Zafer Can, Serhat Gesođlu, Volkan Keleř ve Osman Sekin řimřek'e; tez alıřmam sırasında beni destekleyen aileme ve deđerli arkadařlarım Fahrettin Ko, Tuna ađlar Gmř ve Emrah İřlek'e; projeye desteđinden tr ASELSAN'a ve alıřma ortamımızı sađladıđı iin TOBB ET Mhendislik Fakltesi ve Fen Bilimleri Enstitsne teřekkr ederim.

# İçindekiler

<b>1</b>	<b>GİRİŞ</b>	<b>1</b>
<b>2</b>	<b>GEREKSİNİM ANALİZİ</b>	<b>4</b>
2.1	Proje Gereksinimleri . . . . .	5
2.2	Paralleleştirmenin Başarıma Etkisi . . . . .	8
2.3	Fonksiyonların Gerçeklenmesi . . . . .	9
2.3.1	Toplama işlemi . . . . .	10
2.3.2	Çıkarma işlemi . . . . .	10
2.3.3	Çarpma işlemi . . . . .	10
2.3.4	Bölme işlemi . . . . .	11
2.3.5	Toplam işlemi . . . . .	11
2.3.6	Max,Min,Ortalama,Ortanca, Karşılaştırma . . . . .	11
2.3.7	Nokta çarpımı . . . . .	12
2.3.8	FFT/IFFT . . . . .	12
2.3.9	Logaritma . . . . .	14
2.3.10	Eksponansiyel . . . . .	14

2.3.11	Norm . . . . .	14
2.3.12	Evrişim . . . . .	14
2.3.13	Alt Matris, Flip, Reverse, Eşlenik ve Transpoz . . . . .	15
2.3.14	Determinant . . . . .	15
2.3.15	Trigonometrik İşlemler . . . . .	15
2.3.16	Filtreleme ve Windowing . . . . .	15
2.3.17	Türev . . . . .	16
2.3.18	Sıralama . . . . .	16
2.3.19	Varyans ve Standart Sapma . . . . .	16
2.3.20	Karekök . . . . .	16
2.3.21	İşaret . . . . .	17
2.3.22	İnterpolasyon . . . . .	17
2.3.23	Özet . . . . .	17
<b>3</b>	<b>BENZER MİMARİLER VE ÖNCEKİ ÇALIŞMALAR</b>	<b>19</b>
3.1	Paralel işleme taksonomisi . . . . .	19
3.2	Mevcut Mimariler . . . . .	20
3.2.1	Homojen az çekirdekli işlemciler . . . . .	21
3.2.2	Homojen çok çekirdekli işlemciler . . . . .	21
3.2.3	Heterojen yapıdaki işlemciler . . . . .	23
<b>4</b>	<b>BUYRUK KÜMESİ VE BORU HATTI MİMARİSİ</b>	<b>24</b>



5	ALT MODÜLLERİN TASARIMI	25
6	SONUÇ	26
	KAYNAKLAR	27
	ÖZGEÇMİŞ	29

# Şekil Listesi

2.1	Radix 2 için butterfly işlemi . . . . .	12
2.2	8 noktalı sinyal için FFT Radix 2 algoritması . . . . .	13
3.1	Flynn Taksonomisi . . . . .	19
3.2	Nehalem . . . . .	21
3.3	Nvidia GPU . . . . .	21
3.4	Tile Mimarisi . . . . .	23
3.5	Playstation Cell Mimarisi . . . . .	23

# Tablo Listesi

2.1	Desteklenmesi beklenen fonksiyon listesi . . . . .	6
2.2	Gerekli Hesaplama Buyrukları . . . . .	17
3.1	CPU GPU Bellek Karşılaştırması . . . . .	22

# 1. GİRİŞ

Sayısal sinyal işleme algoritmalarında sıklıkla aynı işlem, farklı veriler üzerinde uygulanmaktadır. Geleneksel işlemcilerde bu tarz bir uygulama her veri için işlemin peşpeşe tekrarlanması ile gerçekleşir. Oysa ki algoritmaların bu özelliği, farklı veriler için uygulanacak aynı işlemin sırayla değil paralel çalıştırılması ile kayda değer performans artışlarını beraberinde getirir. Örneğin  $N$  elemanlı iki vektörün skalar çarpımı,  $N$  adet çarpma işleminden ve ardından  $N$  adet verinin toplanmasından oluşur.  $N$  adet çarpma işleminden herhangi birinin bir diğerini beklemeye ihtiyacı yoktur. Bu çarpma işlemlerinin peşi sıra yapıldığı ve paralel yapıldığı durumlar karşılaştırıldığında, paralel olan yöntemde  $N$  kata yakın performans artışı gözlenir. Paralleleştirmenin azımsanamayacak performans avantajından dolayı paralel çalışmayı destekleyecek donanım tasarımları üzerinde pek çok çalışma yapılmıştır. Literatürde öne çıkan çalışmaları 4 başlık altında toplamak mümkündür.

Geleneksel işlemcilerde birden fazla iş parçacığının eş zamanlı çalıştırılabilmesi için çok çekirdekli mimari tasarımları yaygın olarak kullanılmaktadır. Çok çekirdekli işlemcilerde bir çekirdek üzerinde 1 veya daha fazla thread koşturulması ile sinyal işleme fonksiyonlarında paralellik sağlanmaktadır. Endüstriyel uygulamalarda kullanılan DSP(Digital Signal Processor) yongaları da çok çekirdekli işlemci mimarisine sahip özelleştirilmiş donanımlardır.[1] Bu tarz mimarilerde çekirdeklerin programlanabilir olması uygulamada esneklik sağlar. Genel amaçlı çok çekirdekli işlemciler, sinyal işleme uygulamalarında alternatiflerine göre daha az paralel ve daha yavaş kahlrlarken DSP yongaları, ilave bir donanım olarak donanımın ömrünü kısaltmakta ve güncellenebilirliğini azaltmaktadır.[2]

Bilgisayar ekranına basılacak piksellerin renk ve parlaklık değerlerinin hızlı

ve paralel bir biçimde hesaplanabilmesi için geliştirilen grafik işlemcileri çok sayıda çekirdeğe sahiptir.[3] Hemen her bilgisayarda bulunan grafik işlemcilerinin genel amaçlı paralel hesaplama gerektiren işlerde kullanılması ekonomik ve yüksek performanslı bir çözüm olarak kendini göstermiştir. Grafik işlemcilerinin genel amaçlı kullanımını destekleyen iki kutup olarak NVidia ve Khronos grubu, sırasıyla CUDA ve OpenCL desteği sağlayarak GPGPU (General Purpose Graphical Processor Unit) kullanımını yaygınlaştırmıştır. [4] [5] GPGPU programlama ile uygulamaların paralelleştirilmesi ek donanım gerektirmediği için ekonomik, çok sayıda çekirdekten oluşan donanımlar olduğu için yüksek derecede paralelleştirilebilir bir donanım alternatifidir. Ticari donanımlar olan grafik işlemcilerinin dezavantajı ise birinci önceliği piksel değeri hesaplayan çekirdeklerden oluşması ve çok özel amaçlı işlerde performans bakımından yetersiz kalmasıdır. Burada bahsi geçen yetersizlik buyruk kümesi tasarımı ile ilgilidir.

GPGPU ve DSP donanımlarının performans açısından yetersiz kaldığı durumlarda, donanım tasarımına müdahale edilebilen ASIC (Application Specific Integrated Circuit) tasarımlar ve FPGA(Field Programmable Gate Array) tabanlı sistemler ön plana çıkar. ASIC tasarımlar yarı iletken seviyesinde tasarlanan devrelerden oluşurken FPGA tabanlı sistemler, adından da anlaşılacağı üzere, FPGA yongalarında hazır bulunan LUT (Lookup Table), kapılar, bellekler vb. yapılar kullanılarak gerçekleştirir. Her iki yaklaşımın diğerlerinden farkı yazılım seviyesinden donanım seviyesine inilmesi ile donanımın uygulamaya özelleştirilerek performans artışının sağlanmasıdır. ASIC - FPGA karşılaştırmasında ASIC uygulamalar daha alt seviyede, FPGA uygulamalar ise daha üst seviyede yapılır. Dolayısıyla ASIC tasarımdan alınan performans artışına FPGA seviyesinde erişilmesi mümkün değildir. Öte yandan ASIC uygulamaların, üretim gerektirdiği için maliyeti fazla, güncellenebilirliği azdır. [6]

Bu tez, sayısal sinyal işleme algoritmalarında yaygın olarak kullanılan fonksiyonların paralel çalıştırılması için tasarlanan FPGA tabanlı bir sistemin donanım tasarımını içerir. Söz konusu sistem ASELSAN ve TOBB ETÜ'nün ortak projesi olup, ASELSAN tarafından sayısal sinyal işleme uygulamalarında kullanılması planlanmaktadır. Dolayısıyla tasarımın temelini oluşturan kriterler ve fonksiyon listesi ASELSAN tarafından belirlenmiştir.

Tezin 2. bölümünde ASELSAN tarafından belirlenen tasarım kriterleri ve fonksiyon listesi özetlenmiş ve tasarım öncesi sistem özellikleri belirlenmiştir. 3. bölümde benzer özellikteki mimariler sunulmuş, avantajları ve dezavantajları tartışılmıştır. 4. bölümde buyruk kümesi ve boru hattı tasarımı anlatılmış, 5. bölümde ise mimari tasarımı alt modüllere ayrılarak her bir modülün tasarımı açıklanmıştır. 6. bölümde sonuçların sunumu ile tez sonlandırılmıştır.

## 2. GEREKSİNİM ANALİZİ

OpenCL ve CUDA altyapıları kullanılarak gerçekleştirilen sinyal işleme uygulamalarının, özelleştirilebilir, milli tasarım bir donanım üzerinde çalıştırılması amacı ile başlatılan projenin gereksinimleri 2.1 Proje Gereksinimleri başlığı altında sunulmuştur. ?? Paralleştirmenin Başarıma Etkisi başlığı altında proje için performans metrikleri belirlenmiş, 2.3 Fonksiyonların Gerçeklenmesi başlığı altında, Tablo 2.1: Fonksiyon Listesi tablosunda verilen fonksiyonların matematiksel ifadeleri ve sayısal sistemler üzerinde gerçekleştirme algoritmaları sunulmuştur. Sunulan ifadeler ?? bölümünde kullanılacaktır.

## 2.1 Proje Gereksinimleri

Proje gereksinimleri şu şekildedir:

1. Tasarlanan işlemci çok çekirdekli mimariye sahip olmalıdır.
2. Tasarlanan işlemcinin buyruk kümesi OpenCL 1.2 desteklemelidir.
3. Tüm işlemler 32 bit integer ve floating point sayılar üzerinden yapılmalıdır. Floating point sayılar için IEEE754 standardı kullanılmalıdır.
4. Tasarım modüler olmalı alt modül sayıları parametrik tanımlanmalı, bütün mimari modülleri özelleştirilebilir olmalıdır.
5. Gelecek çalışmalarda tasarlanacak özel hesaplama ipcore modülleri için standart bir arayüzü desteklemelidir.
6. Tasarım sayısal sinyal işleme uygulamalarında sıklıkla kullanılan ve Tablo 2.1 içinde belirtilen fonksiyonları desteklemelidir.
7. Verilen bir matrisin kopyası oluşturulup kopya üzerinden işlem yapılmalıdır.
8. Reel sayılar matrisi oluşturulurken bellekte yalnızca reel sayıların sığabileceği bir alan kullanılmalıdır, karmaşık sayılar matrisi oluşturulurken reel ve imajiner kısımlar için ayrı yer ayrılmalıdır.
9. Satır, sütun veya alt matris üzerinde işlem yapılırken yalnızca ilgili veriler kopyalanmalıdır.



Tablo 2.1: Desteklenmesi beklenen fonksiyon listesi

Fonksiyon	Açıklama
Toplama	İki matrisin eleman eleman toplanması Matrisin tüm elemanlarına sabit eklenmesi
Çıkarma	İki matrisin eleman eleman farkı Matrisin tüm elemanlarından sabit çıkarılması
Çarpma	Matrislerin eleman - eleman çarpımı Matris çarpımı Matrisin tüm elemanlarının sabit ile çarpımı
Bölme	Matrislerin eleman - eleman bölümü Matrisin tüm elemanlarının sabite bölümü
Toplam	Matrisin satır toplamı Matrisin sütun toplamı Matrisin tüm elemanlarının toplamı
Max, Min, Mean, Median	Her satır için Her sütun için Matrisin tüm elemanları için En büyük elemanın ilk indisi Mutlak en büyük elemanın değeri Mutlak en büyük elemanın ilk indisi
Nokta çarpımı	İki vektörün nokta çarpımı
FFT/IFFT	Her satırın fourier ve ters fourier dönüşümü Her sütunun fourier ve ters fourier dönüşümü
Logaritma	Her eleman için doğal logaritma hesabı Her eleman için 10 tabanında logaritma hesabı
Eksponansiyel	10 tabanında eksponansiyel Doğal tabanda eksponansiyel
Büyüklüğü	Matrisin mutlak büyüklüğü Matrisin enerjisi
Evrişim	Dairesel konvolüsyon (Circular convolution) Doğrusal konvolüsyon (Linear convolution)
Eşlenik	Bir matrisin karmaşık eşleniği
Transpoz	Bir matrisin transpozu

Sonraki sayfada devam etmektedir.

**Tablo 2.1 – devam**

<b>Fonksiyon</b>	<b>Açıklama</b>
	Bir matrisin eşleniksiz transpozu
Determinant	Bir kare matrisin determinanı
Trigonometrik	Her eleman için sin/cos/tan değerleri
Filtreleme	Her satırı FIR ve IIR Filtreleme
	Her sütunu FIR ve IIR Filtreleme
Windowing	Hamming, Hanning ve Gaussian
Alt matris	Matrisin bir satırını al / değiştir
	Matrisin bir sütununu al / değiştir
	Matrisin bir alt matrisini al / değiştir
Türev	Bir vektörün 1. derecede türevi
Norm	Matrisin ve vektörün p. dereceden normu
Sıralama	Satır sıralama
	Sütun sıralama
	Matris sıralama (vektör sıralama gibi)
Varyans,	Satır bazlı
Standart	Sütun bazlı
Sapma	
	Matris bazlı
İşaret	Her bir eleman için signum fonksiyonu
Flip	Yatay ve düşey ekseninde flip
Karekök	Her eleman için karekök
Reverse	Elemanların sırasını tersine çevirir
Interpolasyon	Lineer interpolasyon
Karşılaştırma	Satır, sütun bazlı veya matris için karşılaştırma

Tasarlanan donanımın temel tasarım kararlarını oluşturan gereksinimler ve fonksiyon listesi incelenmiş, her bir matematiksel işlem için gerekli buyruklar ve donanım birimleri belirlenmiştir.

## 2.2 Paralleleştirmenin Başarıma Etkisi

Tablo 2.1 içinde belirtilen işlemlerin paralelleştirilmesi ile işlem sürelerinin kısalması beklenmektedir. Paralel hesaplamada işlem süresini belirleyen 4 unsur vardır.

Bunlardan birincisi bellek işlemlerine ayrılan süredir. Programlanabilir her sistemde olduğu gibi bir işlem veya işlem dizisi başlarken bellekten veri okunur, sonlandığında ise tekrar belleğe sonuçlar yazılır. İşlemler paralelleştirilse de paralelleştirilmese de bellek için harcanan süre toplamda yakındır. Citation Here Hem yazılım hem de donanım seviyesinde bellek işlemlerinde yerelliği artırmak bellek işlemlerinin daha hızlı işlenmesine olanak sağlar.

İkinci unsur paralelleştirmenin bir ölçüsü olan thread sayısıdır. Söz konusu işlem birbirinden bağımsız iş parçacıklarına bölünür ve her bir iş parçacığı farklı donanımlarda koşturularak paralel işleme sağlanır. Literatürde bu iş parçacıkları ingilizce ismi olan thread kelimesiyle ifade edilmekte ve thread kelimesinin buradaki anlamını taşıyan bir türkçe tercümesi bulunmamaktadır. Bu sebeple tezin devamında sürekli olarak thread kelimesi kullanılacaktır. Thread sayısındaki artış, programın daha paralel koşturulabilmesine olanak sağlar.

Üçüncü unsur donanımda gerçekleşmiş thread yolu sayısıdır. Her bir thread, bir thread yoluna atanır ve o yol üzerinde koşturulur. Eğer thread yolu sayısı thread sayısından büyük veya eşitse, tek seferde bütün threadler işlenir ve program sonlanır. Eğer thread sayısı, thread yolu sayısından fazla ise threadler, thread yolu sayısı kadar elemana sahip kümelere bölünür. NVidia'nın dokümanlarında warp ismi ile anılan bu thread kümelerinin her biri tek seferde işlenir. Toplam işlem süresi ise warp sayısına bağlı olarak artar. Thread yolu sayısının artırılması warp sayısında ve işlem süresinde azalmaya yol açar. Ancak fiziksel kısıtlardan dolayı thread yolu sayısının bir üst limiti vardır.

Dördüncü unsur ise her bir thread için harcanan yürütme zamanıdır. Thread başına düşen yürütme zamanı thread içindeki buyruk sayısına, buyrukların çevrim sayılarına, buyruklar arası veri bağımlılıklarına, işlemcinin boru hattı mimarisine ve işlemcinin frekansına bağlı olarak değişir.

Dolayısıyla bir paralelleştirilmiş bir uygulamanın yürütme zamanı denklem 2.1’de gösterildiği şekilde formüle dökülebilir.

$$t_{program} = t_{bellek} + t_{thread} \times \frac{N_{thread}}{N_{threadyolu}} \times t_{thread} = N_{buyruk} \times C_{ortalama} \times T_{saat} \quad (2.1)$$

Burada  $t_{program}$  program süresini,  $t_{bellek}$  bellek işlemleri süresini,  $t_{thread}$  thread süresini,  $N_{thread}$  toplam thread sayısını,  $N_{threadyolu}$  toplam thread yolu sayısını,  $N_{buyruk}$  thread içindeki buyruk sayısını,  $C_{ortalama}$  her buyruk için harcanan çevrim sayılarının ortalamasını,  $T_{saat}$  işlemci saatinin periyodunu ifade eder.

Thread yolu sayısının 1 olduğu durumda aynı anda tek bir thread işlenebilir. Dolayısıyla işlem paralelleştirilmemiş olur. Thread yolu sayısının sonsuza gitmesi halinde ise program süresi bellek işlemleri için harcanan zamana eşit olur.

### **Program süresi bileşenlerinin optimize edilmesi**

Thread sayısı ve thread içindeki buyruk sayısı yazılım katmanında belirlenen değerlerdir. Bellek işlemleri için harcanan süre kaçınılmaz olmasına rağmen yazmaç öbeği, paylaşımlı bellek ve ana bellek ara yüzü gibi load ve store işlemleri ile ilgili donanımların tasarımlarında yapılan iyileştirmeler bellek için harcanan süreyi azaltabilir. Öte yandan işlemci frekansı ve işlemler için harcanan ortalama çevrim sayıları da hesaplama işlemlerinin süresini doğrudan belirleyen bileşenler olup optimize edilmesi gerekmektedir. Bu tarz bir optimizasyon için buyruk kümesi ve boru hattı mimarisi belirleyici yapılardır. Buyruk kümesi tasarımı için fonksiyon listesinde bulunan işlemler

## **2.3 Fonksiyonların Gerçeklenmesi**

Fonksiyon listesinde belirtilen fonksiyonların tamamında veriler bellekten okunmakta ve sonuçlar yine belleğe yazılmaktadır. Dolayısıyla load ve store işlemleri fonksiyonların tümünde olmalıdır. Her bir fonksiyon için gerekli buyruklar ise her fonksiyonun kendi başlığı altında belirtilmiştir.

### 2.3.1 Toplama işlemi

İki matrisin eleman eleman toplamında her bir thread  $C_{i,j} = A_{i,j} + B_{i,j}$  işlemini yapar. Bu işlem için ihtiyaç duyulan buyruklar floating point ve integer toplama buyruklarıdır. Bir matrisin sabit sayı ile toplanması durumunda ise her bir thread  $C_{i,j} = A_{i,j} + k$  işlemini yapar. Burada k değeri integer veya floating point bir sayı olup, bellekten okunabileceği gibi anlık olarak da verilebilir. Dolayısıyla önceki buyruklara ek olarak integer ve float için anlık değer ile toplama buyrukları da gereklidir.

### 2.3.2 Çıkarma işlemi

İki matrisin eleman eleman toplamında her bir thread  $C_{i,j} = A_{i,j} - B_{i,j}$  işlemini yapar. Bu işlem için ihtiyaç duyulan buyruklar floating point ve integer çıkarma buyruklarıdır. Bir matristen sabit sayının çıkarılması durumunda ise her bir thread  $C_{i,j} = A_{i,j} - k$  işlemini yapar. Burada k değeri integer veya floating point bir sayı olup, bellekten okunabileceği gibi anlık olarak da verilebilir. Dolayısıyla önceki buyruklara ek olarak integer ve float için anlık değer çıkarma buyrukları da gereklidir.

### 2.3.3 Çarpma işlemi

MxN ve NxP büyüklükteki iki matrisin çarpılması işlemi MxP adet sonuç üretir. Bu sonuçların her biri için bir thread oluşturulur (toplamda MxP adet) ve her bir thread  $C_{i,j} = \sum_{n=0}^N (A_{i,n} \times B_{n,j})$  işlemini yapar. Bu işlem bir döngü içinde çarpma ve toplama yapılması ile gerçekleşir. Dolayısıyla döngü oluşturabilmek için gerekli atlama, karşılaştırma ve dallanma buyrukları gereklidir. Hesaplama için çarpma buyruğuna da ihtiyaç vardır. Bu işlemin gerçekleşmesinde performans artırmaya yönelik DSP uygulamalarında sıklıkla kullanılan çarp-topla (muladd) işlemi kullanılmalıdır.

Matrislerin eleman eleman çarpılması işleminde ise oluşturulan her bir thread  $C_{i,j} = A_{i,j} \times B_{i,j}$  işlemini yapar. Bu işlem için herhangi bir döngü yapısına ihtiyaç

kalmaksızın çarpma buyruğu yeterlidir.

Matrisin tüm elemanlarının sabit bir sayı ile çarpılması işleminde her bir thread  $C_{i,j} = A_{i,j}/k$  işlemini yapar. Burada k sayısının anlık alınması istenirse anlık ile çarpma buyruğuna da ihtiyaç duyulur. Bütün çarpma ve çarp-topla buyruklarının float ve integer için versiyonlarının bulunması gerekir.

### 2.3.4 Bölme işlemi

İki matris arasında eleman-eleman bölme işlemi için oluşturulan her bir thread  $C_{i,j} = A_{i,j}/B_{i,j}$  işlemini yapar. Bu işlem için float ve integer bölme buyrukları gereklidir. Bir matrisin sabit sayıya bölümü işleminde ise her bir thread  $C_{i,j} = A_{i,j}/k$  işlemini yapar. Burada k sayısının anlık alınması istenirse anlık değere bölme buyruğunun gerçekleştirilmesi gerekir.

### 2.3.5 Toplam işlemi

Bir matrisin satır toplamlarını, sütun toplamlarını veya tüm elemanların toplamını bulur. Bütün program ikişerli eleman toplamlarından oluşur. Örneğin tüm satır toplamları için satır başına  $\log_2 N$  kez, sütun toplamaları için sütun başına  $\log_2 M$  kez ardışık toplama işlemi yapılması gerekir. Tüm elemanların toplamı içinse  $\log_2(M \times N)$  kez ardışık toplama işlemi yapmak gerekir. İhtiyaç duyulan buyruk ise toplama buyruğudur.

### 2.3.6 Max,Min,Ortalama,Ortanca, Karşılaştırma

Verilen herhangi N elemanlı bir veri seti üzerinde (matris veya matrisin bir parçası) max ve min hesapları için ardışık  $\log_2 N$  adet karşılaştırma işlemi yapılır. Ortalama hesabı için elemanların toplamı bulunup bölme işlemi yapılır. Ortanca hesabı için ise sıralama yapılması gerekmektedir. Merge-sort algoritması düşünülürse,  $\log_2 N$  ardışık karşılaştırma ile sıralama yapılır ve ortanca terim bulunur. Bu fonksiyonlar için öncekilerden farklı olarak karşılaştırma buyrukları gereklidir.

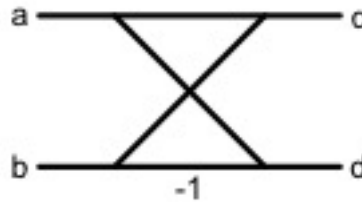
### 2.3.7 Nokta çarpımı

$v_1$  ve  $v_2$  iki adet  $N$  elemanlı vektör olsun  $v_1.v_2 = \sum_{i=1}^N v_1[i]xv_2[i]$  şeklinde tanımlıdır. Daha önce matris çarpımında belirtildiği şekilde çarp, çarp-topla ve topla buyrukları kullanılarak bu işlem gerçekleştirilir. Burada her bir çarpımı oluşturmak için ayrı bir thread oluşturularak paralellik sağlanabilir.

### 2.3.8 FFT/IFFT

Ayrık zamanda fourier ve ters fourier dönüşümü için günümüzde yaygın olarak kullanılan algoritma Cooley-Tukey FFT algoritmasıdır. ref Bu algoritmanın radix-2 decimation in time gerçeklemesinin uygulanması durumunda her bir thread bir butterfly işlemini çalıştırır. 8 elemanlı bir vektörün FFT işlemi Şekil 2.3.8’de sunulmuştur.

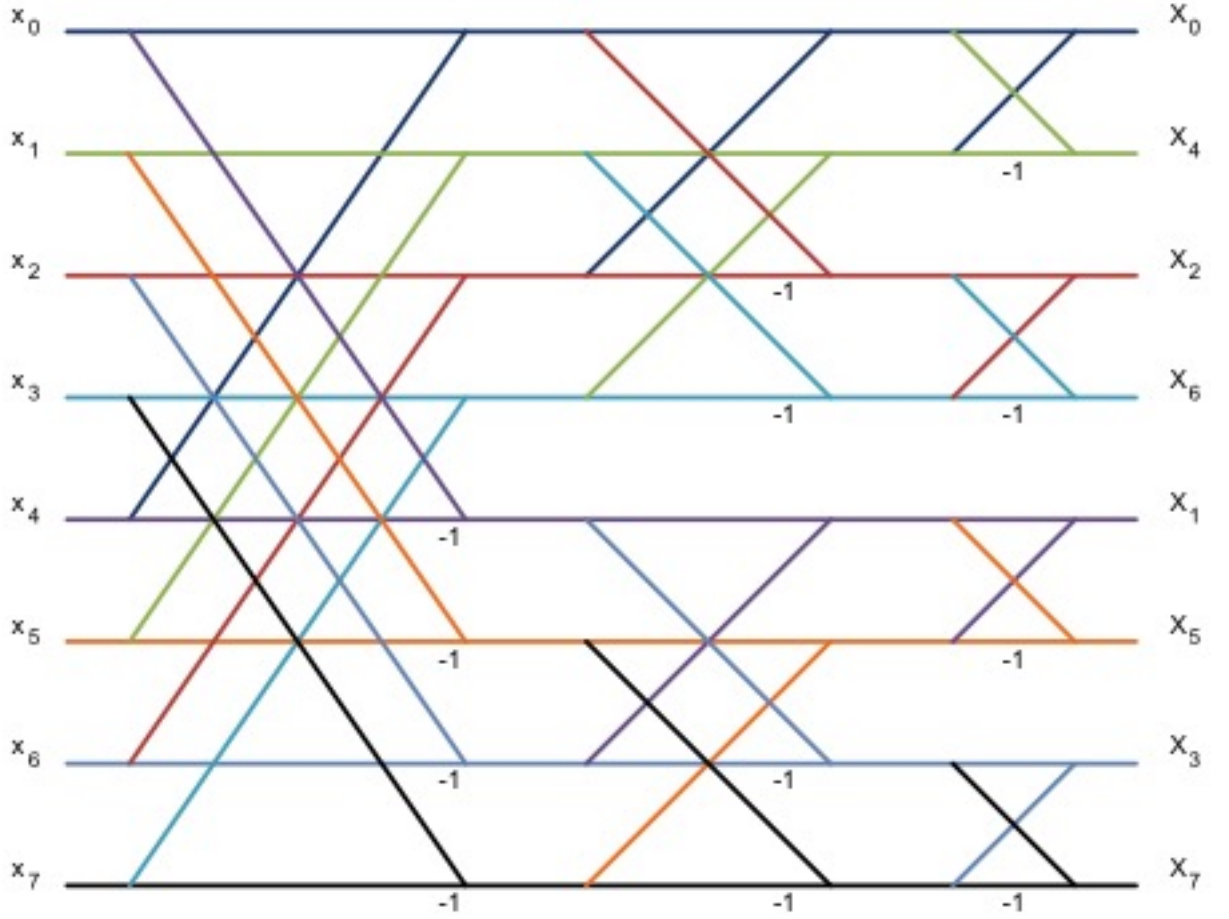
Fourier transformu alınacak olan giriş sinyali  $x(n)$ , bu sinyalin fourier transformu ise  $X(n)$  olsun. Radix-2 yönteminde  $x(n)$  vektörünün elemanları tek indisli elemanlar ve çift indisli elemanlar olarak ayrılıp, ikiyeşerli gruplara bölünürler. Daha sonra her bir eleman kendinden  $N/2$  uzaktaki eleman ile butterfly işlemine alınır. Şekil 2.3.8’de sunulan algoritma, şekil 2.3.8’de çizimi sunulan butterfly işlemlerinden oluşur. Her bir butterfly işleminde yapılan hesaplama denklem ??’de gösterildiği gibidir.



Şekil 2.1: Radix 2 için butterfly işlemi

$$k_1 = \cos\left(-\frac{2\pi i}{N}\right) \& k_2 = \sin\left(-\frac{2\pi i}{N}\right)$$

$$\begin{bmatrix} c_{Re} & c_{Im} \\ d_{Re} & d_{Im} \end{bmatrix} = \begin{bmatrix} a_{Re} & a_{Im} \\ a_{Re} & a_{Im} \end{bmatrix} + \begin{bmatrix} b_{Re} & b_{Re} \\ -b_{Re} & -b_{Re} \end{bmatrix} \begin{bmatrix} k_1 \\ k_2 \end{bmatrix} + \begin{bmatrix} -b_{Im} & b_{Im} \\ b_{Im} & -b_{Im} \end{bmatrix} \begin{bmatrix} k_2 \\ k_1 \end{bmatrix} \quad (2.2)$$



Şekil 2.2: 8 noktalı sinyal için FFT Radix 2 algoritması

Denklem 2.2’de görüldüğü üzere her bir butterfly işlemi matris çarpımları ve matris toplamları şeklinde ifade edilebilir. İşleme alınan parametreler  $a$  ve  $b$  sayılarının reel ve imajiner kısımlarının yanı sıra  $\sin(-2\pi/N)$  ve  $\cos(-2\pi/N)$  değerleridir. Burada  $N$  değeri sonuç vektörünün her bir elemanın indisi olup, bir eleman için bir kez hesaplanır.

FFT gerçeeklemesi için  $\sin$  ve  $\cos$  değerlerinin hesaplanabilmesi gerekmektedir. Dolayısıyla matris çarpma ve toplama işlemlerinin yanı sıra trigonometri buyrukları da gerekmektedir.



### 2.3.9 Logaritma

Verilen bir veri setinin her elemanı için doğal logaritma (e tabanında) ve 10 tabanında logaritma hesaplanması gerekir. Xilinx tarafından sağlanan IPCore ile doğal logaritma hızlı bir şekilde hesaplanabilmektedir.  $\log_a(x) = \log_e(x)/\log_e(a)$  denkleğinden faydalanılarak herhangi tabanda logaritma hesaplanabilir. Burada buyruk kümesine  $\log_e x$  buyruğunun da eklenmesi gerekir.

### 2.3.10 Eksponansiyel

Verilen bir veri setinin her elemanı için  $10^x$  ve  $e^x$  değeri hesaplanması gerekir. Xilinx tarafından sağlanan IPCore ile  $e^x$  hızlı bir şekilde hesaplanabilmektedir.  $a^b = e^{b \log_e a}$  denkleğinden faydalanılarak herhangi  $a^x$  değeri hesaplanabilir.

### 2.3.11 Norm

Sinyal işlemede yaygınlıkla kullanılan matris normları 1, 2 ve  $\infty$  normlardır. 1-norm sütun toplamalarının maksimumu şeklinde tanımlıdır.  $\|X\|_1 = \max_j(\sum_i(a_{ij}))$  2-norm matrisin karesinin en büyük özdeğeri karekökü olarak tanımlanmıştır.  $\|X\|_2 = \sqrt{\max(\text{eig}(AXA))}$ . Bir matrisin  $\infty$  normu ise satır toplamalarının maksimumu olarak tanımlanmıştır.  $\|X\|_\infty = \max_i(\sum_j(a_{ij}))$ . [7]

2-norm için kullanılacak özdeğerlerin hesaplanması bu işlemin bir alt parçasıdır. Özdeğer hesaplama algoritmasının gerçekleşmesinde matris büyüklüğü sabit kabul edilemeyeceği ve toplama ve kaydırma gibi temel işlemler cinsinden paralelleştirilebilir bir program yazılabileceği için özdeğer hesaplama işini yazılım seviyesinde gerçeklemek daha uygundur. [8]

### 2.3.12 Evrişim

Evrişim (ing. convolution) sinyal işlemede sıklıkla kullanılan bir işlemdir. İki vektörün evrişimi  $\text{Conv}(f, g)[n] = \sum_{m=-\infty}^{\infty} (f[n]xg[n - m])$  şeklinde hesaplanır. Formülden de anlaşılacağı üzere evrişim sonuç vektörünün her bir elemanı bir

dizi çarpımının toplamı şeklinde hesaplanır. Burada sonuç vektörünün her bir elemanı için ayrı thread koşturulursa, 1 çarp ve N-1 çarp-topla buyruğu ile sonuç hesaplanmış olur.

### 2.3.13 Alt Matris, Flip, Reverse, Eşlenik ve Transpoz

Karmaşık sayılar düzleminde  $a + ib$  şeklinde tanımlanan bir karmaşık sayının eşleniği  $a - ib$  sayıdır. Sayısal sistemlerde karmaşık bir sayının reel ve imajiner kısımları ayrı değerler olarak tutulduğundan imajiner kısmın işaretinin değiştirilmesi eşlenik hesaplaması için yeterlidir. Transpoz işlemi ise matris elemanlarının yerlerinin değiştirilmesi yani okunup işlem yapılmadan yazılması ile gerçekleşir. Alt matris, flip ve reverse işlemleri ise yalnızca okuma ve yazma bellek işlemlerinden oluşur.

### 2.3.14 Determinant

Genel geçer determinant hesaplama yönteminde matris, 2x2 boyutunda alt parçalarına ayrılır determinantlarından yeni bir matris oluşturulur, oluşan matris üzerinde yine aynı işlem uygulanır. En son tek elemana düştüğünde matrisin determinantı hesaplanmış olur. 2x2 matrisin determinantı  $\det(A) = a_{00}a_{11} - a_{01}a_{10}$  şeklinde hesaplanır. Bu işlem 1 çarpma 1 çarp-topla buyruğu ile gerçekleştirilebilir.

### 2.3.15 Trigonometrik İşlemler

Tüm trigonometrik işlemler sin ve cos cinsinden ifade edilebilir. FPGA platformunda Xilinx IPCore kullanılarak sin ve cos işlemleri hızlıca hesaplanabilir.

### 2.3.16 Filtreleme ve Windowing

Filtreleme ve windowing işleminde önceden belirlenmiş bir vektör veya matris işleme alınacak vektör yada matris üzerinde gezdirilerek eleman eleman çarpma ve

toplama işlemleri yapılır. Gereksinimlerde belirtilen Hamming Hanning Gaussian windowing işlemlerinde window değişir, işlem aynıdır. FIR ve IIR filtrede de temel işlemler windowing ile aynı olup, algoritma seviyesinde farklılıklar ile gerçekleşir. Bir f vektörü üzerine uygulanacak g maskesi ile filtreleme veya windowing  $y[n] = \sum_{i=0}^N f[i]xg[i]$  şeklinde gösterilebilir.

### 2.3.17 Türev

Bir vektörün türevi, ayrık zamanda ardışık elemanların farkı şeklinde tanımlıdır. N elemanlı bir vektörün türevinin hesaplanması için N adet thread oluşturulur ve her bir thread bir çıkarma işlemi yapar.

### 2.3.18 Sıralama

Satır, sütun ve matris elemanlarının sıralanması uygulaması herhangi bir sıralama algoritması ile gerçekleştirilebilir. Alt seviyede her bir thread basit karşılaştırma işlemleri yapar.

### 2.3.19 Varyans ve Standart Sapma

Varyans ve standart sapma için dizinin ortalaması hesaplanır, elemanların ortalamaya uzaklıkları üzerinden toplama, karesini alma ve karekök alma gibi işlemler yapılır.

### 2.3.20 Karekök

Karekök işlemi kendi başına bir uygulama olarak değil diğer uygulamaların içinde bir işlem olarak kendini gösterir. Xilinx IPCore kullanılarak karekök işlemi hızlı bir şekilde yapılabildiğinden IPCore kullanımı tercih edilmiştir.

### 2.3.21 İşaret

İşaret fonksiyonu bir matris veya vektörün tüm elemanları için eleman pozitif ise 1, 0 ise 0, negatif ise -1 değerini döndürür. Eleman sayısı adetinde thread oluşturularak hızlı bir şekilde bu işlem gerçekleştirilebilir.

### 2.3.22 Interpolasyon

Interpolasyon işlemi, ardışık elemanların ağırlıklı ortalamalarının hesaplanması ile gerçekleşir. Temel toplama, çarpma, kaydırma, bölme gibi işlemler ile ağırlıklı ortalama hesaplanır. Eleman sayısı kadar thread oluşturularak işlem paralelleştirilebilir.

### 2.3.23 Özet

Listedeki fonksiyonların incelenmesi ile gerekli hesaplama buyrukları çıkarılmıştır. Fonksiyon listesinin gerçekleştirilebilmesi için gerekli buyruklar Tablo 2.2’de sunulmuştur.

Tablo 2.2: Gerekli Hesaplama Buyrukları

Fonksiyon	Açıklama
add, addi, fadd	Float ve tamsayı değerleri için toplama ve tamsayı için anlık toplama işlemleri
sub, subi, fsub	Float ve tamsayı değerleri için çıkarma ve tamsayı için anlık çıkarma işlemleri
mul, muli, fmul	Float ve tamsayı değerleri için çarpma ve tamsayı için anlık çarpma işlemleri
div, divi, fdiv	Float ve tamsayı değerleri için bölme ve tamsayı için anlık bölme işlemleri
fma, ffma	Float ve tamsayı değerler için fused multiply add işlemi

Sonraki sayfada devam etmektedir.

**Tablo 2.2 – devam**

<b>Buyruk</b>	<b>Detay</b>
sin, cos, fsin, fcos	Float ve tamsayı değerler için trigonometrik işlemler
log, flog	Float ve tamsayı değerler için e tabanında logaritma işlemi
exp, fexp	Float ve tamsayı değerler için $e^x$ işlemi
shl, shr, shra	Aritmetik ve mantık kaydırma buyrukları
sqrt, fsqrt	Float ve tamsayı değerler için karekök işlemi
cmp, br, jump	Döngü ve koşul oluşturabilmek için gerekli karşılaştırma, dallanma ve atlama buyrukları

## 3. BENZER MİMARİLER VE ÖNCEKİ ÇALIŞMALAR

Paralel hesaplama için literatürde var olan mimariler Flynn taksonomisi adıyla binilen bir sınıflandırmaya tabidir. Söz konusu donanım, özelliklerine göre bu sınıflandırmada bir sınıfa yerleştirilir. Literatür taramasında öncelikle bu sınıflandırmadan bahsedilmiş, ardından belirlenen sınıfta ön plana çıkan mimariler incelenmiştir.

### 3.1 Paralel işleme taksonomisi

Bilgisayar bilimlerindeki tüm uygulamalar ve donanımlar paralellik bakımından 4 sınıfta incelenir. Bu sınıflandırma literatürde Flynn Taksonomisi adıyla geçer [9]. Literatürdeki kısaltmalarıyla bu 4 sınıf, SISD (Single Instruction Single Data), SIMD (Single Instruction Multiple Data), MISD (Multiple Instruction Single Data) ve MIMD (Multiple Instruction Multiple Data) şeklinde isimlendirilir.

width=10cm

Şekil 3.1: Flynn Taksonomisi

SISD mimarilerde herhangi bir paralellikten bahsetmek söz konusu değildir. Tek thread çalıştıran mimariler SISD için örnek olarak gösterilebilir.

SIMD mimariler bir buyruğun birden fazla veri seti üzerinde çalıştırıldığı mimarilerdir. Örneğin NxM büyüklüğünde matrislerin toplandığı bir matris toplama işleminde NxM adet veri seti üzerinde basit bir toplama işlemi yapılmaktadır. Gereksinimler ışığında SIMD mimari bu çalışmanın mimari alternatifleri

arasındadır.

MISD mimariler bir veri seti üzerinde birden fazla buyruğun çalıştırıldığı mimarilerdir. MISD yaygın olarak hata düzelten sistemlerde tercih edilir. Örneğin uzay ortamında çalışması hedeflenen bir hesaplama biriminin ışımalara maruz kalması sebebiyle hesaplamasında veya kaydettiği sonuçlarda yanlışlık olabilir [10]. Bu tarz potansiyel problemlere önlem olarak yapılan her işlem aynı veri seti üzerinde birden fazla kez yapılır ve sonuçlar birden fazla yerde saklanır. Daha sonra aynı verinin kopyaları arasında karşılaştırma yapılarak hatalar algılanır ve düzeltilir.

MIMD mimariler bu taksonominin en karmaşık mimarileri olup birden fazla veri seti üzerinde birden fazla buyruğun çalıştırıldığı mimarilerdir. Buna örnek olarak günümüzde kullanılan CPU mimarileri verilebilir. Örneğin Intel Larrabee mimarisi GPU mimarisinde işlevsellik bakımından geliştirilmiş çekirdeklerin kullanılması ile ortaya çıkan bir GPGPU (General Purpose Graphical Processing Unit) olup aynı anda birden fazla veri seti üzerinde birden fazla işlemi koşturabilmektedir [11].

Proje gereksinimlerinde ve fonksiyon listesinde belirtilen, hedef donanım hakkındaki ihtiyaçlar, Flynn taksonomisinde SIMD sınıfı ile örtüşmektedir. MIMD bir mimari ise proje gereksinimlerinin üzerinde bir özellik olup, eniyileştirmeye yönelik bir çalışma olabilir.

## 3.2 Mevcut Mimariler

Gereksinimlerde belirtilen fonksiyonlar ışığında hesaplamalar için kullanılacak modüller belli IPCore donanımları ve basit hesaplama modüllerinden oluşur. Paralel işlemeye özel donanımlarda yürütme zamanının en büyük bileşeni verilerin okunması ve yazılmasından oluşan bellek işlemleri olduğu için mimari seviyesinde donanım özelliklerini belirleyici unsur, veri yolu tasarımıdır.

Veri yolu mimarisi, bellek, yazmaç öbekleri ve hesaplama birimleri arasındaki bağlantı ile bu yapıların mimari hiyerarşisinden oluşur. Literatürde öne çıkan veri yolu mimarileri üç sınıfta değerlendirilebilir: Homojen az çekirdekli işlemciler,

homojen çok çekirdekli işlemciler ve heterojen yapıdaki işlemciler.

### 3.2.1 Homojen az çekirdekli işlemciler

Homojen az çekirdekli mimariler birbirinin aynı olan az sayıda yüksek işlem kapasiteli çekirdeklerin 2. veya daha üst seviyede önbellekler üzerinden veri paylaşımı sağladığı işlemcilerdir. Bu mimaride her işlemci çekirdeğin kendisine ait bir önbelleği vardır. Bunlar bir interconnect yardımıyla bütünleşik bir paylaşımlı önbelleğe bağlanırlar. Bu yapıya örnek olarak Intel'in Nehalem işlemcisi gösterilebilir [12] [13]. Nehalem mimarisinde hususi önbellek 2 seviyeye ayrılmıştır ve paylaşımlı önbellek 3. seviyeyi oluşturmaktadır. Çekirdekler 3. seviye önbelleğin ardından Şekil 3.2.1'deki gibi bir bellek denetleyicisi ile sistemin ana belleğine bağlanır.

width=10cm

Şekil 3.2: Nehalem

### 3.2.2 Homojen çok çekirdekli işlemciler

Homojen çok çekirdekli mimariler birbirinin aynı olan çok sayıda düşük işlem kapasiteli çekirdeklerden oluşan yapılardır. Bunlara örnek olarak grafik işlemcileri verilebilir [14]. Şekil 3.2.2'teki gibi bir yapıya sahip olan grafik işlemcilerde amaç, paralelliği ön plana çıkarmak, çok sayıda verinin aynı anda işlenebilmesine olanak sağlamaktır. Az çekirdekli işlemcilerin aksine belleği kullanmak isteyen daha çok çekirdek olacağından bu mimarilerde bellek açısından bir darboğaz oluşmasına sebep olur. Homojen çok çekirdekli mimarilerin bellek hiyerarşisi 2 seviyeli önbellek ve ana bellekten oluşur. Her iki önbellek de çekirdek adacığında paylaşımlıdır. Az çekirdekli mimarilerin aksine çok çekirdekli mimarilerde genel bir yazmaç öbeği tüm çekirdeklerin erişimine açık olup yürütme zamanında her bir çekirdeğe özel olarak atanır.

width=300pt

Şekil 3.3: Nvidia GPU



Homojen az çekirdekli mimariler genel amaçlı kullanılan CPU (Central Processing Unit) mimarilerinde tercih edilirken çok çekirdekli mimariler GPU (Graphical Processing Unit) ön plana çıkar. CPU çekirdekleri yüksek işlem gücüne sahip ve az sayıda iken GPU çekirdekleri düşük işlem gücüne sahip ve çok sayıdadır. CPU üzerinde koşturulan programların dallanma ve bellek işlemleri için harcadığı zamanın azaltılması için çekirdeklere yakın büyük kapasiteli önbellekler kullanılır. GPU çekirdeklerinin sayıca fazla olması paralel hesaplamayı ön plana çıkarmakta ve ana bellek erişimi için kullanılan veri yolu genişliği, önbellek büyüklüğünden daha önemli bir kriter olmaktadır. Tablo 3.1 içinde CPU ve GPU mimarilerinin bellek özellikleri sunulmuştur [15].

Tablo 3.1: CPU GPU Bellek Karşılaştırması

	<b>CPU</b>	<b>GPU</b>
Bellek	6 - 64 GB	768 MB - 6 GB
Bellek Bant Genişliği	24 - 32 GB/s	100 - 200 GB/s
L2 Önbellek	8 - 15 MB	512 - 768 KB
L1 Önbellek	256 - 512 KB	16 - 48 KB

Homojen çok çekirdekli mimarilere verilebilecek bir örnek de sunucu sistemlerinde kullanılan Tile mimarisidir. [16] Bu mimaride 36-100 arasında RISC işlemciden oluşan çekirdekler birbirlerine bağlanarak yüksek paralellik elde edilir. Tile mimarisinde bellek mimarisi olarak şekil 3.2.2’te sunulan NUCA (non-uniform cache architecture) önbellek mimarisi kullanılır. Bu mimaride çekirdeklerin her birinin kendine ait özel önbelleği vardır. İkinci seviye önbellek olarak diğer çekirdeklerin önbellekleri kullanılır. Örnek olarak, 64 çekirdekli bir işlemcide her bir çekirdeğin 32 KB önbelleği olduğunu varsayarsak; 1 numaralı çekirdeğin 32 KB 1. seviye ve 2016 KB 2. seviye önbelleği olacaktır. Bu tasarımda herhangi bir çekirdeğin diğer tüm çekirdeklerin önbelleklerine bağlantısı olmalıdır. Çekirdek sayısının artması ile bu gereksinim bir wiring problemine dönüşür ve uzun yollar kritik yolu etkileyerek toplam gecikmeye katkıda bulunabilir. Bu kısıttan dolayı Tile mimarisinde 2 boyutlu bir MESH ağı kurulmuş ve her bir çekirdek bu ağdaki bir node olarak yerleştirilmiştir. Her node bir çekirdek, bir önbellek ve bir routerdan oluşur. Bir çekirdek kendinden farklı tüm çekirdeklerin ön belleklerini ikinci seviye ön bellek olarak kullandığından MESH network

üzerinden her birine erişimi vardır. Ancak fiziksel olarak kendisine uzak olan veriye erişebilmesi komşuluğundaki routerlar üzerinden her seferinde bir birim şeklindedir. Bu davranış satranç tahtası üzerinde şahın hareketi gibi düşünülebilir. MESH network yapısında tüm verilere erişim hızı aynı olmamakla birlikte, maksimum gecikme, node sayısının karekökü ile orantılı olarak artar.

width=10cm

Şekil 3.4: Tile Mimarisi

### 3.2.3 Heterojen yapıdaki işlemciler

Birbirinin aynı olan çekirdeklerin az veya çok sayıda gerçekleşmesi ile elde edilen paralel hesaplama donanımları çoğu uygulamada performans açısından yeterli gelse de, bir takım uygulamalarda sık kullanılan bazı işlemlerin hızlandırılması adına özel donanımlar gerçekleştirir. Literatürde bu tip işlemciler heterojen yapıdaki işlemciler olarak adlandırılır. Heterojen mimariler doğrudan amaca yönelik hazırlandıkları için çok farklı mimari yapılarda gerçekleştirilebilirler. Heterojen mimarilerin temel özelliği bir işi her zaman o işi en hızlı yapan donanıma vermeleridir. Bu sebeple sık kullanılan hemen her işlem için ayrı hesaplama birimleri yerleştirilerek, özel fonksiyonların yazılım seviyesinden donanım seviyesine indirilmesi sağlanır. Örnek olarak şekil 3.2.3'te sunulan heterojen mimari çizimi Playstation oyun konsollarında kullanılan Cell mimarisine aittir.

width=10cm

Şekil 3.5: Playstation Cell Mimarisi

Şekil 3.2.3'te gösterilen Cell mimarisinde PPE (Power processing element) ana işlemci olup, SPE (Synergistic processing element) bloklarının her biri ise DSP benzeri SIMD (Single instruction multiple data) işlemcilerdir.

## 4. BUYRUK KÜMESİ VE BORU HATTI MİMARİSİ

## 5. ALT MODÜLLERİN TASARIMI

## 6. SONUÇ

# Kaynakça

- [1] Edwin. J. Tan, Wendi. B. Heinzelman. 2003. DSP Architectures: Past, Present and Futures. ACM Sigarch Computer Architecture News
- [2] Hallmans, Daniel, et al. 2013. GPGPU for industrial control systems. IEEE 18th Conference on Emerging Technologies & Factory Automation ETFA
- [3] Emmett Kilgariff and Randima Fernando. 2005. The GeForce 6 series GPU architecture. In ACM SIGGRAPH 2005 Courses SIGGRAPH '05, John Fujii (Ed.). ACM, New York, NY, USA
- [4] Kirk, D. 2007. NVIDIA CUDA software and GPU parallel computing architecture. ISMM Vol. 7, pp. 103-104
- [5] Stone, J. E., Gohara, D., & Shi, G. 2010. OpenCL: A parallel programming standard for heterogeneous computing systems. Computing in science & engineering, 12(3), 66
- [6] Kuon, I., & Rose, J. 2007. Measuring the gap between FPGAs and ASICs. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 26(2), 203-215.
- [7] Smith, R.L., The MATLAB project book for linear algebra; 1997 Prentice Hall
- [8] Gotze, J.; Paul, S.; Sauer, M., An efficient Jacobi-like algorithm for parallel eigenvalue computation, Computers, IEEE Transactions on , vol.42, no.9, pp.1058,1065, Sep 1993
- [9] Flynn, M. J. (September 1972). Some Computer Organizations and Their Effectiveness: IEEE Trans. Comput. C-21 (9): 948–960. doi:10.1109/TC.1972.5009071

- [10] Shivakumar, P., Kistler, M., Keckler, S. W., Burger, D., & Alvisi, L. (2002). Modeling the effect of technology trends on the soft error rate of combinational logic. In Dependable Systems and Networks, 2002. DSN 2002. Proceedings. International Conference on (pp. 389-398). IEEE.
- [11] Seiler, L., Carmean, D., Sprangle, E., Forsyth, T., Abrash, M., Dubey, P., ... & Hanrahan, P. (2008). Larrabee: a many-core x86 architecture for visual computing. *ACM Transactions on Graphics (TOG)*, 27(3), 18.
- [12] Molka, D., Hackenberg, D., Schone, R., & Muller, M. S. (2009, September). Memory performance and cache coherency effects on an Intel Nehalem multiprocessor system. In *Parallel Architectures and Compilation Techniques, 2009. PACT'09. 18th International Conference on* (pp. 261-270). IEEE
- [13] Hackenberg, D., Molka, D., & Nagel, W. E. (2009, December). Comparing cache architectures and coherency protocols on x86-64 multicore SMP systems. In *Proceedings of the 42Nd Annual IEEE/ACM International Symposium on microarchitecture* (pp. 413-422). ACM
- [14] Heinecke, A., Klemm, M., Bungartz H.J., From GPGPU to Many-Core: Nvidia Fermi and Intel Many Integrated Core Architecture Computing in Science and Engineering, vol. 14, no. 2, pp. 78-83, March-April, 2012
- [15] <http://supercomputingblog.com/cuda/cuda-memory-and-cache-architecture/>
- [16] Wentzlaff, D., Griffin, P., Hoffmann, H., Bao, L., Edwards, B., Ramey, C., Mattina, M., Miao, C.-C., III, J. F. B. & Agarwal, A. (2007). On-Chip Interconnection Architecture of the Tile Processor.. *IEEE Micro*, 27, 15-31.

# ÖZGEÇMİŞ

## Kişisel Bilgiler

Soyadı, Adı : CİN, Ali  
Uyruğu : T.C.  
Doğum tarihi ve yeri : 05.05.1978 Nevşehir  
Medeni hali :  
Telefon :  
Faks :  
e-mail : yuksekmuhendis@etu.edu.tr

## Eğitim

Derece	Eğitim Birimi	Mezuniyet Tarihi
Y. Lisans	TOBB Ekonomi ve Teknoloji Üniversitesi	2011
Lisans	TOBB Ekonomi ve Teknoloji Üniversitesi	2009

## İş Deneyimi

Yıl	Yer	Görev
2009-2011	TOBB Ekonomi ve Teknoloji Üniversitesi	Araştırma Görevlisi

## Yabancı Dil

İngilizce (Çok iyi)  
Fransızca (Çok kötü)

## Yayınlar

Gültekin, H., “Robotic cell scheduling with operational flexibility”. Discrete Applied Mathematics, 145(3):334-348, 2005.